

形状自在計算機システムのための RISC-V ホスト CPU チップの設計

門本 淳一郎^{1,a)} 入江 英嗣^{1,b)} 坂井 修一¹

概要：オンチップコイル同士の誘導結合を利用したワイヤレスバスインタフェースによって複数チップレットを接続することで、隣接するチップ同士の相対角度が変化する実装や複雑な形状での実装、実装後のチップ交換が可能になる。これによってマイクロロボットやウェアラブルインタフェースといったアプリケーションに向けた形状自在かつ頑健な計算機システムが実現できる。本論文では、こうした形状自在計算機システムの実現に向け設計された、32 bit の RISC-V プロセッサとワイヤレスバスインタフェースを搭載するホスト CPU チップについて述べる。

キーワード：チップレット、誘導結合、三次元実装、ソフトロボティクス

1. はじめに

チップの小型化や低消費電力化に伴って多様なエッジデバイスに計算機システムが搭載されるようになってきている。そこで我々が注目しているのは、マイクロロボットや繊維を用いたウェアラブルデバイスといった形状変形や複雑な実装形状が求められるアプリケーションである。マイクロロボットについては mm オーダのサイズで動作や変形をおこなうロボットを想定している [1], [2], [3]。また、繊維を用いたウェアラブルデバイスについては、センサを搭載した衣類、例えばデータグローブが挙げられる [4], [5]。現在これらはシンプルなアクチュエータやセンサを備えるのみで、高度な計算機システムは搭載していない。搭載における課題は、こうした複雑な形状や変形が求められるアプリケーションに対してどのように計算機システムを実装していくか、というものである。この課題を乗り越えることができれば、単独で高度な計算処理をおこなえる賢いマイクロロボットや、リアルタイムに複雑なセンシング処理をおこなうウェアラブルデバイスを実現することができる。

こうしたアプリケーションに向けて、我々はワイヤレスバスインタフェースを用いた形状自在な計算機システム (図 1) を提案している [6], [7]。各々のプロセッサコアやメモリは小さなチップレットへと分割して配置され、オンチップコ

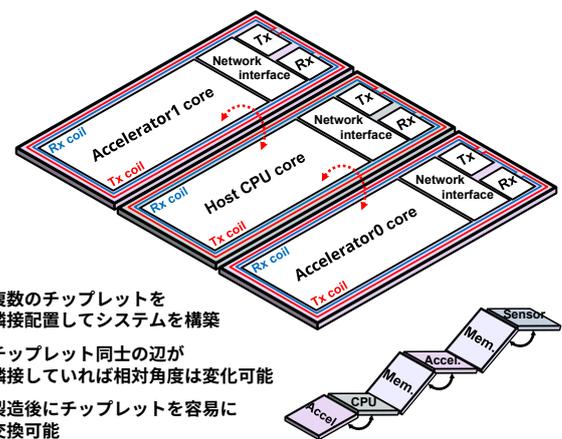


図 1 形状自在計算機システム

イル間の誘導結合によって無線で接続される。SoC やシリコンインタポーザを利用した SiP [8], [9], [10], [11], [12], [13] といった従来の実装手法と比較して、(1) 複数のチップレットを隣接配置するのみで多様な形状のシステムを容易に構築可能、(2) チップレット同士の辺が隣接していれば相対角度は変化可能 (変形可能)、(3) 製造後にチップレットを容易に交換可能という特長を持っている。また、Bluetooth Low-Energy (BLE) のような電波を利用した省電力無線通信技術 [14], [15] と比較して、(1) 数百 μm から数 mm 程度の小さなオンチップコイルで通信可能、(2) 数 mW という同程度のオーダの消費電力で 3 桁程度高い転送速度を達成可能といった利点を有している。

本論文では、こうした形状自在計算機システムの実現に

¹ 東京大学 大学院情報理工学系研究科
Graduate School of Information Science and Technology,
The University of Tokyo
a) kadamoto@mtl.t.u-tokyo.ac.jp
b) irie@mtl.t.u-tokyo.ac.jp

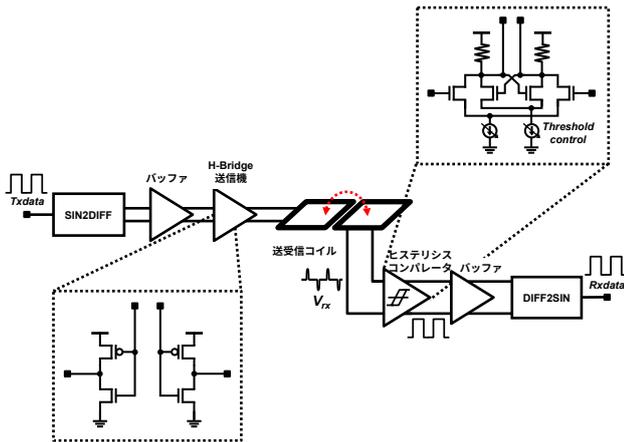


図 2 チップ間ワイヤレスバスインタフェースの I/O 回路

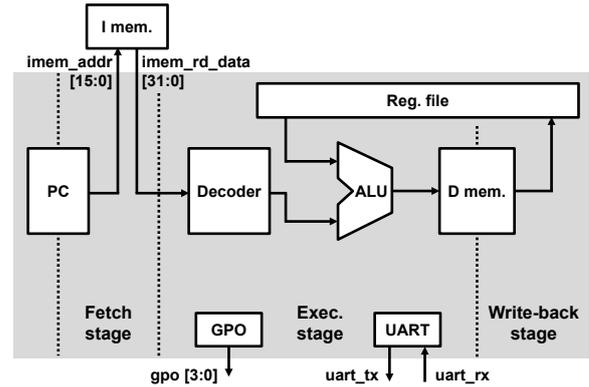


図 3 設計した RISC-V プロセッサのブロック図

向け設計されたホスト CPU チップのプロトタイプについて述べる。チップ上には小型のプロセッサコアとオンチップコイル，送受信回路が搭載され隣接したチップ間での無線通信が可能となっている。2 章ではワイヤレスバスインタフェースについて述べ，続く 3 章ではプロセッサコアについて述べる。4 章ではこれらのシミュレーション評価の結果を示し，5 章でテストチップの設計について述べる。最後に 6 章で本論文のまとめを示す。

2. 誘導結合を用いたチップレット間ワイヤレスバスインタフェース

ワイヤレスバスインタフェースは，オンチップコイル間の誘導結合を利用することで複数チップレットを接続する。電波を利用した無線通信技術とは異なり変調はおこなわずベースバンドで信号を伝送する。そのため送受信回路は図 2 に示すようなシンプルな構成になる。

送信回路としてはインバータを組み合わせた H-Bridge 送信機を，受信回路としてはヒステリシスコンパレータを用いる。送信回路には NRZ のベースバンドデジタル信号が入力され，対応する向きの電流が送信コイルに流れる。この電流の向きが遷移する際，誘導結合を介して受信コイル側にパルス状の電圧が誘起される。ヒステリシスコンパレータでこのパルス状の波形を元の NRZ 信号へと復元することで，コイルを介した無線通信が達成される。

ワイヤレスバス技術では Gb/s オーダの高速なシリアル通信が可能であり，動作周波数が比較的低いプロセッサでこの帯域を活用するためには高速なクロック源と SerDes 回路の搭載が要求される。また，3 つ以上の複数チップの接続の際にはルーティングや調停のためのネットワークインタフェースが必要となる。今回のプロトタイプにはプロセッサコアと同様のクロックで動作する SerDes 回路のみがプロセッサ内の UART 送受信回路の一部として搭載されており，プロセッサコアから届いたデータの高速シリア

ル転送や 3 つ以上のチップ間の通信はサポートしていない。こうした機構の搭載は今後の課題である。

3. RISC-V プロセッサ

ホスト CPU チップへ搭載するための小型汎用プロセッサを設計した。32 bit RISC プロセッサであり，命令セットとしては RISC-V RV32I を採用している。ここでプロセッサの記述言語には Verilog HDL を用いた。プロセッサの内部はシンプルな 3 ステージ (Fetch, Execute, Write-back) のパイプラインで構成される (図 3)。また，汎用出力回路と UART 送受信回路が搭載されている。これらはメモリ空間にマップされており，あらかじめ定められた特定のアドレスへのロード・ストア命令によってプロセッサから制御することができる。命令メモリとデータメモリは物理的に独立しており，汎用のファブリック等を介さずプロセッサコアと直接接続されている。それぞれ 64 KB の容量を標準として記述されている。

UART 送受信回路と前述した誘導結合送受信回路を組み合わせることで，異なるチップに搭載されたプロセッサコア間でデータのやり取りをおこなうことができる (図 4)。UART 送信回路のアドレスへのストア命令が実行されると，UART 送信開始信号 *uart_we* がアサートされる。ストアされるデータ *wr_data* は，UART 送信回路内でスタート・エンドビットを付与された上でシリアルライズされ，誘導結合送信回路へと送られる。異なるチップ上では誘導結合を介してこのデータが受信され，スタート・エンドビットの確認ののちデシリアルライズされる。このデータは UART 受信回路のアドレスを指定したロード命令によってプロセッサのレジスタへと読み出すことができる。

本プロセッサコアはプロトタイプチップ用に記述されたものである。今後，32 bit の小型プロセッサという特徴を保ちつつ，各種マイクロアーキテクチャ改善や，メモリ階層の変更をおこなっていく予定である。

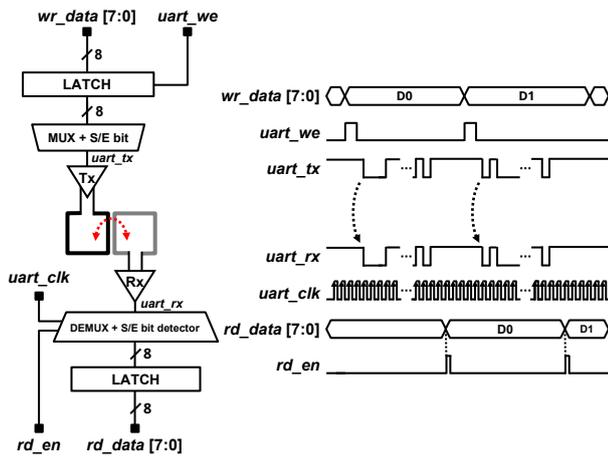


図 4 UART 送受信回路を介したコア間無線通信

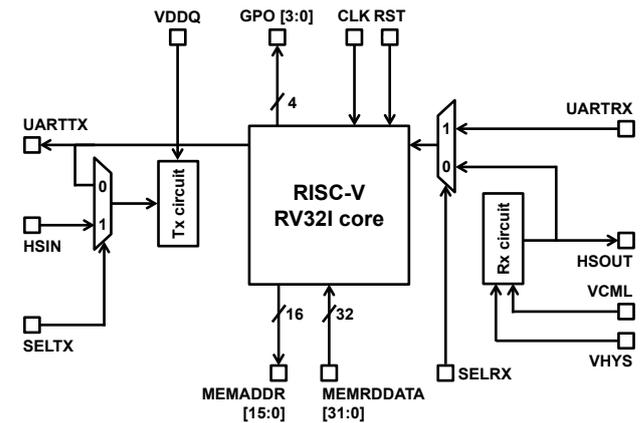


図 6 テストチップのブロック図

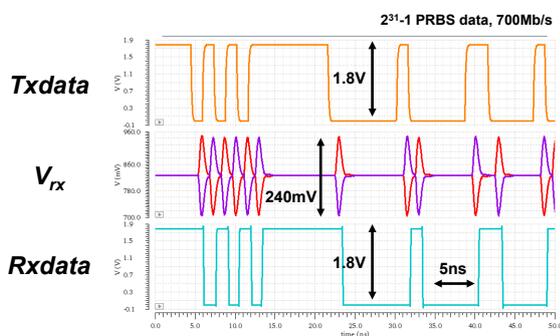


図 5 I/O 回路のシミュレーション波形

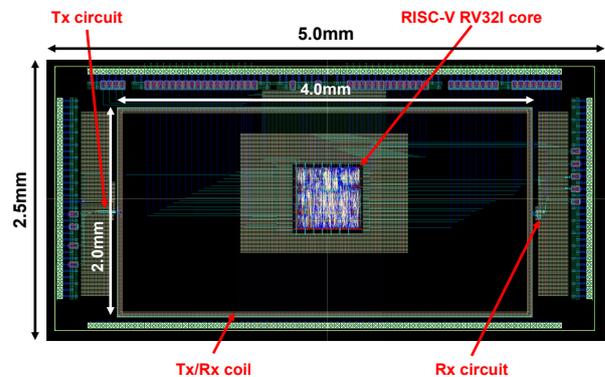


図 7 テストチップのレイアウト

4. 評価

4.1 ワイヤレスバスインタフェースの評価結果

テストチップ搭載に向けて送受信回路を設計し、三次元電磁界シミュレーションと回路シミュレーションによってその性能を評価した。ここでオンチップコイルや基板の電磁界シミュレーション用モデル、トランジスタモデルには、金属配線 5 層の $0.18 \mu\text{m}$ CMOS プロセスを想定して作成されたものを用いている。三次元電磁界シミュレーションは Keysight Momentum を利用しておこなった。

$4.0 \text{ mm} \times 2.0 \text{ mm}$ の大きさのコイルを $200 \mu\text{m}$ の距離を離して配置し、送受信回路の電源電圧は 1.8 V という条件で電磁界シミュレーションと回路シミュレーションをおこなった。31 ビット長の PRBS 信号を用いた回路シミュレーションの結果、データの正常な転送が確認できた (図 5)。転送速度は最大で 700 Mb/s であった。

4.2 RISC-V プロセッサの評価結果

記述したプロセッサの動作を、論理シミュレーションと

FPGA 上でのベンチマークプログラム実行により評価した。ここでプロセッサを実装する FPGA としては Xilinx Zynq-7000 SoC XC7Z010 を採用した。FPGA への実装の際には FPGA チップ内部のブロック RAM を利用して各メモリを形成した。命令メモリとデータメモリの容量はそれぞれ 64 KB とした。

Xilinx Vivado Simulator を用いて論理シミュレーションをおこなった結果、プロセッサ内部の動作や GPO, UART 回路による信号入出力機能が設計仕様通りであることを確認できた。また、プロセッサを FPGA 実機へと搭載し、組み込み計算機向けのベンチマークプログラムである Coremark を利用して性能の評価をおこなった。プログラムは実機上で正常に動作し、 50 MHz での動作時に Coremark スコアは 68, CoreMark/MHz スコアは 1.36 であった。

5. テストチップの設計

シミュレーションにより検証した各回路を組み合わせ、テストチップを設計した。製造プロセスとしては金属配線 5 層の $0.18 \mu\text{m}$ CMOS プロセスが想定されている。プロセッ

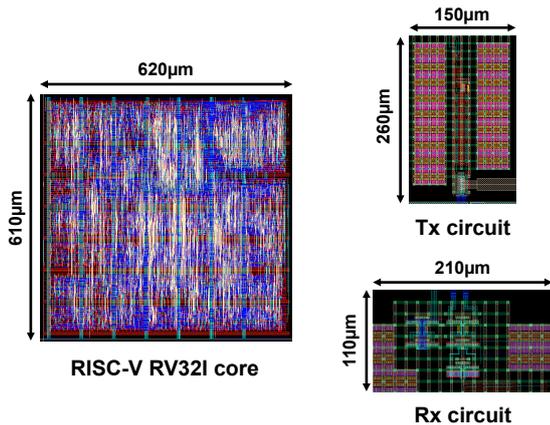


図 8 各回路のレイアウト

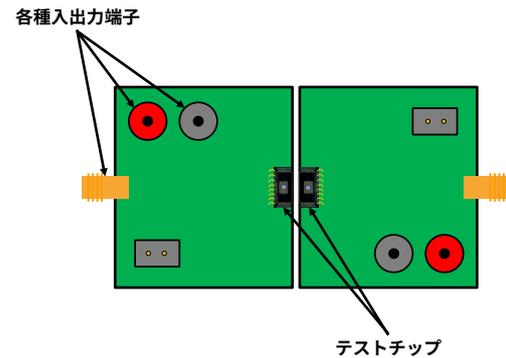


図 9 測定基板イメージ図

サについては Synopsys Design Compiler, IC Compiler を用いてレイアウトを設計した。コイルや送受信回路のレイアウト設計には Cadence Virtuoso を利用した。チップ全体のブロック図を図 6 に示す。また、製造用のチップレイアウト全体を図 7 に示す。搭載された主要回路の詳細レイアウトは図 8 の通りである。

チップ上には 4.0 mm × 2.0 mm のコイルと送受信回路が搭載されており、隣接して配置された二つのチップ間を無線で接続することができる。ここで送信回路の入力としては、外部からのシリアル入力信号とプロセッサからの UART シリアル出力信号のいずれかがマルチプレクサによって選択され用いられる。

プロセッサについては、データメモリの容量削減とともなって内部メモリバスの一部が削除された状態で搭載されている。命令メモリはチップ外に配置することを想定しており、その容量は最大 64 KB となっている。また、データメモリはオンチップに搭載されておりその容量は 64 B となっている。

今後、製造されたテストチップを複数組み合わせ、図 9 に示すような実験用基板を作成する予定である。チップ間の距離や相対角度を変更しながら測定することで、これらのパラメータと通信品質との関係性を評価したい。

6. おわりに

本論文では、形状自在計算機システム構築のためのプロトタイプチップについて述べた。チップ内には RISC-V RV32I プロセッサとワイヤレスバスインタフェースが搭載され、外部からの信号を用いた最大で 700 Mb/s のチップ間通信や、プロセッサ間での簡易的な非同期シリアル通信が可能となっている。今後、製造されたチップを複数搭載した測定基板を作成し、チップ間無線通信品質やプロセッサ処理性能の実測評価をおこないたい。

謝辞 本研究は JSPS 科研費 JP19H04076, JP19H04077,

JP19J13974 の助成を受けたものです。

参考文献

- [1] Perez-Guagnelli, E. R., Nejus, S., Yu, J., Miyashita, S., Liu, Y. and Damian, D. D.: Axially and Radially Expandable Modular Helical Soft Actuator for Robotic Implantables, *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 4297–4304 (2018).
- [2] Miyashita, S., Guitron, S., Yoshida, K., Shuguang Li, Damian, D. D. and Rus, D.: Ingestible, Controllable, and Degradable Origami Robot for Patching Stomach Wounds, *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 909–916 (2016).
- [3] Miyashita, S., Guitron, S., Ludersdorfer, M., Sung, C. R. and Rus, D.: An Untethered Miniature Origami Robot that Self-folds, Walks, Swims, and Degrades, *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 1490–1496 (2015).
- [4] Takada, R., Kadomoto, J. and Shizuki, B.: A Sensing Technique for Data Glove Using Conductive Fiber, *ACM Conference on Human Factors in Computing Systems (CHI)*, pp. INT023:1–INT023:4 (2019).
- [5] Miller, S., Smith, A., Bahram, S. and Amant, R. S.: A Glove for Tapping and Discrete 1D/2D Input, *ACM International Conference on Intelligent User Interfaces (IUI)*, pp. 101–104 (2012).
- [6] 門本淳一郎, 入江英嗣 and 坂井修一: 水平方向チップ間ワイヤレスバスを用いた形状自在 SiP の検討, *IPSJ SIG Technical Reports*, Vol. 2018-SLDM-185, No. 10, pp. 1–6 (2018).
- [7] 門本淳一郎, 浅野凌治, 入江英嗣 and 坂井修一: 水平方向チップ間ワイヤレスバスの解析と設計, *IPSJ SIG Technical Reports*, Vol. 2019-SLDM-187, No. 16, pp. 1–6 (2019).
- [8] Stow, D., Akgun, I., Barnes, R., Gu, P. and Xie, Y.: Cost Analysis and Cost-Driven IP Reuse Methodology for SoC design Based on 2.5D/3D Integration, *IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, pp. 56:1–56:6 (2016).
- [9] Yin, J., Lin, Z., Kayiran, O., Poremba, M., Altaf, M. S. B., Jerger, N. E. and Loh, G. H.: Modular Routing Design for Chiplet-Based Systems, *ACM/IEEE International Symposium on Computer Architecture (ISCA)*, pp. 726–738 (2018).
- [10] Coskun, A., Eris, F., Joshi, A., Kahng, A. B., Ma, Y. and

- Srinivas, V.: A Cross-layer Methodology for Design and Optimization of Networks in 2.5D Systems, *IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, pp. 101:1–101:8 (2018).
- [11] Eris, F., Joshi, A., Kahng, A. B., Ma, Y., Mojumder, S. and Zhang, T.: Leveraging Thermally-Aware Chiplet Organization in 2.5D Systems to Reclaim Dark Silicon, *Design, Automation and Test in Europe (DATE)*, pp. 1441–1446 (2018).
- [12] Kannan, A., Jerger, N. E. and Loh, G. H.: Enabling Interposer-based Disintegration of Multi-core Processors, *IEEE/ACM International Symposium on Microarchitecture (MICRO)*, pp. 546–558 (2015).
- [13] Stow, D., Xie, Y., Siddiqua, T. and Loh, G. H.: Cost-Effective Design of Scalable High-Performance Systems Using Active and Passive Interposers, *IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, pp. 728–735 (2017).
- [14] Liu, H., Sun, Z., Tang, D., Huang, H., Kaneko, T., Deng, W., Wu, R., Okada, K. and Matsuzawa, A.: An ADPLL-Centric Bluetooth Low-Energy Transceiver with 2.3mW Interference-Tolerant Hybrid-Loop Receiver and 2.9mW Single-Point Polar Transmitter in 65nm CMOS, *IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 444–446 (2018).
- [15] Kuo, F., Ferreira, S. B., Babaie, M., Chen, R., Cho, L., Jou, C., Hsueh, F., Huang, G., Madadi, I., Tohidian, M. and Staszewski, R. B.: A Bluetooth Low-Energy (BLE) Transceiver with TX/RX Switchable On-Chip Matching Network, 2.75mW High-IF Discrete-Time Receiver, and 3.6mW All-Digital Transmitter, *IEEE Symposium on VLSI Circuits (VLSI Cir.)*, pp. 64–65 (2016).