波長分割多重を用いたブース法に基づく 光並列乗算器の構成手法

今井 悠貴^{1,a)} 塩見 2^{1} 小野寺 秀俊¹ 石原 亨² 新家 昭彦^{3,4} 納富 雅也^{3,4}

概要:近年,トランジスタの微細化に伴い配線遅延や漏れ電流の増大が問題となり,LSIの性能向上に限界 が見えつつある.一方,光分野ではナノフォトニクス技術の発展により,光スイッチや光配線をLSIのよ うに集積化した光集積回路の研究が注目を集めている.光配線および光スイッチは,配線内の寄生抵抗や寄 生容量によらず光の速度で信号を伝搬することが可能であり,演算処理に応用することで高速な演算器の 実現が期待される.本稿では,波長分割多重を用いることでブース法に基づく光並列乗算器を効率的に構 成する手法について提案する.さらに提案構成に基づく光並列乗算器に関して伝搬遅延時間の評価を行う.

An Optical Integrated Circuit Design Method for Modified Booth Multiplier Using Wavelength Division Multiplexing

Yuuki Imai^{1,a)} Jun Shiomi¹ Hidetoshi Onodera¹ Tohru Ishihara² Akihiko Shinya^{3,4} Masaya Notomi^{3,4}

Abstract: Integrated optical circuits with nanophotonic devices have attracted attention over the recent years. Optical circuits composed of optical wires and optical switches have a potential for low-power operation and light-speed computation. Due to the potential, high performance arithmetic units are expected to be realized using the nanophotonic devices. In this paper, we propose an optical integrated circuit architecture of modified Booth multiplier and its design methodology using wavelength division multiplexing. Then the paper shows the performance evaluation results of the optical modified Booth multiplier.

1. はじめに

近年,LSI は急速な発展を遂げ,高度な情報社会を担う キーデバイスとなっている.今日のLSI は,トランジスタ を極限まで微細化することで,処理速度の向上と消費エネ ルギーの低減の両方を同時に達成した.一方で,トランジ スタの微細化に伴う配線抵抗および配線容量の増加によっ て,配線遅延が増大し,LSI のさらなる処理速度の向上を 妨げている [1].また,微細化に伴う漏れ電流の増大により 低消費エネルギー化も困難となってきており,微細化によ る LSI の性能向上には限界が見えつつある.

一方,光スイッチや光配線をLSIのように集積化した光 集積回路が注目を集めている.こうした動きの背景には, フォトニック結晶に代表されるナノフォトニクス技術の発

³ NTT ナノフォトニクスセンタ (NTT Nanophotonics Center)

展がある.フォトニック結晶は屈折率の異なる媒質が周期 的に並べられた人工結晶であり,これを用いることで,光 波長程度の寸法で光を制御することができる.フォトニッ ク結晶の登場により,従来よりも格段に小型の光デバイス が実現でき,光デバイスの高集積化が可能になってきてい る.また,光配線および光スイッチは,配線内の寄生抵抗や 寄生容量によらず光の速度で信号を伝搬させることが可能 であり,素子サイズを小型化することで,素子遅延は100 fs 程度まで削減されることが期待されている.さらに,光 デバイスの消費エネルギーは CMOS 論理ゲートの消費エ ネルギーと同程度まで削減されつつある.以上の理由から, 光技術による高速化かつ低消費エネルギー化を実現する光 集積回路の研究が近年活発化している.

本稿では,波長分割多重を用いることでブース法に基づ く光並列乗算器を効率的に構成する手法について提案す る.本稿の構成を以下に示す.第2章では,本稿の関連研 究として光パスゲートを用いて演算回路を構成する手法に ついて紹介する.また既存の光並列乗算器の問題点を提起 した上で,本研究の意義を示す.第3章では,提案する波

¹ 京都大学大学院情報学研究科

² 名古屋大学大学院情報学研究科

⁴ NTT 物性科学基礎研究所 (NTT Basic Research Laboratories)

^{a)} imai@vlsi.kuee.kyoto-u.ac.jp

長分割多重を利用したブース法に基づく光並列乗算器の構成について説明する.第4章では,提案回路による光並列 乗算器について伝搬遅延時間を評価した結果を示す.最後 に,第5章で本稿のまとめを述べる.

2. 関連研究と本研究の意義

2.1 関連研究

近年,光パスゲートと呼ばれる光論理素子を用いて,様々 な論理関数を実現する研究が活発に行われている [2], [3]. 光パスゲートはフォトニック結晶を用いて光の ON/OFF や流出経路を制御する論理ゲートであり,代表的な構成を 図1,図2に示す.図1は1×1光パスゲートと呼ばれ,電 気制御信号の値に応じて光の ON/OFF を制御する.図2 は2×2光パスゲートと呼ばれ,電気制御信号の値に応じ て光の出力先を制御する.

光パスゲートの接続には図3のようにシリアル接続とカ スケード接続が存在する. このうち, カスケード接続は光 電変換に要する遅延のために光の高速性を活かすことがで きない [4], [5]. 文献 [2] において, Hardy らは 2×2 光パス ゲートにより、任意の論理関数をシリアル接続のみで実現 可能であると示している. Hardy らが提案している Direct Logic を用いることで、任意の論理関数を光の伝搬速度で 演算することができる.しかし,複雑な論理関数では入力 数に対して指数関数のオーダの素子数が必要になるものも あり, 乗算もその例に含まれる. 文献 [6] では, 光パスゲー トに適した回路アーキテクチャとして二分決定グラフに基 づく回路構成を提案している. 二分決定グラフを用いるこ とでも,任意の論理関数をシリアル接続のみで実現可能で あるが、Direct Logic と同様に素子数が指数オーダとなる. したがって、 Direct Logic や二分決定グラフによって乗算 器を構成することは現実的ではない.

文献 [7] において,乗算における部分積加算を光アナロ グ加算で行う光並列乗算器の構成が提案されている.文 献 [7] の光並列乗算器で用いられている乗算アルゴリズム を図4に示す.この乗算アルゴリズムは文献 [8] において, Preparata らが提案している乗算手法に基づいている.ま



© 2019 Information Processing Society of Japan



ず部分積を生成し、生成した部分積を各桁ごとに加算す る. その後, 複数桁ずつ部分積加算結果を統合する. ここ で定義している統合とは、複数桁単位で DA 変換を行うこ とを意味する.図4は2桁単位の統合の例を示している. 部分積の和である z₇,...,z₀ の 8 個をそれぞれ 2 個ずつに 区切り,合計4個の集合に分割した後,それぞれの集合に 対し、2個の部分積加算結果を1つのアナログ量とみなし DA 変換を行う. 例えば, z₀ および z₁ の 2 桁単位の統合 $z_{0,1}$ とは、アナログ量 $2z_1 + z_0$ を求めることである。その 後,統合して得られた系列は AD 変換により 2 進数に変換 される. AD 変換によって得られる 2 進系列は図 4 のよう に2行にまとめることができる.最後に,2行にまとめられ た2進系列を加算することで、最終的な乗算結果が得られ る. 文献 [7] の光並列乗算器の構成を図5に示す. この光 並列乗算器は部分積加算を光線形素子を用いた光の干渉に より加算を実現しており、光の伝搬速度で部分積加算が実 行される.文献 [7] で提案されている光並列乗算器は,従 来の CMOS 並列乗算器のおよそ 3.3 倍高速であると示さ れている.

2.2 本研究の意義

2.1 節で先行研究において提案されている光並列乗算器 の構成について紹介した.文献 [7] の光並列乗算器により, 従来の CMOS 並列乗算器よりも高速な乗算が実現可能で ある.一方で,文献 [7] の光並列乗算器には問題点も存在 する.本節では,文献 [7] の光並列乗算器の問題点につい て述べた上で,本研究の意義について説明する.

図7に16ビットの乗算の場合の乗算過程を表した図を 示す.16ビットの乗算では、図7に示されるように桁統合 を行った後の数値の最大値は229となる.229までの値に 対して AD 変換を行う場合,最大8ビットの AD 変換回路 を用意する必要がある.ここで、文献[7]で用いられてい る AD 変換回路の構成を図6に示す.Nビットの AD 変 換を行う場合,まず、入力のアナログ光をN個の光に分岐 させ、Nアレイの符号化器に入力する.符号化器は図6(b) のようにビットごとに異なる周期特性の伝達関数を有して おり、これにより量子化および符号化が行われる.図6(b) は4ビット分の特性を示しており、入力されるアナログ光 の電力の最大値を1として規格化している.その後、閾値





(b) 符号化器の伝達関数 (4 ビットの場合).

図 6: 文献 [7] で用いられている AD 変換回路の構成.

処理器により伝達関数の特性を改善し,最終的に2値のデ ジタル出力を得る.すなわち,図 6(b)の符号化器の出力 が 0.5 未満の場合は0,0.5以上の場合は1に変換する.一 方で図 6(b)より,上位のビットほど高精度の閾値処理が 必要となることが分かる.これは AD 変換回路のビット幅 が大きくなるとより顕著になる.したがって,文献 [7]の 光並列乗算器は AD 変換における精度保証が困難となり得 る問題がある.別構成の AD 変換回路として,文献 [9]で はサニャック干渉計を用いた全光 AD 変換回路が提案され ている.しかし,この全光 AD 変換回路は非線形光学効果 を用いており,レイテンシが大きいという問題がある.ま た,電気の AD 変換回路にも逐次比較型やフラッシュ型, パイプライン型等,様々な方式のものがあるが,いずれも レイテンシが小さくない [10].

本稿では,AD 変換における精度保証の問題を緩和した, 新たな光並列乗算器の構成について提案する.具体的には,



図 7:16 ビットの乗算における部分積加算(4 桁統合).

表 1:2 次のブースの符号化規則 (i = 0,1,2,...).

| Y[2i+1] | Y[2i] | Y[2i-1] | 部分積 |
|---------|-------|---------|-----|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | X |
| 0 | 1 | 0 | X |
| 0 | 1 | 1 | 2X |
| 1 | 0 | 0 | -2X |
| 1 | 0 | 1 | -X |
| 1 | 1 | 0 | -X |
| 1 | 1 | 1 | 0 |

ブース法に基づく光並列乗算器の構成を提案する. ブース 法を用いることで桁統合後の値の最大値を低減させ,必要 となる AD 変換のビット幅を削減することができる. さら に, AD 変換のビット幅を削減することで, AD 変換回路 の低消費電力化にも寄与している. 図 6 の AD 変換回路は アナログ光を N 分割して符号化するため,分割数 N に比 例した光の強度が必要となる. そのため, AD 変換のビッ ト幅が小さくなると入力する光の強度は小さくて済み,結 果として消費電力が低下する.

波長分割多重を用いたブース法に基づく光 並列乗算器

3.1 2次のブース法を用いた乗算手法

2次のブース法は,部分積の計算の際に乗数の隣接する 3ビットの値に応じて被乗数の可算量および減算量を変更 する方式である.本節では2次のブース法の乗算アルゴリ ズムについて説明する.

2次のブース法の符号化規則を表1に示す.表1のよう に、2次のブース法では乗数 Y の隣接する3ビットの値に 応じて0, $\pm X$, $\pm 2X$ を部分積として使用する.図8に2次 のブース法を使用して16ビットの乗算を行った具体例を 示す.図8は被乗数 X = 32767と乗数 Y = 7827の乗算 を2次のブース法を使用して行なっている.図8に現れる 負数 -X, -2Xは2の補数表現を用いて表している.負数 を補数で表現する都合上,符号化後の値はすべて32ビッ ト目まで符号拡張されている.2次のブース法を適用する ことで,16ビットの乗算における部分積は図8のように9 行に削減できる.



図 9:2 次のブース法と桁統合の併用 (16 ビットの乗算の 例).

3.2 ブース法に基づく光並列乗算器

本節では、2次のブース法を適用した光並列乗算器の構成について提案する.図9に提案する光並列乗算器の乗算 アルゴリズムを表した図を示す.図9は、図4で示した乗 算アルゴリズムに2次のブース法を適用したものとなって いる.すなわち、2次のブース法と桁統合を併用した乗算 アルゴリズムとなっている.図9において、桁統合後の値 の最大値は63となっており、必要となるAD変換のビッ ト幅は6ビットである.したがって、図7の場合に比べて 必要となるAD変換回路のビット幅が小さくなっており、 AD変換における精度保証の問題が緩和される.

図 10 に提案する光並列乗算器のブロック図を示す.提案する光並列乗算器は4つの回路で構成されており,ブースの符号化回路,部分積加算および桁統合回路,AD変換回路,並列加算回路からなる.各部の回路構成については3.2.1 節以降に説明する.

3.2.1 ブースの符号化回路

表1の2次のブースの符号化規則から分かるように、 ブースの符号化回路はセレクタ論理で実現できる.セレク タは光回路では容易に構成でき、表1の2次のブースの 符号化規則を光回路で実現すると図11のようになる.図 11 は波長分割多重を用いることで1行分の部分積を生成 している.図12に各部分積に対する波長の割り当て方法 を示す.図12のように部分積ごとにそれぞれ別の波長を 使用し、同じ行の部分積を波長分割多重によって束ねるこ とで、1行分の部分積を1つの符号化回路で生成する.図 11の左側の回路は1行分の部分積に対応するブース符号を 生成しており、表1の2次のブースの符号化規則に現れる



X, -X, 2X, -2X の部分積を生成している. 部分積が X の 場合, 被乗数 X の各ビット, すなわち, $x_{n-1}x_{n-2}\dots x_0$ に対して、それぞれ $\lambda_{n-1}\lambda_{n-2}...\lambda_0$ の波長を割り当てて 波長多重化を行っている. 波長の多重化にはリング共振器 を用いている. x_{n-1}x_{n-2}...x₀ は電気信号で与え, 1×1 光 パスゲートの電圧制御端子に入力する.ここで用いる 1×1 光パスゲートは、図1で示した1×1光パスゲートに対応 している. 部分積が 2X の場合は, X の場合と比べて波長 を1ビット左にシフトしており,これにより X の2 倍の 値, つまり 2X を実現している. 部分積が –X の場合は, 値が負の数となるため補数表現を用いている. すなわち, ビット反転した上で最下位ビットに1を加算する. ビット 反転は 1×1 光パスゲートを,部分積が X の場合と逆の動 作をするものを用いることで実現される. 最下位ビットへ の1の加算は、最下位ビットに同波長で一定の強度を有す る光を合流させることで実現している. さらに, 2n-1 桁 まで符号拡張を行なう. 部分積が -2X の場合は, -X の 場合から波長を1ビット左にシフトしており、これにより -2X が実現される.以上により,1行分の部分積に対応す るブース符号を生成することができる. これらのブース符 号は, 図 11 の右側のセレクタ回路に入力される. セレク タ回路では方向性結合器を電圧制御することで、光の出力 を切り替えている. 方向性結合器の動作は図2で示した動 作に対応している.乗数 Y の 3 ビット y_{2i+1}, y_{2i}, y_{2i-1} は 電気信号として入力され, *y*_{2*i*+1}, *y*_{2*i*}, *y*_{2*i*-1}の値に応じて, 0, X, -X, 2X, -2X のいずれかのブース符号が選択されて 出力される.

3.2.2 部分積加算および桁統合回路

図 12 では、部分積加算および桁統合の際に干渉が生じ ないように各部分積に波長を割り当てている。ブースの符 号化後に部分積加算を行うには、波長多重化した信号から 特定の波長を取り出すことで、それぞれの桁の部分積加算 を行うことが可能である。図 13 に波長分割多重後に部分 積加算および桁統合を行う回路を示す。図 13 は図 12 と対 応しており、図 13 に現れる p_0, p_1, p_2, \ldots は各行の部分積 を波長分割多重によって束ねた後の信号を表している。例 えば、 p_0 は図 12 の 1 行目の λ_0 から λ_{31} までの部分積を 波長多重によって束ねた信号を表す。図 13 では、リング 共振器により各桁の信号を取り出しており、桁統合による 各桁の重み付けを減衰器を用いることで実現している。桁



9999999999999999999998877766555443332211

図 12: 各部分積に対する波長の割り当て方法 (16 ビットの 乗算の例).



統合される各部分積はリング共振器により最終的に1つ の導波路へと束ねられる.例として,図13のビット0,1, 2は,図12の下位3桁に対応しており,1行目のp₀から $\lambda_0, \lambda_1, \lambda_2, 2$ 行目の p_1 から λ_{32} を取り出して 1 つの導波路 へ合成している. このとき, 各桁の光の強度が上位桁から 順に4:2:1となるように減衰器を用いて光の強度を減衰 させる. すなわち, λ_0 の光に対しては6 dBだけ強度を減 衰させ、 λ_1 の光に対しては 3 dB だけ強度を減衰させる.

図13で複数桁ごとに束ねられた光信号は、最終的にフォ トディテクタにより電流に変換される. このとき, 束ねら れていた各波長の光信号の強度和に相当する電流が得られ るため、これにより部分積加算が実現される.

3.2.3 AD 変換回路と並列加算回路

AD 変換回路は 2.2 節で紹介した文献 [7] で用いられてい る AD 変換回路と同様の構成を使用する. AD 変換によっ て、最終的に 2N ビットの 2 進数 2 行分の加算が生じる. 2行分の加算の場合, 文献 [4] で提案されている光並列加 算器を用いることで高速に演算することができる. 文献 [4] で提案されている光並列加算器は光パスゲートを直列に接 続する構成により桁上げ生成回路を実現しており、光の伝 搬速度で加算が演算可能である.

伝搬遅延時間の評価 4.

8ビット×8ビットの乗算において、提案した光並列乗 算器の伝搬遅延時間について評価する. 図 14 に 8 ビットの 乗算において,2次のブース法と波長分割多重を併用した 際の乗算方法を示す.8ビットの乗算の場合,図14のよう に2桁統合を行うことで最後の並列加算の回数を1回に削 減できる.また、AD変換では最大4ビットの2進数に変 換することになる.8ビットの乗算におけるブースの符号 化回路,部分積加算および桁統合回路,AD 変換回路,並 列加算回路のそれぞれの伝搬遅延時間を算出する.

まず,ブースの符号化回路の遅延特性を評価する.ブー スの符号化回路における 1×1 光パスゲートは, 文献 [4] で 紹介されている電界吸収型のものを用いることとし、素子 長は 1.3 μm, 材料屈折率は 2.8 と仮定する. 方向性結合器 の素子長は100 μm, 材料屈折率は2.8 と仮定する.また, リング共振器の伝搬遅延時間はドロップ時に 1.0 ps とし, スルー時は 0.1 ps とする [3]. 8 ビットの乗算の場合, 1×1 光パスゲート部分の伝搬遅延時間は,1×1 光パスゲート1 段分の遅延時間であり,0.012 ps となる.続いてリング共 振器部分は,図 14 から最大で λ₀ から λ₁₅ の波長の光をリ ング共振器により束ねることになるため、ドロップ1回と スルー15回分の遅延が生じる.すなわち、リング共振器 部分の伝搬遅延時間は 2.5 ps となる. 最後に方向性結合器 部分の伝搬遅延時間は、方向性結合器3段分の遅延時間に 相当し, 2.8 ps と求められる.以上を合計すると, ブース の符号化回路の伝搬遅延時間は 5.312 ps となる.

次に,部分積加算および桁統合回路の遅延特性を評価す る. 部分積加算および桁統合回路で用いられるリング共振 器の特性は、ブースの符号化回路で使用したものと同様と する.8 ビットの乗算の場合,図 14 から最大で 10 個の部 分積を桁統合を施した上で加算する.まず,各行の波長多 重化された光信号 p_0, p_1, p_2, \ldots から特定波長の光をドロッ プさせる際に 1.0 ps の遅延時間が生じる. さらに複数桁ご とに部分積を集約させる際にも光がドロップされるため, 1.0 ps の遅延時間が生じる. その後, ドロップされた光は 最大で 9 個のリング共振器を通過(スルー)することにな るため, 0.9 ps の遅延時間が生じる.以上を合計すると, 部分積加算および桁統合回路の伝搬遅延時間は 2.9 ps と なる.

次に, AD 変換回路の遅延特性を評価する. 文献 [7] で は AD 変換回路の伝搬遅延時間を 62 ps と評価している. 文献 [7] で用いられている AD 変換回路は符号化器と閾値



図 14:8ビットの乗算において2次のブース法と波長分割 多重を併用した際の乗算方法.



図 15: 文献 [7] の光並列乗算器の 8 ビットの乗算方法.

処理器において,フォトディテクタによる光電変換が1回 ずつ生じる.光電変換には30 ps 要すると仮定し,さらに マッハツェンダ干渉計の素子長を100 μm,材料屈折率を 2.8 と仮定すると,AD 変換回路における伝搬遅延時間は 62 ps と見積もられている.最後に,16 ビットの光並列加 算器における伝搬遅延時間は,文献 [11] において初段の光 電変換およびスイッチング遅延に25 ps,後続のパス遅延 が15 ps で合計40 ps になると示されている.したがって, 本稿で提案する光並列乗算器の伝搬遅延時間は110.2 ps と 見積もることができる.

文献 [7] で提案されている光並列乗算器の8ビットの乗 算における乗算方法を図15に示す.図15より,8ビット の乗算の場合,文献[7]の光並列乗算器は最大6ビットの AD 変換が必要になる.一方で,本稿で提案した光並列乗 算器に必要となる AD 変換回路は,8ビットの乗算の場合 で最大4ビットである.また,文献[7]の光並列乗算器の 伝搬遅延時間は,8ビットの乗算の場合で106.7 psであり, 本稿で提案する光並列乗算器は文献[7]の光並列乗算器と 同等の伝搬遅延時間で AD 変換回路のビット幅を削減でき ていることが分かる.文献[7]には CMOS 論理ゲートを用 いた並列乗算器の伝播遅延時間についても評価を行ってお り,8ビットのウォリス木乗算器の伝播遅延時間が351 ps であると示されている.したがって,本稿で提案する光 並列乗算器の伝搬遅延時間は CMOS 並列乗算器の31% で ある.

5. おわりに

本稿では、波長分割多重を用いたブース法に基づく光並

列乗算器の構成手法を提案した.ブース法を適用すること で光並列乗算器に必要な AD 変換回路における精度保証 の問題を緩和できることを示した.また,波長分割多重を 用いることでブースの符号化回路を効率的に構成できるこ とを示した上で,光並列乗算器の具体的な回路構成につい ても提案した.伝搬遅延時間を評価した結果,提案した光 並列乗算器は既存の光並列乗算器と同等の伝搬遅延時間で AD 変換回路のビット幅を削減できていることを確認した. さらに.従来の CMOS 並列乗算器と伝搬遅延時間比較し て,提案した光並列乗算器がおよそ 3.2 倍高速であること を確認した.

謝辞 本研究の一部は,科学技術振興機構の戦略的創造 研究推進事業「新たな光機能や光物性の発現・利活用を基 軸とする次世代フォトニクスの基盤技術」(JPMJCR15N4) の支援により行われた.

参考文献

- Ceyhan, A. and Naeemi, A.: Cu Interconnect Limitations and Opportunities for SWNT Interconnects at the End of the Roadmap, *IEEE Transactions on Electron Devices*, Vol. 60, No. 1, pp. 374–382 (2013).
- [2] Hardy, J. and Shamir, J.: Optics inspired logic architecture, Opt. Express, Vol. 15, No. 1, pp. 150–165 (2007).
- [3] Xu, Q. and Soref, R.: Reconfigurable optical directed-logic circuits using microresonator-based optical switches, *Opt. Express*, Vol. 19, No. 6, pp. 5244–5259 (2011).
- [4] 石原 亨, 新家 昭彦, 井上 弘士, 野崎 謙悟, 納富雅也:光 パスゲート論理に基づく並列加算回路の提案と光電混載 回路シミュレータによる動作検証,電子情報通信学会技 術研究報告, Vol. 116, No. 96, pp. 109–114 (2016).
- [5] 江川 巧, 石原 亨, 小野寺 秀俊, 新家 昭彦, 北 翔太, 野崎 謙悟, 高田 健太, 納富雅也:ナノフォトニクスを用いた高 速多入力論理演算の実現法, DA シンポジウム 2017 論文 集, Vol. 2017, 情報処理学会, pp. 45–50 (2017).
- [6] 浅井 哲也, 雨宮 好仁, 小柴正則:二分決定グラフにもと づくフォトニック結晶集積デバイス, 電子情報通信学会 総合大会講演論文集, pp. 386–387 (2000).
- [7] 今井 悠貴, 石原 亨, 小野寺 秀俊, 新家 昭彦, 北 翔太, 野崎 謙悟, 高田 健太, 納富雅也:集積ナノフォトニクスに 基づく光アナログ加算手法と光並列乗算器への適用, DA シンポジウム 2017 論文集, Vol. 2017, 情報処理学会, pp. 51–56 (2017).
- [8] Preparata, F. P. and Vuillemin, J. E.: Area Time Optimal VLSI Networks for Computing Integer Multiplications and Discrete Fourier Transform, *Automata, Languages and Programming*, Vol. 115, Springer Berlin Heidelberg, pp. 29–40 (1981).
- [9] 池田 研介、モハッモド アブドラ ジャリル、並木 周、北 山研一:フォトニック AD 変換:サニャック干渉計型光ス イッチによる光量子化・光符号化に基づく超高速アナロ グ/ディジタル変換、レーザー学会研究会報告, Vol. 326, pp. 137–142 (2004).
- [10] 岩田穆: AD 変換原理と CMOS 回路技術 (アナログ, アナ デジ混載, RF 及びセンサインタフェース回路),映像情報 メディア学会技術報告, Vol. 33.39, pp. 93–98 (2009).
- [11] Ishihara, T., Shinya, A., Inoue, K., Nozaki, K. and Notomi, M.: An Integrated Nanophotonic Parallel Adder, *J. Emerg. Technol. Comput. Syst.*, Vol. 14, No. 2, pp. 26:1–26:20 (2018).