

複数の FPGA ボードを使用した FPGA 間データ通信に関する検討

古市晃久† 三浦康之† 深瀬直久† 半田寛信†

湘南工科大学

1. はじめに

近年では、次世代の研究資源として FPGA ボードを複数搭載している FPGA クラスタが注目されている。FPGA とは、用途に応じた内部にある電子回路の構成を変更する事の出来る LSI の一種で、高速な演算処理が可能な事で、各種電子機器で用いられている。

我々は、Intel FPGA (旧アルテラ社) の仕様である Avalon Interconnect の仕様に可能な限り沿う形で、ボード間通信を行う手法の検討を進めている^[1]。本研究では、FPGA ボードを 2 枚使用し、ボード間の通信を行えるようにすることを目標とする。FPGA ボード間のデータの入出力を行い、FIFO メモリを 2 個搭載した際の動作確認を行う。FPGA ボード間の通信は、IDE ケーブルを使用するものとする。

今回の実験では、DE0 の FPGA ボード 2 枚使用し、実験を行うものとした。簡単のため、研究を行うに際して、Quartus II Web edition、NIOS II EDS の二つの開発環境を使用した。

結果的に、IDE ケーブルを通した通信が可能となったので報告する。

2. 複数の FPGA ボードを結合するボード間インターコネクト

FPGA ボードに搭載されるモジュールが接続されている構造を図 1 に示す。図 1 の構造は、一つの FPGA に一つのモジュールを搭載したイメージである。図 1 のように、ユーザロジックや外部メモリ、NiosII プロセッサに加えて入出力インターフェースとなる FIFO メモリが Avalon-Memory Mapped (Avalon-MM) バスにより結合された構造により一つのモジュールが構成されている。モジュールの入出力インターフェースに対してルータ回路が接続されており、これらによりモジュール間の通信が行われる。

個々のモジュールの構造の詳細を図 2 に示す。システムは、関連研究の事例^[2]を参考にしており、入出力ポートのための FIFO メモリを加えている。

前述のように、ユーザロジックや外部メモリ、NiosII プロセッサ、入出力インターフェースのための FIFO メモリが Avalon-MM バスにより結合された構造となっている。これらのうち、NiosII は、以下のように、おもに外部モジュールとの通信やデータの移動、メモリアクセスなどを制御する。

- Avalon MM バスを通して NiosII が直接データを移動する。
- NiosII が DMA コントローラを制御して、ブロック単位によるデータ移動を行う。
- 出力ポートや入力ポートを通したデータの入出力を制御する。

NiosII においては、C 言語による記述でメモリのデータの移動を定義する。

演算処理等はユーザロジックにおいてユーザーが作成したロジックに基づいて実行される。ユーザロジックが、入力としてストリームを受け取り、出力としてストリームを返す。ユーザロジックは、HDL による記述を行う他に、C 言語などの高水準言語で記述して、Synver11^[3]等の変換ツール等を用いた HDL への変換も可能である。

結合部は、図 3 のようにルータ回路により構成される。ルータ回路は、クロスバススイッチの入力側のリンクに FIFO を配置しており、FIFO に入力されるパケットのヘッダの情報を元に次の転送先を決定して出力側リンクに送信する。

本稿では、上記のうち各モジュールの入出力ポートに関する設計と動作確認の結果に関する報告を行う。

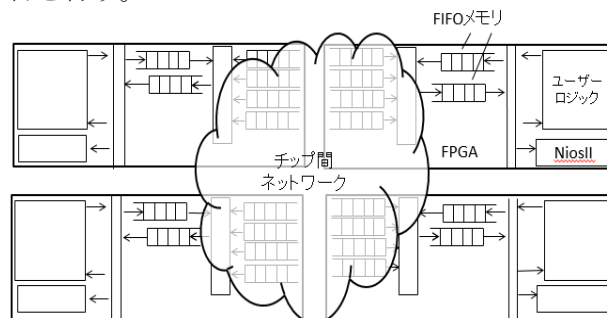


図 1. モジュールの接続図

The Study on Inter-Chip Data Communication of Plural FPGA Boards

†Akihisa Furuichi, Yasuyuki Miura, Naohisa Fukase, Hironobu Handa,
Shonan Institute of Technology

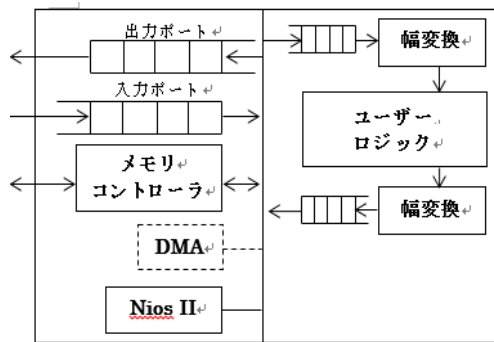


図 2. モジュールの詳細な構造

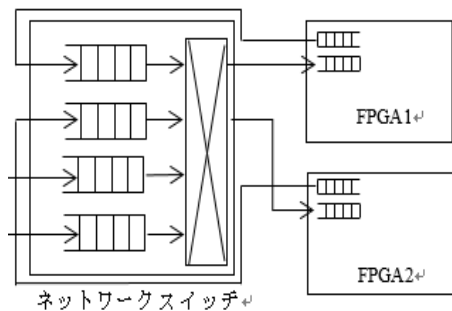


図 3 ルータ回路の構造

3. 研究の目標

今回の研究では、2枚のFPGAボードにプロセッサを1つずつ繋ぎ、動作確認を行う。最終的には、構築したロジックを用いて2つ以上のボード間にまたがるFPGAボードのネットワークに関する研究を行う。

4. FPGA間データ通信のための回路の構築

2枚のFPGAボードを用いて、ルータ（通信回路）を搭載し、パケット通信を行う回路を作成した。

4.1. 実験内容

本章では、2個のDE0ボードにおいて、GPIOを通したAvalon-STを用いたパケット通信を行う回路を作成し、動作テストを行った。

4.2. 実験回路

今回の実験で使用している回路は、2枚のDE0ボードにGPIOを用いて接続し、Avalon-STを用いたパケット通信を行うシステムを作成した。作成したシステムを図4に示す。図4の枠内がそれぞれのボードのFPGA上に作成した回路である。回路上のルータは、研究室で現在作成中であるルータ（通信回路）と同様の入出力(Avalon-ST)を持ち、入力0と出力1、入力1と出力0がそれぞれ接続された構造となっている。そして、入力0と出力0Avalonバスを通してそれぞれのボードのNios IIと接続し、入力1と出力1をGPIOを通して、もう片方のボードと接続している。

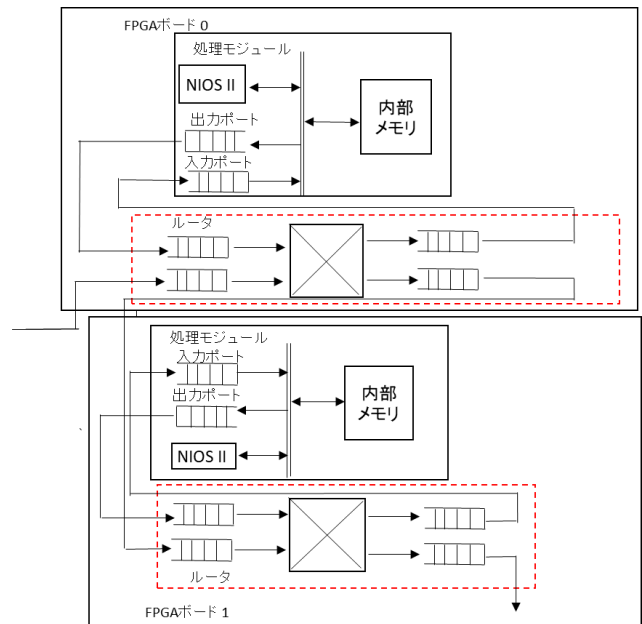


図 4 今回の実験の回路図

4.3. 実験プログラム

今回の実験を行うに際し、ボード間で通信を行う為のNiosIIプログラムを作成した。このプログラムは、FPGAボード0でデータを送信し、FPGAボード1で受信して端末に表示するという単純なものである。

4.4. 実験結果

プログラムを作成し、実行を行った結果、正常に動作し、FPGAボード0で送信したデータがFPGAボード1の端末上に表示された。今回の実験では、動作クロック周波数を150MHzに設定したところ、正常に動作した。

5. まとめ

今後の目標として、作成したシステムにおいて各動作周波数を変更し動作テストを行っていく事を目標としている。

謝辞

本研究の一部は、JSPS 科研費 JP17K00087 の助成を受けたものである。

参考文献

- [1] 深瀬他, 「Qsys コンポーネントを用いたFPGA クラスタ向けネットワークルータ回路の検討」, 電子情報通信学会技術研究報告, FIIS-18-489, pp.1-6, 2018.10.
- [2] 弘中, 三好他, 「FPGA を用いた計算処理の高速化技術」, 電子情報通信学会誌, Vol.100, No.2, pp.81-112, 2017.02.
- [3] 「性能UP! アルゴリズム×手仕上げHDL」, FPGA マガジン, No.11, 2015.10.