

## 発表概要

# 負荷分散比自動チューニング機能を備えた FPGA-CPUハイブリッド実行向け設計支援ツールの提案

胡濱 良樹<sup>1,a)</sup> 窪田 昌史<sup>1,b)</sup> 谷川 一哉<sup>1,c)</sup> 弘中 哲夫<sup>1,d)</sup>

2018年3月1日発表

高位合成ツールの進展により書き換え可能なハードウェアである FPGA をアクセラレータとして用い、C 言語や OpenCL で記述された処理を高速化する手法が実用的になってきている。その結果、演算処理を CPU と FPGA の双方に負荷分散し、処理の高速化を実現するハイブリッド実行が利用可能である。しかし、ハイブリッド実行を行ううえで CPU と FPGA との負荷分散比を手動的に決定するのは CPU と GPGPU におけるチューニングに比べ困難である。これは C 言語から CPU に向けたコンパイルに比べ、FPGA 構成情報の合成は一般に数十分から数時間という長い時間を要するためである。したがって、一般的に用いられる試験的に動作させて取得したプロファイル結果に応じてチューニングを繰り返す方法では現実的な時間でチューニングができない。そこで、本発表では単一の C 言語コードからハイブリッド実行用の CPU と FPGA の双方のコード開生成成を行うばかりでなく、短時間で CPU と FPGA 間の負荷分散比の自動チューニングが可能な設計支援ツールを提案する。提案ツールは比較的短時間で得られる高位合成時のログを利用して短時間でパラメータチューニングを行う。本発表では提案ツールの評価として自動チューニングを適用し、適切な負荷分散比のハイブリッド実行において CPU や FPGA どちらかのみで実行するよりも高速化できたことを確認した。

## Presentation Abstract

### Proposal of a Design Support Tool for FPGA-CPU Hybrid Execution with Automatic Load-balance Tuning Function

YOSHIKI EBISUHAMA<sup>1,a)</sup> KUBOTA ATSUSHI<sup>1,b)</sup> KAZUYA TANIGAWA<sup>1,c)</sup> TETSUO HIRONAKA<sup>1,d)</sup>

Presented: March 1, 2018

With the progress in high-level synthesis tools, it has been practical to use dynamically reconfigurable FPGA devices as accelerators for programs written in C language or OpenCL. As a result, it has been possible to accelerate computations by the hybrid execution that enables load-balanced computations on both CPU and FPGA. However, it is difficult to determine the optimal ratio of loads on CPU and FPGA compared with those on CPU and GPGPU. The reason of it is that it generally takes long time from several tens of minutes to several hours to synthesize FPGA configuration files from C or OpenCL programs. It is much longer than the compiling time of C programs to ordinary CPUs. It is therefore difficult to apply the conventional auto-tuning method to tune the ratio of loads on CPU and FPGA. In this presentation, we present a design support tool that generates hybrid execution codes on CPU and FPGA from C programs and also tunes the load-balance automatically in a short time. This tool utilizes the logs obtained by synthesizing FPGA configuration files to tune the load-balance. We confirmed that the hybrid execution of a benchmark program generated by our tool is faster than on either execution on only CPU or FPGA.

<sup>1</sup> 広島市立大学大学院情報科学研究科  
Graduate School of Information Sciences, Hiroshima City  
University, Hiroshima 731-3194, Japan

a) ebisuhama@ca.info.hiroshima-cu.ac.jp

b) kubota@hiroshima-cu.ac.jp

c) tanigawa@hiroshima-cu.ac.jp

d) hironaka@hiroshima-cu.ac.jp