

隣接線の信号遷移タイミングが パス遅延比較による半断線故障検査に与える影響について

西川 拓人^{1,a)} 四柳 浩之^{2,b)} 橋爪 正樹^{2,c)}

概要：集積回路の微細化により信号線の一部が欠損する半断線故障が増加している。また、故障線と隣接線との線間容量によるクロストークの影響は欠損部で大きくなり、隣接線への印加信号に依存して、故障線の信号遷移に微小変動をもたらす。そこで、隣接線に H/L 固定信号と逆相遷移信号のパターンペアを印加した際の各パスの伝搬遅延時間の順位比較による半断線故障検査法が提案され、研究が行われている。しかし、遅延変動の大きさは、故障線と隣接線の信号遷移タイミングに依存するため、生成したパターンで必ず故障が検出できるとは限らない。本稿ではパス遅延比較による半断線故障検査を想定した回路を設計し、試作 IC に実装した。設計した回路レイアウトを対象にして隣接線の信号遷移タイミングが本検査に与える影響についての調査を行う。

Effects of Signal Transition Timing on the Resistive Open Fault Detection by Path Delay Comparison

TAKUTO NISHIKAWA^{1,a)} HIROYUKI YOTSUYANAGI^{2,b)} MASAKI HASHIZUME^{2,c)}

Abstract: Detecting resistive open faults becomes important due to miniaturization. Crosstalk effect causes an extra delay on signal transition on a defective line with a resistive open fault. For testing small delay faults, a test method for resistive open fault by path delay ranking has been proposed. In the method, a pattern pair of a fixed signal and reverse phase transition signal is applied to adjacent lines for detecting faults. However, the delay size changes depending on timing skew of signal transitions on the defective line and its adjacent line, hence the generated test pattern pair may not detect a fault. In this paper, we design an example circuit with resistive open TEG and investigate the effects of the timing skew of signal transitions on the proposed test method.

1. はじめに

近年、集積回路の高集積化に伴い、配線工程の複雑化から、メタル埋め込み不良などが原因となる断線故障が増加している [1][2]。信号線の部分的な欠損が原因の半断線故障では、欠損部の抵抗成分が上昇し、信号遷移の微小遅延が発生する。微小遅延は論理値には影響が現れないため、従来の論理値テスト法では検出が困難であり、経年劣化か

ら完全断線故障へ成長し、誤動作の原因となる可能性があることから、精度の高い検査手法の開発が求められている [3][4]。また、微小遅延故障の遅延量は回路動作や回路構造によって変動が生じる [5]。近年では、集積回路の微細化により配線間隔が縮小し、隣接配線間の線間容量によるクロストークの影響が無視できなくなっている。欠損部の抵抗成分が大きい半断線故障では、隣接線に故障線の逆相遷移信号が印加された場合に信号遅延が増加する [6][7]。

そこで文献 [8],[9] では、隣接線に H/L 固定信号と逆相遷移信号を印加するテストパターンを生成し、伝搬遅延時間の差を用いた半断線故障検査法が提案され、シミュレーションを用いた故障検出可能性調査が行われている。しかし文献 [9] では、隣接線と故障線の信号遷移タイミン

¹ 徳島大学 大学院 先端技術科学教育部 システム創生工学専攻 電気電子創生工学コース

² 徳島大学 大学院 社会産業理工学研究部 〒770-8506 徳島県徳島市南常三島町 2-1

a) takuto031@ee.tokushima-ac.jp

b) yanagi4@ee.tokushima-ac.jp

c) tume@ee.tokushima-ac.jp

グ差について考慮されておらず、提案された方法で必ず故障を顕在化できるとは限らない。

本稿では、パス遅延比較による半断線故障検査を想定した回路を設計し、試作 IC に実装した。設計した回路のレイアウトにおけるシミュレーションを行い、隣接線と故障線の信号遷移タイミング差がパス遅延比較による半断線故障検査に与える影響についての調査を行う。

本稿では、第 2 章で半断線故障の概要とその検査法について、第 3 章ではパス遅延比較による検査を想定した回路について、第 4 章ではシミュレーションによる信号遷移タイミングが本検査法に与える影響調査について述べ、第 5 章でまとめている。

2. 半断線故障線モデルと検査法

2.1 半断線故障モデル

半断線故障の構造を図 1，回路モデルを図 2 に示す。

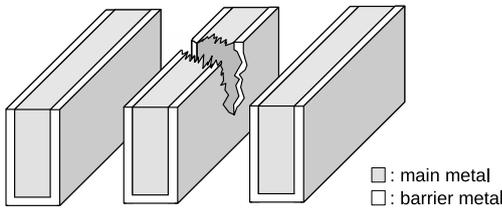


図 1: 半断線構造

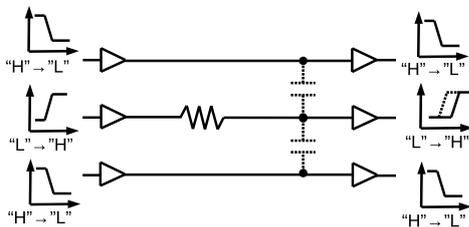


図 2: 半断線故障モデル

図 1 は、信号線とその欠損を示している。半断線故障は信号線の部分的な欠損により、抵抗成分が上昇する。故障線の抵抗成分と隣接線との線間容量によるクロストークの影響により、隣接線に印加された信号に依存して、信号の遅延量変動することが知られている [10][11]。図 2 に示すように隣接線に故障線の逆相遷移信号を印加した場合、信号の遅延量は増加する [7]。しかし完全断線故障とは異なり、信号線は接続されているため論理値は正常に伝わる。そのため、論理値テスト法での半断線故障検出は困難である。

2.2 パス遅延比較を用いる半断線故障検査法

半断線故障部では隣接線との線間容量によるクロストークの影響が大きくなり遅延量変動する。文献 [12] では、線間容量によるクロストークが集積回路に及ぼす影響につ

いての解析が行われている。文献 [8] では、隣接線の影響によるパス遅延の変化を観測することで半断線故障を検査する 2 パターンペアテスト法が提案されている。図 3 に 2 パターンペアを用いたパス遅延比較による半断線故障検査の概念図を示す。

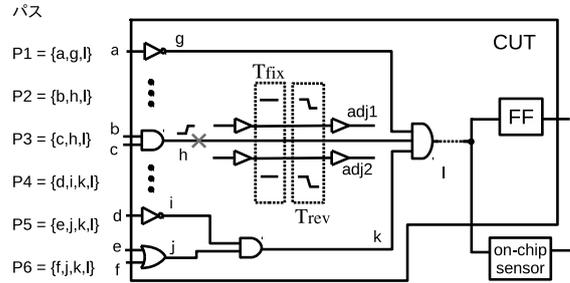


図 3: パス遅延比較を用いた故障検査の概念図

図 3 中において、故障線 h の箇所で半断線故障が発生しているものと仮定すると、故障線 h に対して隣接線 $adj1, adj2$ に H/L 固定信号を印加するパターン T_{fix} と、逆相遷移信号を印加するパターン T_{rev} からなる 2 パターンペア $T_{pair} = \{T_{fix}, T_{rev}\}$ を生成する。被検査回路に対して T_{pair} を印加し、出力までの信号伝搬時間から故障の影響を顕在化する。各パスの伝搬時間は回路にオンチップセンサを組み込み観測を行う。

図 3 において、パス $P1 \sim P6$ を活性化するテストパターン T_{pair} を用いて、各パスに入力された信号が出力に到達するまでにかかる時間を求める。パス $P1 \sim P6$ にテストパターン T_{fix}, T_{rev} を印加した際のパス遅延時間の順位が表 1 のようになったとする。表 1 は図 3 の各パスの伝搬遅延時間を小さい順に順位をつけた例である。

表 1: パス遅延順位の変化

パス遅延順位	T_{fix}	T_{rev}
1	P1	P1
2	P2*	P4
3	P3*	P2*
4	P4	P3*
5	P5	P5
6	P6	P6

表 1 に示すように、パス遅延順位の違いから $P2$ と $P3$ を通過する信号に遅れが生じている事がわかる。 $P2$ と $P3$ に共通する信号線は $\{h, l\}$ であり、また信号線 l は全てのパスに含まれているため、信号線 h に半断線故障が発生していると考えられる。上記のように T_{rev} を印加した際に遅延量が増加し、半断線故障が発生した際のクロストークの影響をパス遅延順位の変化として観測することができる。

2.3 信号遷移タイミングが半断線故障検査に与える影響

隣接線とのクロストークによる遅延量の変動は隣接線と故障線の信号遷移タイミング差においてもその大きさが変化する。隣接線が故障線の遅延に影響を与える場合を図4(a), 4(b)に示す。

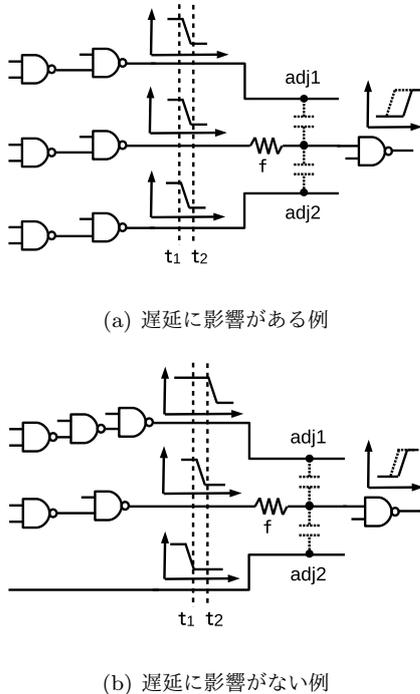


図 4: 隣接線が故障線の遅延に与える影響

図4(a)のように故障線と隣接線の信号遷移タイミング差が小さい場合は、故障線が遷移する t_1-t_2 間で隣接線も同時に遷移するため、クロストークにより遅延量に影響が生じる。図4(b)のように故障線と隣接線の信号遷移タイミング差が大きい場合、同時にテストパターンを印加しても、故障線が遷移している t_1-t_2 間では隣接線で信号が遷移していない。この場合、隣接線のクロストークによる影響は故障線の遅延量に影響を与えない。故障線と隣接線の信号が同時に遷移する時に遅延への影響は最も大きくなり、信号遷移タイミング差が大きくなるほど遅延量は減少する。したがって、信号遷移タイミングによっては、テストパターンを印加しても、遅延量に変化がなく故障の顕在化が可能な遅延量が得られない可能性がある [13]。

文献 [13] では、遷移タイミング差が大きい隣接線を信号

割当候補から除外することで、テスト生成時間の削減を行っている。

式 (1) に隣接線の削減に用いる条件を示す。

$$G_{Min}(f) - 2n \leq G_{Ave}(adj_i) \leq G_{Max}(f) + n \quad (1)$$

$G_{Max}(f)$, $G_{Min}(f)$ は故障線 f までの経路の最大, 最小のゲート段数, $G_{Ave}(adj_i)$ は隣接線 adj_i までの経路のゲート段数の平均の数である。 $n = 0$ とすると、隣接線の平均ゲート段数が故障線の最大, 最小ゲート段数に収まる隣接線候補のみを選択してテスト生成を行うことになる。

3. 本検査法を想定した実験回路

断線故障検査法の実測による調査のために、擬似断線故障を含む回路を設計する。文献 [14][15] では擬似断線故障 TEG を用いて、隣接線との線間容量によるクロストークが、信号遷移の遅延量に影響することが確認されている。

3.1 断線故障を模擬したスタンダードセル (FAULT) の概要

隣接 3 配線と断線故障を模擬したスタンダードセルである FAULT セルを ROHM0.18 μ m プロセスで設計した。FAULT セルのゲート回路図を図 5 にレイアウト図を図 6 に示す。

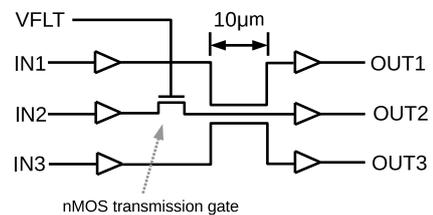


図 5: FAULT のゲート回路図

図 5 に示すように FAULT セルでは、断線故障を模擬するために nMOS トランSMISSIONゲートを使用している。まず制御信号 VFLT が L レベルのときは nMOS がオフ状態であり、IN2 の信号は伝搬されない。これにより完全断線故障を模擬することができる。次に制御信号 VFLT を H レベルにすると、nMOS がオン状態となるので IN2 の信号が出力へ伝搬される。この状態では FAULT セルの部分は通常の配線となる。また、VFLT の値に中間電位を

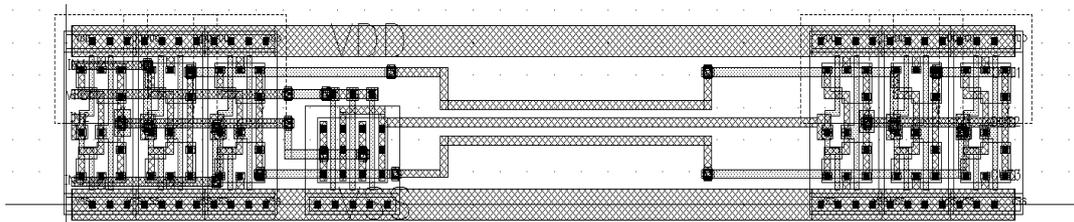


図 6: FAULT のレイアウト図

与えることで高抵抗となり、半断線故障を模擬することができる。

また FAULT セルを用いて試作回路では、任意の信号線を図 5 の IN1, IN3 に接続することで、IN2 に接続する信号線の隣接線にできる。この隣接 3 配線に該当する部分の並走距離は $10\mu\text{m}$ となっている。

3.2 FAULT セルによる半断線故障の模擬

FAULT セルの断線レベルの調査を行うため FAULT セルを対象に Synopsys 社の HSPICE を用いてシミュレーションを行った。立ち上がり遷移信号の遷移時間を 300ps とし、IN1, IN3 には L 固定信号, IN2 には遷移信号, 制御信号 VFLT には 1.3V , 1.4V , 1.6V , 1.8V をそれぞれ印加した場合の OUT2 の出力波形を観測した。FAULT スタンドセルの制御信号 VFLT を変化させた場合の OUT2 の出力波形を図 7 に示す。

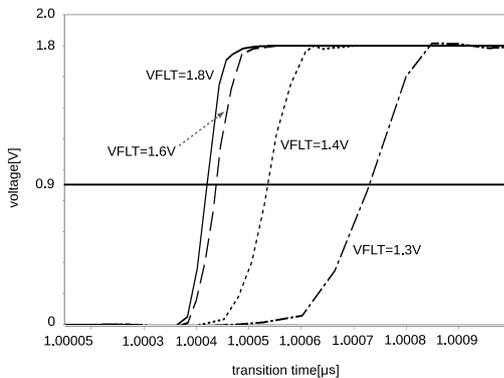


図 7: FAULT の各制御信号ごとの出力波形図

図 7 より制御信号 VFLT を小さくすることで OUT2 で観測される波形の遷移時間が大きくなっていることがわかる。したがって nMOS 部分を高抵抗とすることで、半断線故障が模擬されていることが確認できる。

3.3 パス遅延比較による検査を想定した回路

設計したパス遅延比較による半断線故障検査を想定した回路の概略図を図 8 に示す。

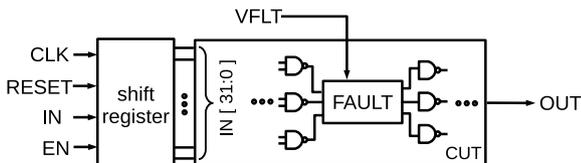


図 8: パス遅延比較による検査を想定した回路の概略図

検査対象回路は 32 入力 1 出力であり、前述の FAULT を組み込んでいる。検査対象回路のゲート回路図を図 9 に示す。この回路は各パスの信号伝搬時間とパス遅延順位を求

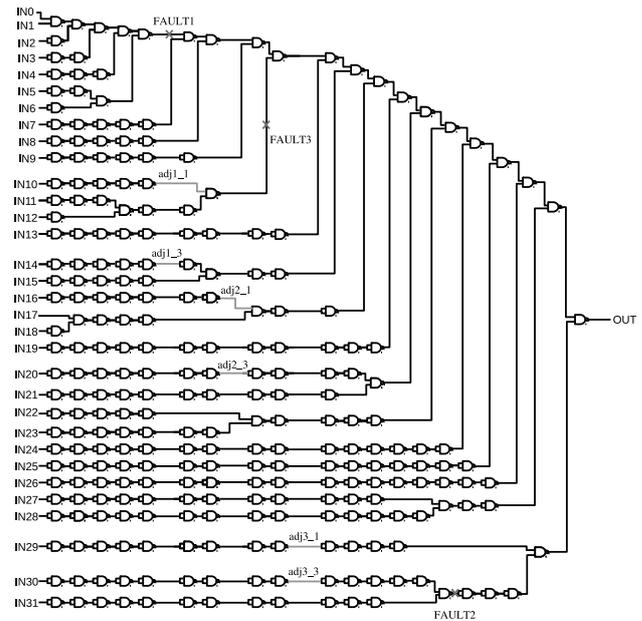


図 9: 検査対象回路

めやすくするため、出力ピン数を 1 とし、各入力から出力までのゲート段数が 15 段から 20 段の 2 入力 NAND ゲートのみで構成されている。図 9 に示した FAULT1 の箇所が今回、検査対象とする故障箇所である。また、adj1_1, adj1_3 が故障線に対する隣接線となる。

4. 信号遷移タイミングが検査法に与える影響調査

本章では、設計した回路を対象に、信号遷移タイミングがパス遅延比較による半断線故障検査に与える影響をシミュレーションを用いて調査を行なった結果について述べる。

4.1 シミュレーション方法

シミュレーションは図 9 に示した回路を使用する。図 9 の回路を Synopsys 社の ICCompiler を用いて自動配置配線を行い、Cadence 社の Virtuoso を用いてレイアウトを取り込み、Synopsys 社の StarRC を用いて RC 抽出済みネットリストに変換した。この回路を Synopsys 社の HSPICE を用いてシミュレーションを行った。

今回の回路は各入力に対して出力までの経路が 1 つになるように設計している。したがって各入力に遷移信号を印加し、その出力までの伝搬遅延時間を隣接線に固定信号を印加した場合と故障線に対する逆相遷移信号を印加した場合で比較することによってパス遅延比較による検査を行うことができる。

入力する遷移信号の立ち上がり時間は 100ps とし、信号電圧の L レベルは 0V , H レベルは 1.8V とし、制御信号 VFLT には故障を模擬するため 1.6V を印加する。測定する伝搬遅延時間は、各入力の電圧が 50% に達した時間を

出力の電圧が 50% に達した時間から差し引いた値とする。今回は FAULT1 の箇所を通過するパスに着目してシミュレーションを行う。

4.2 信号遷移タイミング差の模擬

文献 [9] では、シミュレーションを用いたパス遅延比較による半断線故障検査法の検査可能性調査が行われている。しかし、故障線と隣接線の信号遷移タイミングについては考慮していなかった。

そこで本研究では、隣接線の遷移タイミング差が半断線故障検査時のクロストークの大きさに与える影響を確認するため、隣接線を含むパスへの印加信号の遷移時刻を変更することにより、信号遷移タイミング差を模擬し、シミュレーションを行った。遷移時刻を変更した場合の故障線と隣接線の印加信号の例を図 10 に示す。

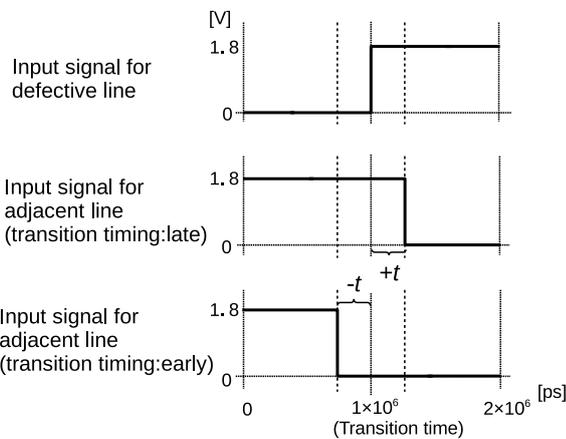


図 10: 印加信号の例

図 10 に示すように基準とする故障線を含むパスの入力信号の遷移時刻はシミュレーション開始から 1×10^6 [ps] 後とする。隣接線の遷移時刻を遅らせる場合は、基準値に任意の t [ps] を加え、隣接線の遷移時刻を早める場合には基準値から任意の t [ps] を引くことによって、遷移時刻を変更する。今回 t は 10ps~250ps の間で変更し、遷移時刻の計算を行う。

また、遷移タイミングを観測する箇所の図を図 11 に示す。

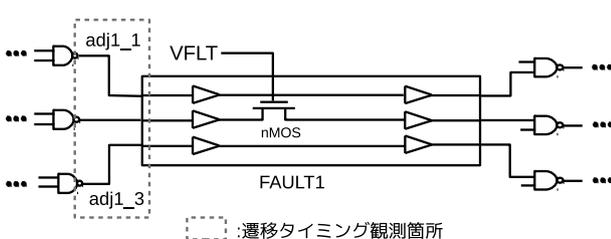


図 11: 遷移タイミング観測箇所

図 11 に示すように、FAULT セルに入力される信号の遷移タイミング差を観測する。

4.3 シミュレーションによる信号遷移タイミングについての調査

故障の影響を受けるパスである IN0 から IN6 のパスにおけるシミュレーション結果を表 2 に示す。また、IN2 のパスにおけるシミュレーション結果をグラフにしたものを図 12 に示す。表 2 の $\Delta delay$ [ps] は隣接線に逆相遷移信号を印加した際の伝搬遅延時間から、H/L 固定信号を印加した際の伝搬遅延時間の差分をとった値である。

表 2: 隣接線の遷移タイミングごとの遅延時間差

t[ps]	VFLT=1.6[V]								VFLT=1.8[V]							
	$\Delta delay$ [ps]								$\Delta delay$ [ps]							
	IN0	IN1	IN2	IN3	IN4	IN5	IN6	IN0	IN1	IN2	IN3	IN4	IN5	IN6		
-250	4	3	5	-2	0	8	6	2	2	-6	-8	-3	-11	-2		
-200	-1	2	13	0	0	4	12	0	-5	-9	-11	2	-3	-8		
-150	4	1	14	0	2	8	20	-3	-7	0	-15	-1	-3	15		
-120	11	3	18	5	6	23	23	1	-2	4	-10	1	7	16		
-100	13	9	20	5	13	23	26	7	-4	9	-5	12	9	13		
-90	12	10	25	12	20	20	23	10	4	17	1	10	8	14		
-80	23	12	26	15	22	27	21	14	7	8	-4	9	11	14		
-70	18	18	27	9	19	29	25	19	13	14	-4	12	9	21		
-60	21	18	33	17	27	21	28	18	7	20	2	19	12	19		
-50	23	18	34	19	27	25	20	17	18	14	4	14	13	15		
-40	28	27	33	22	19	24	18	22	18	14	9	20	12	12		
-30	22	25	35	22	23	25	21	14	18	19	8	19	7	12		
-20	25	23	30	20	21	28	17	20	13	19	9	17	14	7		
-10	28	28	30	19	22	23	29	19	14	22	6	15	14	6		
0	24	21	25	18	20	29	22	19	17	15	10	17	12	-1		
10	24	24	35	24	28	32	25	20	14	23	9	18	18	6		
20	26	20	38	12	24	29	28	16	22	17	2	15	15	5		
30	29	28	33	28	29	22	21	24	22	20	10	21	8	1		
40	29	18	33	26	30	23	16	25	19	17	8	17	7	0		
50	29	28	35	23	29	26	18	26	25	17	8	16	0	1		
60	21	21	34	21	19	21	8	11	13	19	6	16	0	-6		
70	29	27	28	23	17	29	3	13	15	15	5	13	-8	-11		
80	23	23	31	24	25	22	-1	10	20	11	7	9	-3	-7		
90	28	20	30	15	24	28	0	19	15	6	7	5	-1	-13		
100	23	19	25	19	28	20	-6	10	9	-1	0	1	0	-13		
120	26	24	30	26	20	11	-3	-1	6	-4	-1	3	-8	-14		
150	8	10	0	10	6	0	-12	-6	-4	3	-10	-8	-8	-11		
200	1	-2	1	3	-5	-5	-9	0	-8	-11	-18	-11	-8	-15		
250	-3	-6	7	-5	-3	0	-9	-8	-13	-12	-20	-10	-17	-17		

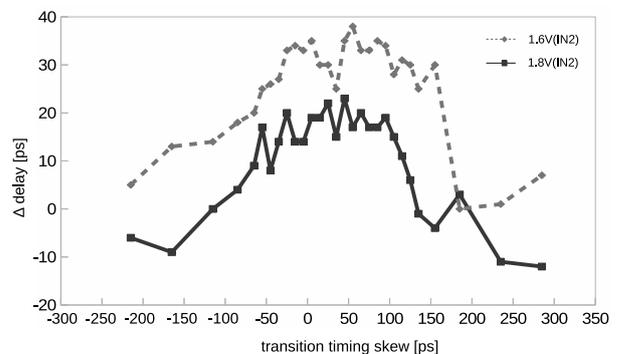


図 12: 隣接線の遷移タイミングによる遅延差の変動 (IN2)

表 2 に示すように、各パスごとに値にばらつきは見られるが、-50ps から +150ps までのタイミング差であればクロ

ストークの影響が現れていることがわかる。また、正常時であっても、クロストークの影響により、約 20ps の遅延量差が生じている。したがって故障模擬時において 10ps 以下の値を取っている場合、クロストークの影響が減少していると考えられる。図 12 の傾向として、遷移タイミング差が+150ps を越えると急激に遅延差が減少し、差が 200ps になると $\Delta delay$ は 0 に近い値となっている。また、故障模擬時 (1.6V) と通常時 (1.8V) を比較すると、故障模擬時は通常時よりも遅延量差の値が大きく、クロストークによる影響が現れる遷移タイミング差の範囲が広がっていることが確認できた。この傾向は IN2 以外のパスにおいても同様の傾向が見られた。表 2 と図 12 のグラフから読み取れるように、隣接線の信号遷移タイミングが-50ps 以下または+150ps 以上変動する場合にはクロストークの影響が小さく、固定信号印加時と逆相遷移信号印加時でパス遅延順位の比較ができるほどの順位変化は望めないと考えられる。

今回の結果より隣接線と故障線の信号遷移タイミング差が-50ps~+150ps 以内のテストパターンが有効であると考えられる。したがって、パス遅延比較による半断線故障検査用のテストパターン生成を行う場合、式 (1) の隣接線削減条件を上記の結果を踏まえた上で検討し、テストパターン生成を行う必要がある。

5. おわりに

本稿では隣接線の信号遷移タイミングがパス遅延比較による半断線故障検査法に与える影響について調査を行った。その結果、遷移タイミング差が-50ps または、+150ps を越えるとクロストークの影響が減少し、遅延量の変化が現れなくなった。今回の結果より故障線と隣接線の信号遷移タイミング差が-50ps から+150ps 以内のテストパターンが有効であると判明した。今回設計した回路は試作 IC に実装しており、今後実測による調査を行う予定である。

謝辞

本研究は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ならびに、日本ケイデンス株式会社のご協力のもと行われました。本研究で使用したライブラリは、京都大学情報学研究科田丸/小野寺研究室の成果によるものであり、京都工芸繊維大学小林和淑教授によりリリースされたものです。ここに謝意を表します。

参考文献

- [1] A. Czutro, N.Houarche, P.Engelke, I. Polian, M. Comte, M. Renovell, B. Becker "A Simulator of Small-Delay Faults Caused by Resistive-Open Defects" 13th IEEE European Test Symposium(ETS), pp. 113-118, 2008.
- [2] LSI テスティング学会 "LSI テスティングハンドブック",

- (社) オーム社, 2008.
- [3] 梶原誠司, 佐藤康夫 "論理回路に対する遅延テスト手法", 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, Vol.1, No.3, pp.71-77, Jan., 2008.
- [4] E. J. Jang, J. Chung, A. Gattiker, S. Nassif, J. A. Abraham "Post-Silicon Timing Validation Method using Path Delay Measurements", Asian Test Symposium, pp.232-237, 2011.
- [5] D. Xiang, K. Shen, B. B. Bhattacharya, X. Wen, X. Lin "Thermal-Aware Small-Delay Defect Testing in Integrated Circuits for Mitigating Overkill", IEEE Transactions on Computer-Aided Design of Intergrated Circuits and Systems, Vol.35, No.3, Mar. 2016.
- [6] 松川翔平, 高橋寛, 樋上喜信, 四柳浩之, 橋爪正樹 "抵抗性オープン故障に対する診断用テスト生成", 電気関係学会四国支部連合大会講演論文集, p.125, 2013.
- [7] 大栗裕人, 四柳浩之, 橋爪正樹, 堤利幸, 山崎浩二, 樋上喜信, 高橋寛, "半断線故障検出のための信号遅延の特性評価", 電子情報通信学会技術研究報告, Vol.112, No.429, pp.25-30, Feb., 2013.
- [8] J. Yamashita, H. Yotsuyanagi, M. Hashizume, Y. Higami, H. Takahashi "On SAT-based Test Generation for Resistive Open Using Delay Variation Caused by Effect of Adjacent Lines", Workshop on RTL and High Level Testing(WRTLTL), 2014.
- [9] 片山知拓, 四柳浩之, 橋爪正樹 "パス順位比較を用いる半断線故障の検出可能性評価", 電気関係学会四国支部連合大会講演論文集, p.86, 2017.
- [10] 高橋寛, 樋上喜信, 首藤祐太, 高棟佑司, 高松雄三, 堤利幸, 山崎浩二, 四柳浩之, 橋爪正樹 "抵抗性オープン故障のモデル化とそのテスト生成について", 電子情報通信技術研究報告, Vol.109, No.416, pp.19-24, Feb. 2010.
- [11] K. Peng, M. Yilmaz, M. Tehranipoor, and K. Chakrabarty, "High-quality pattern selection for screening small delay defects considering process variations and crosstalk", Design, Automation Test in Europe Conference Exhibition (DATE), 2010, pp. 1426 -1431, Mar. 2010.
- [12] W.-Y. Chen, S.K. Gupta, M. A. Breuer, "Analytical models Crosstalk excitation and propagation in vlsi circuits", IEEE Transactions on Computer-Aided Design of Intergrated Circuits and Systems, Vol.21, No.10, pp. 1117-1131, Oct. 2002.
- [13] Y. Ohama, H. Yotsuyanagi, M. Hashizume, Y. Higami, H. Takahashi "On Selection of Adjacent Lines in Test Pattern Generation for Delay Faults Considering Crosstalk Effects", The 17th International Symposium on Communications and Information Technologies, Sep., 2017.
- [14] H. Yotsuyanagi, M. Hashizume, T. Tsutsumi, K. Yamazaki, T. Aikyo, Y. Higami, H. Takahashi, Y. Takamatsu "Fault Effect of Open Faults Cosidering Adjacent Signal Lines in a 90 nm IC", Proc. International Conference on VLSI Design, pp.91-96, 2009.
- [15] D. Arumi, R. Rodriguez-Montanes, J. Figueras "Experimental Characterization of CMOS Interconnect Open Defects", IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, Vol.27, No.1, Jan. 2008.