

FOWLP を用いた LSI における再配線層上キャパシタおよびオンチップ容量の最適化

金本 俊幾^{1,a)} 葛西 孝己¹ 今井 雅¹ 黒川 敦¹ 橋本 昌宜² 陳 俊² 神藤 始³

概要: モバイル機器等の SoC として用いられる LSI において、電源電圧変動を緩和するデカップリングキャパシタの容量配分、配置、実装方法、高周波特性が重要となってきた。我々は、これまでに構築した LSI・パッケージ・ボード電源網解析モデルを用い、微細・低電圧プロセスにおけるデカップリングキャパシタの最適化に関する研究を行ってきた。本発表では、モバイル用途で普及が期待される Fan Out Wafer Level Package (FOWLP) を採用する LSI において、再配線層上に搭載することのできる Land Side Capacitor (LSC) がオンチップ容量のノイズ低減効果を補完し、それらを同時に最適化することにより、高い周波数成分の電源ノイズを効率よく低減可能であることを示す。

Optimization of Re-distribution Layer and On-chip Capacitors for LSI with FOWLP

TOSHIKI KANAMOTO^{1,a)} KOKI KASAI¹ MASASHI IMAI¹ ATSUSHI KUROKAWA¹ MASANORI HASHIMOTO²
JUN CHEN² HAJIME KANDO³

Abstract: In system-on-a chip LSIs dedicated to the mobile applications, implementation and high-frequency characteristic of de-coupling capacitors that mitigate power fluctuations have become important. We have studied optimization methodologies of de-coupling capacitors with developing an original LSI-package-board power delivery network models. In this presentation we focus on LSIs hiring a fan out wafer level package (FOWLP) which is expected to be common to the mobile applications. We show that land side capacitors (LSC) on the re-distribution layers supplement the noise reductions effect of de-coupling capacitors. The results indicate that their optimization effectively reduces the higher frequency power supply noise.

1. はじめに

タブレットやスマートフォンに搭載される SoC (System on a Chip, システム・オン・チップ) は微細化が進み、4~8 個の CPU コアを搭載するようになってきた。しかし、動的消費電力を抑えるために低電圧化も進み、トランジスタのスイッチング動作により生じる電源電圧変動を抑制することが重要となっている [1][2]。電源電圧変動を回路

動作の許容範囲に収めるには、変動の周波数に追従して電流を供給するため、負荷側からみた PDN (Power Delivery Network, 電源網) の駆動点インピーダンスを電圧の許容変動量から決まるターゲットインピーダンス以下に抑える必要がある [3]。

PDN のインピーダンスを下げる手段として、デカップリングコンデンサ (キャパシタ, 容量素子) が用いられる [4]。比較的低い周波数の電源電圧変動は、ボードやパッケージ上に配置されたキャパシタを通して吸収できる。しかしながら、チップ内トランジスタのスイッチングに起因する電源電圧変動は、配線に寄生する直流抵抗やインダクタ成分により、ボードやパッケージ上のキャパシタで吸収できず、従来はオンチップの容量で対応する必要があった [5]。オン

¹ 弘前大学
Hirosaki University

² 大阪大学
Osaka University

³ 株式会社村田製作所
Murata Manufacturing Co., Ltd.

a) kana@hirosaki-u.ac.jp

チップ容量は実現方法が限られ大きさが制約されるうえ、ノイズ源となる CPU コアから遠い容量成分は、直流抵抗によりボードやパッケージ容量と同様、スイッチング起因の電源電圧変動を吸収する能力が低下する。

近年、LSI を実装するパッケージとして、FOWLP(Fan Out Wafer Level Package) がモバイル用途に用いられるようになってきている [6]。FOWLP においては LSI 上に再配線層を形成し、従来のボンディングワイヤーやパッケージ内と置き換える [7][8]。これにより、従来のパッケージ内配線における寄生インダクタンスが低減できるほか、再配線層上にキャパシタを配置することにより、スイッチング動作を行うトランジスタまでの低抵抗な配線経路を確保でき、チップ側で発生するより高い周波数の電源電圧変動に対応することが可能となる [9]。

ボード上、あるいはボードとパッケージに跨る容量素子を最適化し、駆動点インピーダンスをターゲットインピーダンス以下に抑える手法の提案がされている [10][11][12]。しかし、オンチップ容量は担当する周波数帯域が離れているため、同時最適化の対象とはなっていない。我々は、ボードとオンチップの容量素子の間の帯域を担当し得る再配線層上キャパシタに着目し、オンチップ成分を含めた容量素子の最適化を目的とし、先端ノードの 15nmFinFET プロセスに対応する PDN 解析モデルの構築を行ってきた。以下の章では、構築した PDN 解析モデルの構成と、オンチップ容量および再配線層上キャパシタに対して行った感度解析の結果を示し、これらを同時に最適化することが有効であることを説明する。

2. PDN 解析モデル

構築した電源網解析モデルは、LSI・パッケージ・ボードの PDN[13]、変動する出力負荷に対して安定した電圧を供給するオンチップまたはオフチップ電圧レギュレータ [14]、容量素子 [15]、および CPU コア [16] からなる [17]。概略を図 1 に示す。本章では、[17] からの変更点および CPU コアから見た駆動点インピーダンスの変化を中心に述べる。

ターゲットインピーダンスの根拠となる電源電圧変動を評価するため、SPICE 系シミュレータによる過渡解析ができる構成とした。観測点は電圧レギュレータの直後とする。以下、LSI の PDN、ボード・パッケージの PDN、電圧レギュレータ、CPU コアの各モデルについて説明する。

2.1 LSI の PDN モデル

LSI の PDN モデルを NanGate 15nm Open Cell Library[18]、アリゾナ州立大学 (ASU) 14nm PTM-MG LSTP model (Nominal Vdd = 0.8V)[19] を用いて構築した [17]。標準セルを構成する FinFET のトランジスタモデルは BSIM-CMG[20] に基づいている。LSI の FOWLP の面積は $10 \times 10 \text{mm}^2$ 、ダイの面積は $8 \times 8 \text{mm}^2$ 、CPU コアの面積は

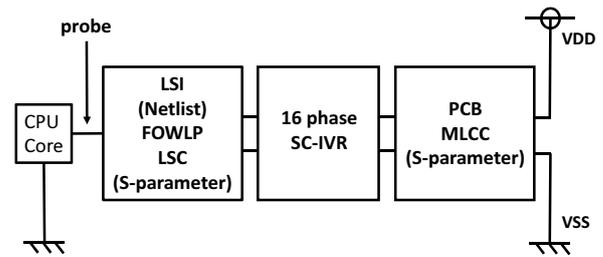


図 1 LSI・パッケージ・ボード電源網解析モデル

Fig. 1 PDN model consists of LSI, Package, and PCB.

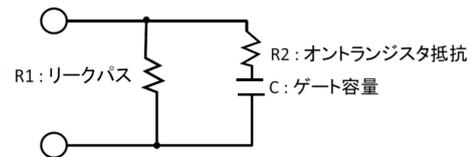


図 2 CPU コア容量等価回路

Fig. 2 Equivalence circuit for CPU core capacitance.

表 1 LSI の PDN 解モデル

Table 1 PDN model for LSI.

Layer	Width(um)	Pitch(um)	Direction	Wiring
M1	0.6	0.768	Horizontal	PGPG
M2	15	100	Vertical	P,G pair
M3	15	100	Horizontal	P,G pair
M4	15	100	Vertical	P,G pair
M5	15	100	Horizontal	P,G pair
M6	25	100	Vertical	P,G Pair
M7	25	100	Horizontal	P,G pair

$1 \times 1 \text{mm}^2$ 、LSC の面積は $0.5 \times 0.5 \text{mm}^2$ と仮定した。CPU コアのトランジスタレベルのネットリストに関して AC 解析およびフィッティングを行った結果から、LSI の PDN における MOS の寄生容量を 30nF とした。なお、MOS の拡散領域とウェルの間の接合容量は含んでいない。CPU コアの容量推定に用いた等価回路を図 2 に、最小二乗法を用いた AC 解析へのフィッティング結果を図 3 に示す。CPU コア (電流源) やデカップリング容量の配置を考慮するため、LSI の電源配線のレイアウトを作成した。NanGate 15nm Open Cell Library に加え、ノースカロライナ州立大学 (NCSU) FreePDK15[21] を用いて、面積 $5 \times 5 \text{mm}^2$ 、HVH 方式で作成した。配線の幅やピッチ等の諸元を表 1 に示す。電源配線のレイアウトパターンから抽出した RC ネットワークに対し、任意の 2 点間の電源配線抵抗 2.629Ω 以下、総配線容量は 1.247nF となった。なお、電源配線の寄生インダクタンスは未抽出である。得られた電源配線の RC ネットワークは DSPF 形式とし、座標情報をもとに総容量 30nF を分散配置して LSI の PDN モデルとした。

2.2 ボード・パッケージの PDN モデル

ボード・パッケージの PDN モデルは、LSI から遠方の

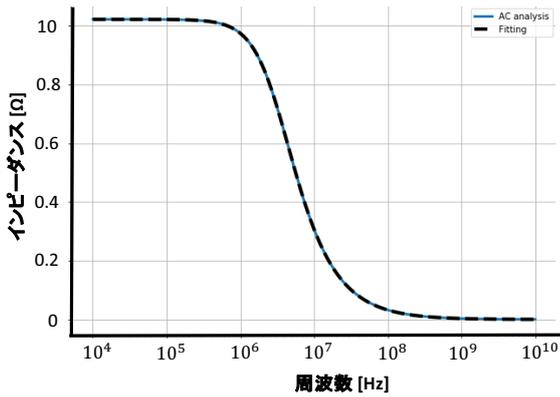


図 3 AC 解析フィッティング結果
Fig. 3 Fitting to AC analysis.

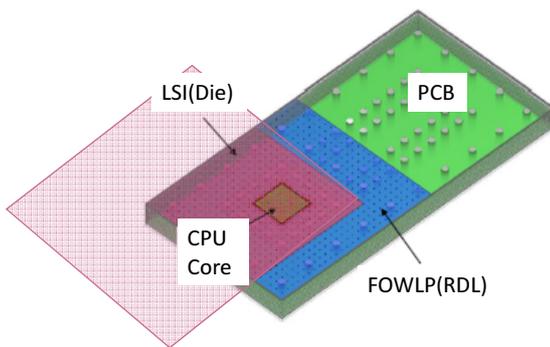


図 4 パッケージ・ボードモデル
Fig. 4 Package and PCB model.

PCB 領域, LSI 近傍の PCB 領域, および FOWLP の領域に分割した. それぞれに対して最適化した有限要素法ベースの電磁界解析を用い, S パラメータとして PDN モデルを求める. 特に FOWLP の領域は縦構造が複雑となり, 解析結果に誤差を生じやすい. そこで S パラメータにおける因果性, 受動性を確保するため, 3 次元電磁界解析を適用した [22][23]. 解析領域を図 4 に, 縦構造を図 5 に示す. ボード・パッケージ上には容量素子は MLCC(Multi-Layer Ceramic Capacitor) の S パラメータ [15] を配置し, 配置を自由に変更できるようにした. FOWLP の S パラメータは LSI の再配線層 (Re-Distribution Layer: RDL) までを含み, 3D の電磁界解析により求めた. RDL 上には LSC(Land Side Capacitor) を配置しているが, 素子の容量値は集中定数とした.

2.3 電圧レギュレータ

低電圧化が進み, 電源は一般に電圧レギュレータ (VR) を介して LSI に供給される. 近年では LSI 近傍に配置もしくは混載される IVR(Integrated Voltage Regulator) が注目されている [24]. 今回, LSI への搭載が容易で, かつ高い効率が得られるスイッチトキャパシタ型降圧コンバータ (SC-IVR) とし, 図 6 に示すトランジスタ回路モデルとし

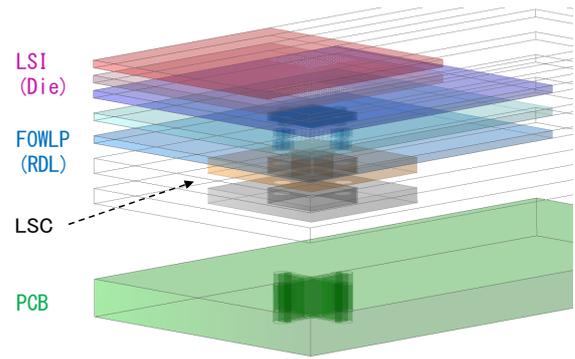


図 5 パッケージ・ボード縦構造
Fig. 5 Package and PCB cross-sectional view.

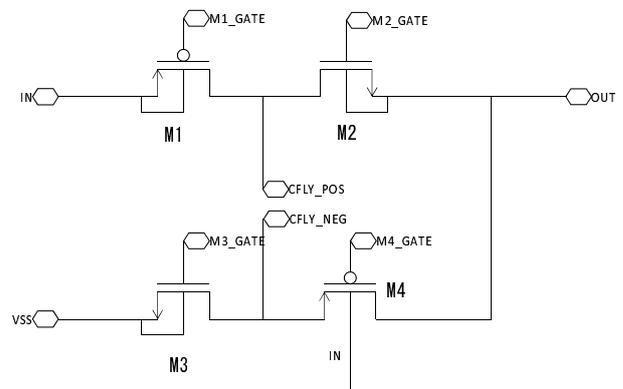


図 6 電圧レギュレータ
Fig. 6 Voltage regulator.

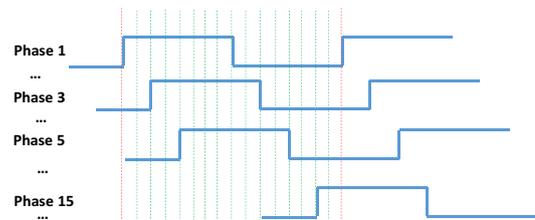


図 7 タイミングチャート
Fig. 7 Timing diagram.

た. この SC-IVR は, 端子 IN に入力される電源電圧を 1/2 に降圧して端子 OUT へ出力する. 端子 CFLY_POS および CFLY_NEG はチャージポンプのフライングキャパシタに接続する. また, 後述の CPU コアのマルチ化に対応するために, 16 フェーズで接続している. そのタイミングチャートを図 7 に示す.

M1_GATE, M2_GATE, M3_GATE, M4_GATE へ入力するクロックの周波数およびフライングキャパシタの容量は, 効率が最大となる値を選定した [25]. x1 インバータに相当する形状パラメータ NFIN の値は, 文献 [26] より PFET:3,NFET:2 とした.

2.4 CPU コア

[17]では, OpenRISC[16]に対して論理合成を行い, スタンドセル部分はトランジスタレベル, SRAMは動作モデルとしてネットリストを作成した. ミックスモードシミュレーションを実行して電流波形を取得し, これを電流源に置き換え, 負荷モデルとしている[17]. しかし, このような負荷モデルでは, あらかじめ決まっている電流波形しか表現できない. 実際の回路では, 電源電圧変動によって負荷電流応答も変化していく. さらに電源電圧変動は, クロックの遅延に影響を与え, この遅延によっても負荷電流の応答が変化する. そこで, これらを考慮した負荷モデル[27]を提案し用いた. これはVerilog-Aを用いたモデルで, 上記の負荷応答を表現することが可能である. ここでは, NanGate 15nm Open Cell Libraryを用いて, 32ビット5段パイプラインマイクロプロセッサ OpenRISC[16]を動作電圧0.8Vでクロック周波数1.2GHzの条件で論理合成し, [27]に基づき, 負荷モデルを作成した. この負荷モデルは図4に示したLSIのPDNモデルのCPUコア領域に接続している. さらに負荷モデルを複数接続することでマルチコアの表現も可能である.

3. 駆動点インピーダンスの各容量成分に対する感度解析

デカップリングコンデンサ等の容量素子を用いて図1におけるprobeノード, すなわちCPUコア(負荷)側から見込んだ駆動点インピーダンスを所望の周波数帯域で低く抑えることにより, 電源電圧変動量(電源ノイズ)を小さくすることができる. 我々は, PDNモデル上のLSC, およびオンチップ容量に着目し, これらの容量値および, 配置に関する駆動点インピーダンスの感度解析を行った.

CPUコアの配置を図8に示す. CPUコアの上部には図5で示す高さに4つのLSCを配置し, 容量値はそれぞれ200pF, 1nF, 10nF, 100nFとした. オンチップのMOS寄生容量30nFは, LSIのDie領域に対し2600個に均等分割して配置している.

感度解析は以下のように行う. まず, CPUコアに対し, Metal-Oxide-Metal(MOM)容量やMetal-Insulator-Metal(MIM)容量, MOS容量等のオンチップデカップリング容量を想定した5nFを加える. 具体的には, 追加する容量素子を100個に分割し, CPUコアの領域に均等配置する. また, LSCの効果を確認するため, LSCの容量を除去したケースを加える. さらに, LSCに対し図8に示す10nFの容量を15nFに増やした. これらを組み合わせ, 表2に示す計5通りの解析を行った.

回路シミュレータSpectre[28]を用い, 1kHzから10GHzまでの周波数におけるインピーダンスをAC解析によって求めた. CPUコアのモデルを1Aの電流源に置き換え, 得られる電圧の値を駆動点インピーダンスとして読み取る.

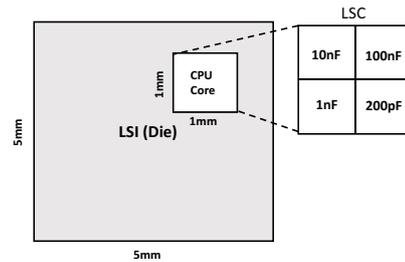


図8 CPUコアの領域

Fig. 8 Region of CPU core.

表2 感度解析条件

Table 2 Sensitivity analysis conditions.

No.	CPU Cap.	LSC
1	+0nF	exist
2	+5nF	exist
3	+0nF	exist + 5nF
4	+0nF	absent
5	+5nF	absent

初めに, LSCの有無について比較した結果を図9に示す. このグラフから, LSCは1MHzから1GHz近くまで有効であることがわかる. RDL層内の寄生インダクタンスにより, 1GHz以上ではLSCの効果が低下し, 代わりにオンチップ容量が有効となっている. 高周波での電源電圧変動は主にCPUコア(電流源)に近いデカップリング容量で吸収されるが, LSCもCPUの直上に位置し, CPUまでの直流抵抗が小さく, LSC自体およびLSCからCPUまでの寄生インダクタンスが小さいため, ボード, パッケージ上のMLCCではインピーダンスを低減できない1GHz付近まで有効となることが判明した.

次に, LSC, オンチップ容量それぞれにオンチップデカップリング容量相当の5nFを追加して比較した. 結果を図10に示す. CPUコアの容量に5nF付加することにより, 1GHz以上の領域でのインピーダンスが効果的に低減されていることがわかる. 一方, 10nFのLSCに5nF追加した場合もインピーダンスは低減するが, 1GHz以上での低減効果は少ない. 主因はRDL層内の寄生インダクタンス, およびLSCのESL(Effective/Equivalent Series Inductance)成分と考えられる.

駆動点インピーダンスを低減することによる電源電圧の変動の抑制の効果について図11と図12に示した. それぞれ表2の条件1と2で, CPUコアを4つ接続したときの過渡応答である. 条件2では, 高周波領域でのインピーダンス低減により電源電圧変動が抑えられている.

4. むすび

モバイル機器等のSoCとして用いられるLSIにおいては, 動的消費電力を抑えるための低電圧化に伴い, 電源

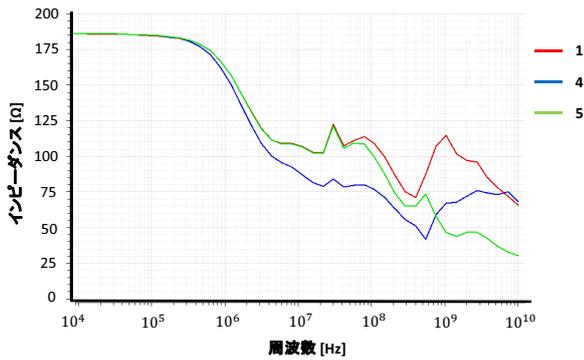


図 9 LSC の有無による駆動点インピーダンスの変化

Fig. 9 Impedance change due to presence or absence of LSC.

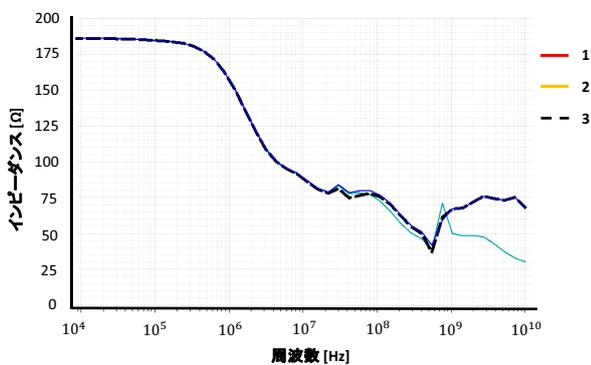


図 10 LSC または CPU 寄生容量の増加による駆動点インピーダンスの変化

Fig. 10 Impedance change due to increase in LSC or CPU capacitance.

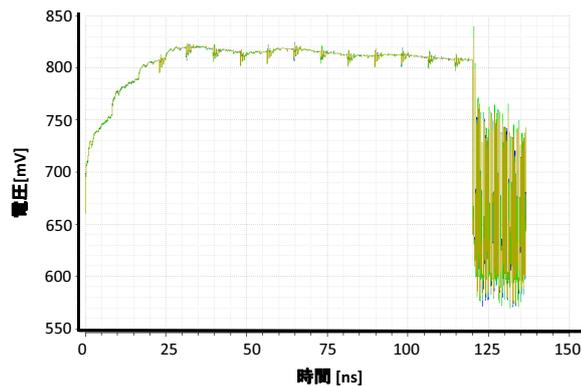


図 11 過渡応答 1

Fig. 11 Transient response 1.

電圧変動を緩和するデカップリングコンデンサの容量配分, 配置, 実装方法, 高周波特性が重要となってきた。我々は, LSI・パッケージ・ボードに付随する容量の最適化を目的として, 15nmFinFET プロセス世代の SoC を想定した電源網の解析モデルを構築し, CPU コアから見た駆動点インピーダンスのオンチップ容量と LSC に対する感度

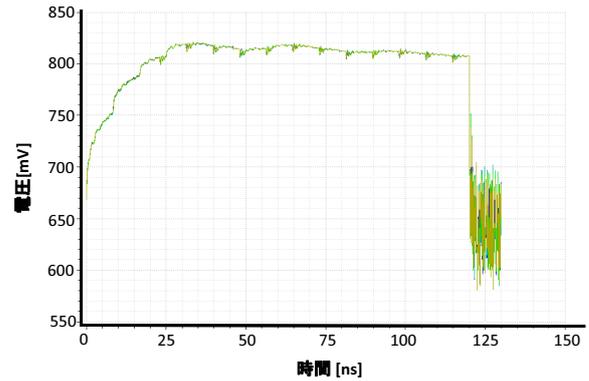


図 12 過渡応答 2

Fig. 12 Transient response 2.

解析を行った。その結果, CPU の直上に位置する LSC は CPU までの直流抵抗が小さいため, ボード, パッケージ上の MLCC ではインピーダンスを低減できない 1GHz 付近までインピーダンス低減効果を有し, オンチップ容量のノイズ低減効果を補完することが判明した。

今後は, LSC のインピーダンス低減効果を低下させている再配線層上の寄生インダクタンスをモデル上で分離し, その低減方法を検討する。また, オンチップ MOS トランジスタの電源電圧低下に合わせたターゲットインピーダンスの導出方法と, それに適合する容量素子最適化手法の検討を行う。

参考文献

- [1] N. Takahashi, M. Nose, S. Kaeko, Y. Takahashi, "Analysis of Complete Power-Distribution Network and Co-Design Optimization", Transactions of The Japan Institute of Electronics Packaging, Vol.2, No.1, pp. 69-74, 2009.
- [2] H. Mair et al., "3.4 A 10nm FinFET 2.8GHz tri-gear deca-core CPU complex with optimized power-delivery network for mobile SoC performance," 2017 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2017.
- [3] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," IEEE Transactions on Advanced Packaging, vol. 22, no. 3, pp. 284-291, Aug 1999.
- [4] F. Carrio, V. Gonzalez, E. Sanchis, D. Barrientos, J. M. Blasco and F. J. Egea, "A capacitor selector tool for on-board PDN designs in multigigabit applications," 2011 IEEE International Symposium on Electromagnetic Compatibility, Long Beach, CA, USA, pp. 367-372, 2011.
- [5] J. Kim et al., "Improved target impedance and IC transient current measurement for power distribution network design," 2010 IEEE International Symposium on Electromagnetic Compatibility, Fort Lauderdale, FL, pp. 445-450, 2010.
- [6] S. W. Yoon, B. Petrov and K. Liu, "Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics," 2015 IEEE 17th Electronics

- Packaging and Technology Conference (EPTC)*, Singapore, pp. 1-5, 2015.
- [7] K. Chen, L. Chua, W. K. Choi, S. G. Chow and S. W. Yoon, "28nm CPI (Chip/Package Interactions) in Large Size eWLB (Embedded Wafer Level BGA) Fan-Out Wafer Level Packages," *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, Orlando, FL, pp. 581-586, 2017.
- [8] H. Y. Li, A. Chen, S. Peng, G. Pan and S. Chen, "Warping Tuning Study for Multi-chip Last Fan Out Wafer Level Package," *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, Orlando, FL, pp. 1384-1391, 2017.
- [9] D. Tanaka et al., "Interposer design and measurement with various capacitors for reducing total system PDN impedance," *2015 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, Kyoto, pp. 767-770, 2015.
- [10] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284-291, Aug 1999.
- [11] R. Fizesan and O. Pop, "A MATLAB tool to optimize the selection of the decoupling capacitors in a PDN," *2012 IEEE 18th International Symposium for Design and Technology in Electronic Packaging (SI-ITME)*, Alba Iulia, pp. 223-226, 2012.
- [12] G. Chen and D. Oh, "Improving the target impedance method for PCB decoupling of core power," *2014 IEEE 64th Electronic Components and Technology Conference (ECTC)*, Orlando, FL, pp. 566-571, 2014.
- [13] IEEE Standard Format for LSI-Package-Board Interoperable Design, IEEE 2401-2015, Dec. 2015.
- [14] H. P. Le, S. R. Sanders and E. Alon, "Design Techniques for Fully Integrated Switched-Capacitor DC-DC Converters," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120-2131, Sept. 2011.
- [15] Murata Manufacturing Co., Ltd., "SimSurfing(WEB)," <http://ds.murata.co.jp/software/simsurfing/index.html>
- [16] Open RISC, "OR1200," <https://openrisc.io/>
- [17] T. Kanamoto, K. Kasai, M. Imai, A. Kurokawa, N. Hashimoto, S. Chen, H. Kando, "LSI-Package-Board Power Delivery Network Modeling for Capacitor Placement Optimization at 15nm Node," *2017 IPSJ DA Symposium*, pp.111-114, Aug., 2017.
- [18] Si2, "NanGateFreePDK45 Generic Open Cell Library," https://projects.si2.org/other_projects_index.php
- [19] Arizona State University, "Predictive Technology Model (PTM)," <http://ptm.asu.edu>
- [20] University of California, Berkeley, "BSIM-CMG (Berkeley Short-channel IGFET Model ? Common Multi-Gate) 110.0.0 (2016)" , <http://bsim.berkeley.edu/models/bsimcmg>
- [21] NCSU, "The FreePDK15 process design kit." <https://www.eda.ncsu.edu/wiki/FreePDK15:Contents>
- [22] P. Triverio, S. Grivet-Talocia, M. S. Nakhla, F. G. Canavero and R. Achar, "Stability, Causality, and Passivity in Electrical Interconnect Models," *IEEE Transactions on Advanced Packaging*, vol. 30, no. 4, pp. 795-808, Nov. 2007.
- [23] HFSS High Frequency Electromagnetic Field Simulation manual – ANSYS inc., 2014.
- [24] H. Li et al., "Energy-Efficient Power Delivery System Paradigms for Many-Core Processors," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 36, no. 3, pp. 449-462, March 2017.
- [25] T.V. Breussegem and M. Steyaert. "CMOS integrated capacitive DC-DC converters," Springer Science & Business Media, 2012.
- [26] T. Kanamoto, T. Akamine, H. Ammo, T. Hasegawa, K. Shimizu, Y. Kumano, M. Kawano, and A. Kurokawa, "Structure optimization for timing in nano scale Fin-FET," *IEICE Electronics Express*, Vol. 12, No. 9, pp. 20150297, May 2015.
- [27] J. Chen, T. Kanamoto, H. Kando and M. Hashimoto, "An on-chip load model for off-chip PDN analysis considering interdependency between supply voltage, current profile and clock latency," *2018 IEEE 22nd Workshop on Signal and Power Integrity (SPI)*, Brest, France, pp. 1-4, 2018.
- [28] Spectre Circuit Simulator manual – Cadence Design Systems, inc., 2016.