波長多重を用いた二分決定グラフに基づく光論理回路の合成

松尾　亮祐[1,a)]　塩見　準[1]　石原　亨[1]　小野寺　秀俊[1]　新家　昭彦[2,3]　納富　雅也[2,3]

概要：近年ナノフォトニックデバイスを用いた光論理回路は、低消費電力で超高速な動作が見込めるために注目を集めており、光論理回路の合成法に関する研究も同様の理由で活発化している。しかし、既存の光論理回路の合成法の多くは、二分決定グラフ (BDD) などのデータ構造をそのまま回路で実現する方法を採っている。単に BDD を回路に落としこむという手法で光回路を構成する場合には、回路規模が膨大になる、光導波路中の枝分かれにおける光の減衰が非常に大きくなる問題が生じる。本稿では、これらの問題への対策として、波長多重 (WDM) を用いた回路規模の削減手法を提案する。加えて、光源での電力消費を抑えるための手法として、BDD に基づく回路中の導波路の分岐の数を削減する手法を提案する。最後に、乗算における部分積加算を行う回路について、提案手法を用いた場合と既存手法を用いた場合とを定量的に比較することで、提案手法の優位性を示す。

1. 序論

集積回路技術や光通信技術は、高度な情報化社会の実現に大いに貢献してきた。集積回路技術はその登場以来目覚ましい発展を遂げてきたが、超微細なプロセスにおいては配線抵抗が急激に大きくなる [1]。22nm 以下のプロセスでは、デバイスの速度向上よりも金属配線の遅延が増大する効果のほうが大きくなることが示されている [2]。結果として、ゲートあたりの遅延は 10 ps 程度までしか削減できないと考えられている [1]。近年、光通信技術も急速に発展してきた。ナノフォトニクスの発展によって、光通信技術は、短距離での通信やシリコンチップ上での通信に用いられるようになりつつある [3]。そして今日、ナノフォトニックデバイスを用いた光集積回路は、超高速な回路の実現が期待されている。ナノフォトニック方向性結合器に基づく光ゲートの遅延は数百 fs のオーダである [4]。これは、CMOS 論理ゲートよりも 10 倍高速である。

光集積回路の合成法として、ダイレクティッドロジック (以下では DL) が提案されている [5]。この手法では、方向性結合器を基本ブロックとして用いる。方向性結合器は光の入力口と出力口を 2 つずつ持ち、入力光はその出力先を電圧入力によって制御される。図 1 に示すように、制御入力に正の電圧がかかっているときには、入力光はそのまま出力まで通過する。一方で、制御入力の電圧が 0 であるときには、入力光は出力先を入れ替えられて出力される。光がデバイスを高速で伝搬するために、このゲートでは複雑な論理関数を低遅延で実現することができる。しかし、DL 回路では、多数のスイッチが直列に接続された経路を光信号が通過する状況が発生する。このために、DL 回路では、入力数の大きな関数を実現する際に遅延が膨大になる問題がある。文献 [6] では、2 段構成の DL 回路アーキテクチャが提案されている。このアーキテクチャは、2 段構成によって論理関数の積和標準系をそのまま実装したものである。ある論理関数を実現する際に必要になるスイッチの数を劇的に減らすことができるという利点がある。しかし、最悪の場合には積項の数が入力数の指数オーダになるために、クリティカルパスの遅延が大きくなる。文献 [7] では、二分決定グラフ (以下では BDD) に基づく回路が提案されている。BDD をそのまま光回路で表現した場合には、光導波路中に分岐が多数発生することが問題となる。これは、電気信号と異なり、光信号は二分岐を通過する際に信号強度が半減するためである。

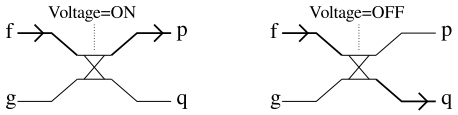


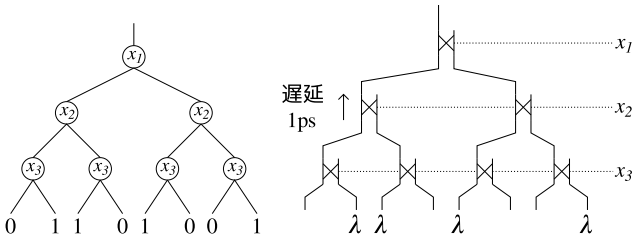
図 1　方向性結合器 (DC) の動作

本稿では、波長多重 (以下では WDM) を用いた光論理回路の回路規模削減手法を提案する。波長の異なる光は互いに干渉しないために、異なる部分論理関数に異なる波長の光を用いることで、複数の異なる部分論理関数を一つの部分回路に多重化することができる。この性質を用いることで、BDD に基づく回路の規模を大幅に削減することができる。加えて、BDD に基づく回路中の分岐を削減する手法を提案する。これは、光導波路中での光の減衰を低減することに繋がる。

本稿は以下のような章構成となる。2 章では、先行研究をまとめる。3 章では、WDM を用いた BDD に基づく回路合成手法の基本的な概念を示す。BDD のノード数を低減する方法と分岐の数を低減する方法についても提案する。4 章では、並列乗算器中の部分積加算を行う回路を用いて、回路性能の実験結果を示す。5 章では、本稿の結論を述べる。

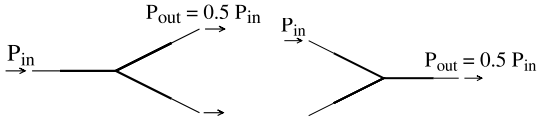
[1] 京都大学大学院情報学研究科
[2] NTT ナノフォトニクスセンタ
[3] NTT 物性科学基礎研究所
[a)] matsuo@vlsi.kuee.kyoto-u.ac.jp

ⓒ 2018 Information Processing Society of Japan



(a) 二分決定グラフ (BDD) (b) 光論理回路

図 2 二分決定グラフの光回路への実装



(a) スプリッタ (b) コンバイナ

図 3 スプリッタとコンバイナでの光の減衰

2. 関連研究と提案手法の概要

2.1 関連研究

BBD に基づく回路設計においては、図 2 のように、根を光の出力先として、葉を光を入射する部分とする。論理関数の入力信号は、BDD のノードの変数入力として用いられる。また、クリティカルパス上の BDD のノード数は、入力数と同じになる。BDD のノードは光回路では、方向性結合器 (以下では DC) で表現される。DC に入力が並列に与えられると、全ての DC のルーティングが同時に完了し、光が DC を通過して出力に到達することで論理関数の計算値が得られる。DC での伝搬遅延は ps のオーダであるために超高速で演算が行える。この超高速動作であるという点が、光論理回路に BDD に基づく設計を用いる大きな要因である。

BDD に基づく回路は、CMOS 集積回路に対して、動作速度の点では優位性あるが、回路規模の点では劣っている。ナノフォトニックテクノロジーの発展により、光デバイスのサイズは 10 年前と比べて劇的に小さくなった。しかし、それは CMOS 集積回路のデバイスと比べて十分に小さいとは言えない [4]。BDD のノード数を削減するために、複数の論理関数の共通部分グラフを共有する手法が提案されている [8]。この共有されたグラフ表現を shared BDD という。このような BDD の変形によって、BDD のサイズを効果的に削減することができる。しかし、複数の論理関数の間で共有される部分グラフが小さい場合には、回路が十分に削減できない。本稿の提案手法では、波長多重を用いることで、従来よりも幅広い条件で BDD の共有が可能となる。

BDD に基づく回路のもう一つの大きな問題は、分岐が多く存在することである。このことは、光回路中で分岐に対応するスプリッタにおいて、光信号強度が大幅に減少することに繋がる。結果として、回路の出力において十分な光量を確保するために、光源で大量のエネルギーを消費することになる。文献 [9] では、スプリッタのない BDD の回路合成法が提案されている。この手法では、光がスプリッタを通過する際の光の減衰を抑えることができる。しかし、この回路中にはコンバイナが存在する。コンバイナでも光の減衰が生じるために、結果的に大量の光エネルギーが失われる。図 3 (a) のように、スプリッタでは、一つのシングルモードの入力光は二つのシングルモードの出力光に分割される。そのために、光信号強度の損失は 50%とみることができる。また、図 3 (b) に示すように、光が一つの出力から入力に流れ込む際の光信号強度の損失も 50%となる [10]。ゆえに、コンバイナでも光信号強度は –3 dB 減衰する。文献 [11] で、コンバイナと光スイッチが回路中に存在することによるエネルギー損失を低減するための実用的な手法が提案されている。しかし、この手法による電力損失の低減には限界がある。本稿では、より根本的な解決策として、回路中に DC を追加することでスプリッタを削除する手法を提案する。DC における光の減衰はスプリッタにおける光の減衰よりも、はるかに小さいために、この手法を用いることで回路中の電力損失を低減できる。

2.2 提案手法の概要と意義

波長の異なる光を用いることで、複数の光信号が互いに干渉することなく、一つの回路を共有することができる。デバイスに用いることができる光の波長間隔の最小値は約 1.3 nm である [12]。波長間隔が 1.3 nm である光は相互の干渉が無視できるものであることが、実験的に示されている [12]。文献 [13] では、1500 nm から 1600 nm という広範囲な波長帯域の光を制御することができるブロードバンドシリコンフォトニック方向性結合器 (以下では DC とする) が提案されている。この場合には、DC は 75 の波長多重された光に対して機能する。ここで、図 4 (a) と (b) に示すように、$f_1(x_1, x_2, x_3)$ と $f_2(x_1, x_2, x_3)$ という二つの異なる論理関数について考える。f_1 と f_2 の終端節点 (つまり葉の部分) から、それぞれ波長 λ_1 と λ_2 の光を入力することで、図 4 (d) に示すように、f_1 と f_2 の論理関数で一つの光回路を共有することができる。この手法を用いることで、光回路中で必要となる光デバイスの数を大幅に削減することができる。しかし、この関数を多重化する構造では、図 4(d) で示すように、特定の波長の光を取り出すためのリング共振器が出力の部分に必要になる [6]。リング共振器の直径は光の波長と同程度であり、これは DC の長さよりも一桁小さい。しかし、共振器が特定の光を抽出するときには数 ps の遅延が生じる。ゆえに、WDM を回路に適用するときには、回路規模と消費電力、遅延の間でのトレードオフを考慮する必要がある。

BDD には、ノード数が十分に削減されている場合には分岐の数が大きくなるという性質がある。このことは、BDD に基づく光回路において消費電力が増大する原因となる。図 5(a) 中の BDD のノード v_s について考える。図 5 からわかるように、V_s は同じ変数を入力とする親ノード v_0, v_1 を持つ。v_s から、v_0 または v_1 に信号が伝搬する場合を考える。この場合では、グラフをそのまま光回路で表現すると、図 5(b) に示すように、スプリッタが必要となる。このスプリッタで、光信号強度が半分に減衰する。しかし、図 5(c) のように、v_s の出力が v_1 の 0 枝と v_0 の 1 枝に分かれている場合には、スプリッタを DC に置き換えることができる。これは、$x_i = 1$ のときのみ v_s の出力が v_1 に伝わり、$x_i = 0$ のときのみ v_s の出力が v_0 に伝わるからである。DC は出力先を選択して光を伝搬するが、一方でスプリッ

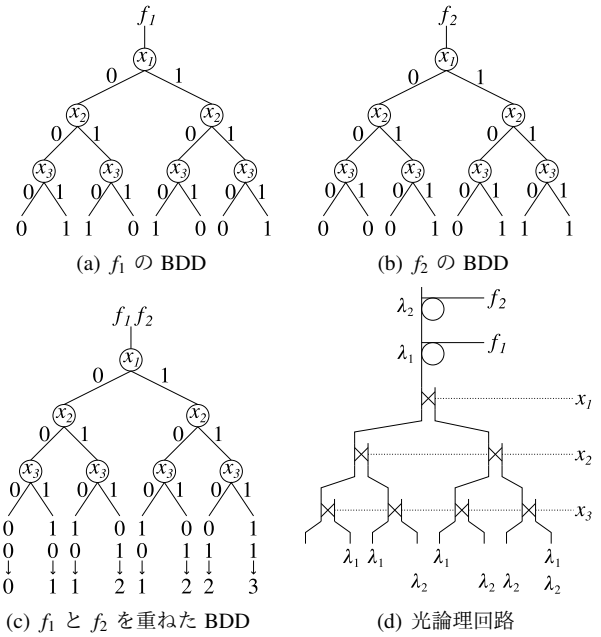


図 4 WDM を用いた BDD の多重化

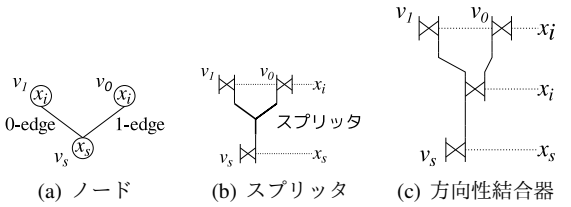


図 5 BDD における分岐の光回路での実装

タは両方の出力に等しく光を伝搬するために、DC での光の減衰は、スプリッタでの光の減衰よりも小さくなる。この置き換えによって、光の減衰を −3dB から −1dB に低減できる。[14][15]。しかし、DC の遅延は 1 ps であるのに対して、スプリッタの遅延は無視できるほど小さいために、この置き換えによって遅延が増加するという問題がある。加えて、スプリッタのサイズは DC のサイズに対して無視できるほど小さい。それゆえに、スプリッタを DC に置き換える場合には、回路規模と消費電力、遅延の間のトレードオフを考慮する必要がある。

3. 二分決定グラフに基づく光回路の変形

3.1 波長多重を用いた回路規模の縮約

本章では、波長多重技術を用いた光論理回路の合成法について提案する。提案手法は、以下の 3 つの方法から成る。(1) 関数間での共有 (Inter-function sharing).(2)MTBDD reduction. (3) 関数内での共有 (Intra-function sharing). 上記の手法は、回路の遅延や消費電力を増加させる場合がある。本節では、回路規模と消費電力、遅延の間のトレードオフを考慮しながら、回路規模を削減する方法を示す。この手法は、ある設計目標と制約のもとで、回路を最適化する際の手助けとなる。

3.1.1 関数間での共有

図 4 に f_1 と f_2 の二つの論理関数を同時に表現する回路の合成法を示す。図 4(d) に示すように、この合成法を k 個

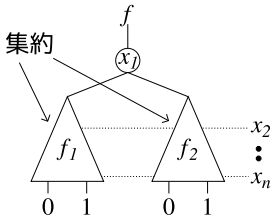


図 6 関数内での共有

の異なる論理関数で一つの光論理回路を共有する場合に一般化して説明する。

提案手法では、まず入力数 n のブール関数 $f_1, f_2, ..., f_k$ を表現するための二分決定木 (以下では BDT) を考える。これら全ての論理関数を同時に表現する BDT を光回路で実装する。関数 f_i を表現する BDT の i 番目の終端節点の値が 1 であるとき、光回路で実装された BDT の i 番目の終端節点に対応する部分から λ_l の光を入力する。つまり、異なる論理関数には異なる波長の光を用いる。図 4(d) に示すように、特定の波長の光を抽出するために出力部分にリング共振器を設ける。この構造によって、それぞれの関数の演算結果を識別することができる。しかし、このような特定の光を抽出する構造を設けることで、リング共振器中で光が曲げられる際の遅延が生じることになる。

3.1.2 多出力二分決定グラフを用いた回路縮約

BDD の縮約法は、多出力 BDD(以下では MTBDD) などのより一般化された二分決定グラフにも容易に適用できる [16]。MTBDD は従来の BDD とほとんど同じものであるが、MTBDD では終端節点に 0/1 の 2 値だけではなく、任意の値を用いることができるという点で異なる。MTBDD は 2 値のベクトルを整数に変換する関数を表現するために用いられる。D_n を $n+1$ ビットで表現される整数 $0, ...2^{n+1}-1$ の集合として、B を 0/1 の値を持つブール関数の集合であるとする。$f\colon B^m \to D_n$ を、長さ m のブールベクトルの集合 D_n への写像であるとすると、f は次式で表される。

$$f(\bar{x}) = \sum_{i=0}^{n} f_i(\bar{x}) \cdot 2^i \tag{1}$$

ここで、それぞれの f_i は 0/1 の値を持ち、BDD で表現される関数である。例えば、図 4(a) の f_1 と図 4(b) の f_2 を、式 (1) 中の $f_0(\bar{x})$ と $f_1(\bar{x})$ であるとする。このとき、$f(\bar{x})$ の値は式 (1) から整数として得られる。図 4(c) のように、式 (1) の $f(\bar{x})$ から得られる整数値を BDD の終端節点に与えることで、f_1 と f_2 を同時に表現する MTBDD を構築することができる。この MTBDD に基づく回路表現は、算術論理回路の設計に対して効果的な手法である [16]。従来の BDD に適用される縮約法は、MTBDD にも適用することができる。このために、Inter-function sharing のようにリング共振器を使うことなく、ノード数を効果的に削減することができる。しかし、BDD の縮約が適用されたグラフ中には、多くの場合において分岐が多数存在する。したがって、回路中での光の減衰が大きくなる。

3.1.3 関数内での共有

Inter-function sharing は、BDT の部分グラフにも適用することができる。図 6 に示すような、共通因子 f_1 と f_2 を持つ BDT を考える。f_1 と f_2 の終端節点に異なる波長の光

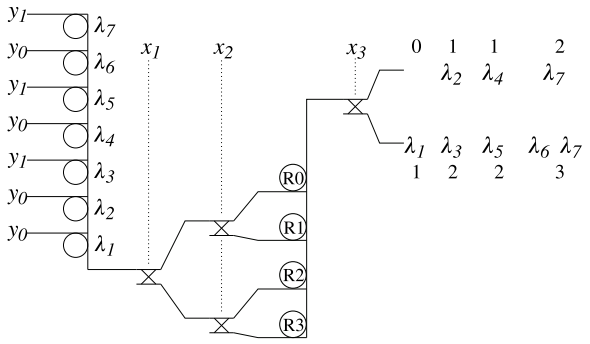


図 7 第 1 ステージを多重化する例

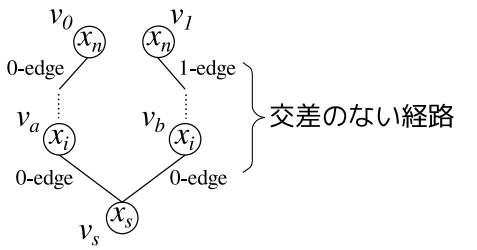


図 8 複雑な場合でのスプリッタの削除

を入力することで、f_1 と f_2 を一つの部分回路に多重化することができる。この手法では、f_1 と f_2 の出力先を選ぶために内部にリング共振器が必要となる。このようにすることで、f_1 と f_2 の出力が x_i でラベル付けされたノードの 0 枝と 1 枝に分離されて伝搬される。しかしこの手法では、Inter-function sharing と同様に遅延が大きくなるという問題がある。

具体的な例を図 4(d) と図 7 に示す。図 4(d) は、対応する関数の出力値が 0 から 3 である光回路を表す。これらの出力値は 2 進数でコーディングすることができる。したがって、図 4(d) のように、λ_1 と λ_2 の 2 種類の波長の光を用いて、回路の演算結果を表現することができる。図 7 に、図 4(d) の回路に Intra-function sharing を適用して得られる回路を示す。一段目に配置された DC は一つの DC に多重化される。この場合には、DC に伝搬する複数の光が互いに干渉しないように、4 倍の数の波長が必要となる。それぞれの光は 2 段目のそれぞれに対応する DC に分離されなければならないため、1 段目の DC と 2 段目の DC の間にリング共振器を配置する。本稿では、あるリング共振器によって抽出される光が属する波長帯域をパスバンドと定義する。4 つのリング共振器は、そのパスバンドが複数の波長を含むように設計されなければならない。例えば、波長 λ_6 と λ_7 の光はリング共振器 R3 で抽出され、波長 λ_2 と λ_3 の光はリング共振器 R1 で抽出される。このようなパスバンドの設定は、Q 値の低いリング共振器を用いる、または複数のリング共振器を並列に配置することで実現できる。

3.2 スプリッタの削除

図 5 で示したように、スプリッタは DC によって削除することができる。しかし、図 8 に示すように、v_s が二つの親ノード (図 8 では v_a と v_b) と同じタイプの枝 (ここでは 0 枝) に繋がっている場合には、図 5 に示す手法では、スプリッタを削除することができない。しかしこのような場合であっても、v_s から x_n で制御される全てのノードの 0 枝

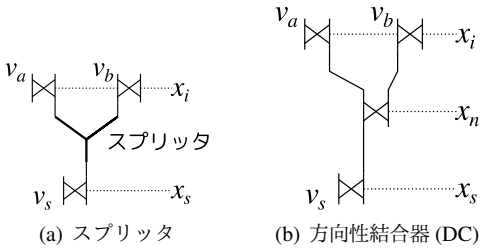


図 9 方向性結合器 (DC) による置き換え

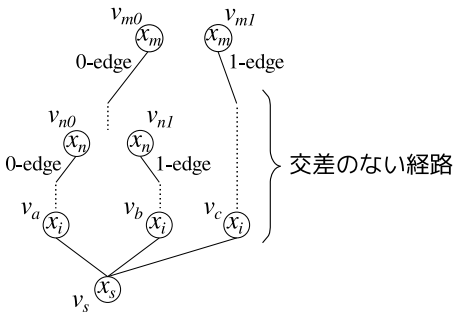


図 10 N 分岐の場合でのスプリッタの削除

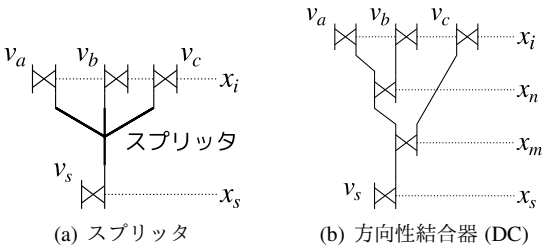


図 11 N 分岐の場合での DC による置き換え

までのパスと v_s から x_n で制御される全てのノードの 1 枝までのパスが交わらないときには、図 9 に示すように、スプリッタを x_n で制御される DC で置き換えることができる。これは、v_a の出力が関数の最終的な演算結果に影響を与えるのは、$x_n = 0$ のときのみであり、v_b の出力が関数の最終的な演算結果に影響を与えるのは、$x_n = 1$ のときのみであるからである。この手法は、二つのノード v_0 と v_1 が同一である場合にも適用できる。

n 分岐が生じている場合には、上記の手法を用いることはできない。図 10 では、3 分岐の場合を表す。このグラフは、図 8 のグラフが入れ子になったものである。ゆえに、図 8 のグラフで説明した手順を再起的に適用することで、分岐に対応するスプリッタを図 11 に示すように、2 つの DC を用いることで削除することができる。n が 3 より大きい場合にも、この置き換え手順を n 分岐の場合に拡張して適用できる。より複雑なケースに対するスプリッタの置き換えアルゴリズムやより包括的なアルゴリズムについては、これからさらに検討する必要がある。

4. 算術論理関数への適用

4.1 数値設定

光が DC を通過する際の伝搬遅延は 1 ps とする [15]。また、リング共振器における遅延に関しては、特定の波長の光が抽出される際の遅延を 2 ps として、光がリング共振器と共振せずに通過する場合の伝搬遅延は無視できるものと

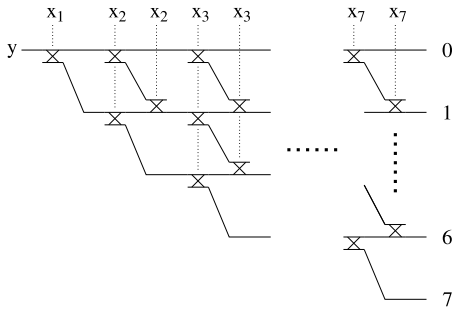


図 12 7-3 パラレルカウンタの回路図

表 1 7-3 パラレルカウンタ

	電力 [mW]	遅延 [ps]	# DCs
Original BDT	1.43	7	381
Inter-func. sharing	1.43	9	127
MTBDD reduction	69.0	9	28
Proposed method	4.45	15	49
Shared-BDD	42.2	7	56

する [6]。DC[15] は、リング共振器 [6] やスプリッタ [17] よりも、サイズが 2 桁大きいため、回路中の DC 数によって回路規模が決まると考えられる。DC での光信号強度の減衰は −1 dB[14][15]、スプリッタでの光信号強度の減衰は −3 dB とする [10]。光がリング共振器を通過する際の光信号強度の減衰は、光がドロップするか共振せずに通過するかどうかに関わらず、無視できる程度のものである [6]。Shared-BDD に基づく回路に対しては、文献 [11] で提案されている手法を適用する。この手法では、回路中にスプリッタが存在していることによる消費電力の増加を抑えるために、スプリッタでの光の強度の分割比を最適化する。光源で消費される電力は、光デバイスでの光信号強度の減衰に基づいて概算する。光源の出力光強度は、全ての回路出力光の強度が 10 μW を下回らない大きさにする。

4.2 パラレルカウンタ

7-3 パラレルカウンタの回路図を図 12 に示す。この回路は、入力中の 1 の数を数えるものである (つまり、x_1, x_2, x_3)。回路合成の結果を表 1 に示す。何も変形を適用していないそのままの BDT を基にして回路合成を適用していく。最初の BDT の特性は、表 1 の Original BDT の値に対応する。次に、Inter-function sharing を適用する。結果を表 1 の 2 行目に表す。7-3 パラレルカウンタは 3 ビットの出力を持つため、この回路では 3 種類の論理関数が多重化されている。図 12 に示す光回路は、WDM を用いて 3 つの論理関数を多重化したものであり、この回路は Inter-function sharing が適用された回路に相当する。Inter-function sharing による回路規模の縮約の効果は、表 1 の 1 行目と 2 行目を見ることでわかる。ここでは、DC 数が半分になっていることがわかる。次にこの回路に MTBDD による縮約を適用する。その結果を表 1 の 3 行目に示す。最後にスプリッタの削除を適用する。その結果を表 1 の 4 行目に示す。Shared-BDD に基づく回路合成の結果を表 1 の 5 行目に示す。電力の値は、光源での消費電力の総計を表している。提案手法によって合成された回路では、全てのスプリッタが DC に置き換えられているため、回路動作に必要となる電力が shared-BDD に基づく回路よりもはるかに小さくなっている。しかし、

表 2 乗算における部分積加算回路

	Power [mW]	Delay [ps]	# DCs
Original BDT	3.80	5	156
Inter-func. sharing	3.80	7	31
MTBDD reduction	12.34	7	18
Splitter elimination	2.07	10	25
Proposed method	2.07	12	13
Shared-BDD	2.98	5	35

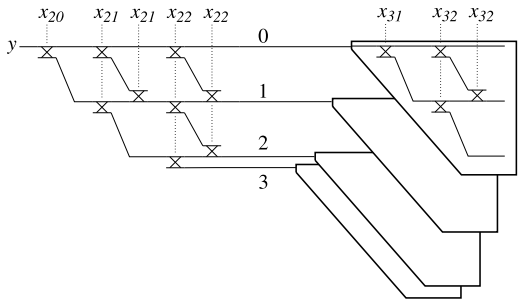


図 13 関数内での多重化を適用する前の回路

パス上の DC 数が増えるために遅延は大きくなっている。

4.3 乗算における部分積の加算

下記の 3 ビット ×3 ビット乗算の例を用いて、提案手法について説明する。部分積 $x_{20}, x_{21}, x_{22}, x_{31}, x_{32}$ の加算に着目する。

$$\begin{array}{cccccc} & & & a_2 & a_1 & a_0 \\ \times & & & b_2 & b_1 & b_0 \\ \hline & & & x_{20} & x_{10} & x_{00} \\ & & x_{31} & x_{21} & x_{11} & \\ & x_{42} & x_{32} & x_{22} & & \end{array}$$

ここでは、部分積は CMOS の AND ゲートで生成されるとする。AND ゲートによって、部分積に相当する電気信号が生成されると、部分積の加算を演算する光回路の制御端子にこれらの電気信号が入力される。

図 13 に、部分積 $x_{20}, x_{21}, x_{22}, x_{31}, x_{32}$ の重み付き加算回路を示す。ここで、x_{20}, x_{21}, x_{22} の和を求める部分回路を第 1 ステージのカウンタと定義して、x_{31}, x_{32} の和を求める回路を第 2 ステージのカウンタと定義する。これらのカウンタの回路には既に Inter-function sharing、MTBDD に基づく縮約、スプリッタの削除が適用されている。この演算の出力値は 3 ビットで表現されるために、回路に 3 つの論理関数が多重化されている。表 2 の 1 行目と 2 行目から、Inter-function sharing による DC 数の削減の効果がわかる。Inter-function sharing を適用することで、DC 数を大幅に削減することができる。MTBDD にに基づく縮約によっても DC 数を削減することができるが、一方で、分岐の数が増加するために消費電力が増大する。

図 14 に示す回路図からわかるように、第 2 ステージのカウンタの二分木構造は互いに同じである。したがって、この回路では、3 章で説明した Intra-function sharing を適用することで、4 つの第 2 ステージのカウンタを多重化することができる。回路図は図 14 のようになる。表 2 の 4 行目と 5 行目から、Intra-function sharing による DC 数の削減効果がわかる。しかし、リング共振器が新たに組み込まれるために、回路の遅延が増大する。

ⓒ 2018 Information Processing Society of Japan

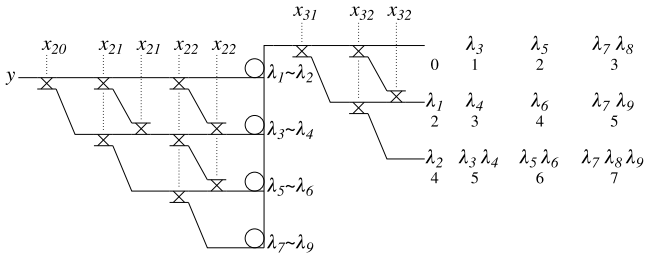


図 14 関数内での多重化を適用した回路

最終的に、提案手法である、inter-function sharing、MTBDD に基づく縮約、スプリッタの削除、intra-function sharing、を全て適用することで、Shared-BDD と比べて、遅延は 2 倍になるが、DC 数は 60%、消費電力は 30%まで低減することができる。

5. 結論

単に BDD を光回路に落としこむという方法では、回路の規模が膨大になる、光導波路中の分岐や光デバイスで大きなエネルギーの損失が生じるという問題が起きる場合がある。これらの課題に対処するために、本稿では、波長多重技術を用いて BDD に基づく光論理回路の回路規模を低減する手法を提案した。

BDD は十分に縮約されている場合には、分岐の数が増えるという性質を持つために BDD に基づく光回路では多くのスプリッタが必要となる。このことは、BDD に基づく光回路において大きな電力損失が生じることに繋がる。また本稿では、BDD に基づく光回路中の分岐を削減する手法を提案した。この手法によって光源での電力消費を大幅に低減することができる。主に並列乗算で用いられる部分積の加算回路の構成を具体的に考えて、回路の特性を数値的に求めた。結果として、回路規模と消費電力の点において従来手法に対して提案手法に優位性があることがわかった。回路規模と消費電力、遅延の間のトレードオフを考慮した光回路の最適化アルゴリズムについてこれからさらに検討していく。

謝辞

本研究の一部は，科学技術振興機構の戦略的創造研究推進事業「新たな光機能や光物性の発現・利活用を基軸とする次世代フォトニクスの基盤技術」(JPMJCR15N4) の助成により行われた．

参考文献

[1] A. Ceyhan, M. Jung, S. Panth, S. K. Lim, and A. Naeemi, “Impact of Size Effects in Local Interconnects for Future Technology Nodes: A Study Based on Full-Chip Layouts,” in *Proc. IEEE Interconnect Technology Conference/Advanced Metallization Conference*, May 2014, pp. 345–348.

[2] W. Zhao and Y. Cao, “New Generation of Predictive Technology Model for sub-45nm Early Design Exploration,” *IEEE Transactions on Electron Devices*, vol. 53, no. 11, pp. 2816–2823, Nov. 2006.

[3] Y. Vlasov, “Silicon photonics for next generation computing systems,” in *Proc. European Conference on Optical Communications*, no. Tu.1.A.1, Sept. 2008.

[4] N. Yamamoto, T. Ogawa, and K. Komori, “Photonic Crystal Directional Coupler Switch with Small Switching Length and Wide Bandwidth,” *Optics Express*, vol. 14, no. 3, pp. 1223–1229, Feb. 2006.

[5] J. Hardy and J. Shamir, “Optics Inspired Logic Architecture,” *Optics Express*, vol. 15, no. 1, pp. 150–165, Jan. 2007.

[6] Q. Xu and R. Sorei, “Reconfigurable Optical Directed-Logic Circuits Using Microresonator-Based Optical Switches,” *Optics Express*, vol. 19, no. 6, pp. 5244–5259, Mar. 2011.

[7] C. Condrat, P. Kalla, and S. Blair, “Logic Synthesis for Integrated Optics,” in *Proc. Great lakes symposium on VLSI*, May 2011, pp. 13–18.

[8] S. Minato, N. Ishiura, and S. Yajima, “Shared Binary Decision Diagram with Attributed Edges for Efficient Boolean Function Manipulation,” in *Proc. Design Automation Conference*, July 1990, pp. 52–57.

[9] R. Wille, O. Keszocze, C. Hopfmuller, and R. Drechsler, “Reverse BDD-based Synthesis for Splitter-Free Optical Circuits,” in *Proc. Asia-South Pacific Design Automation Conference*, Jan. 2015, pp. 172–177.

[10] O. Solgaard, *Photonic Microsystems: Micro and Nanotechnology Applied to Optical Devices and Systems*. New York, NY: Springer, 2008.

[11] Z. Zhao, Z. Wang, Z. Ying, S. Dhar, R. T. Chen, and D. Z. Pan, “Logic Synthesis for Energy-Efficient Photonic Integrated Circuits,” in *Proc. Asia-South Pacific Design Automation Conference*, Jan. 2018, pp. 355–360.

[12] Q. Xu, B. Schmidt, J. Shakya, and M. Lipson, “Cascaded Silicon Micro-ring Modulators for WDM Optical Interconnection,” *Optics Express*, vol. 14, no. 20, pp. 9431–9436, Oct. 2006.

[13] Z. Lu, H. Yun, Y. Wang, Z. Chen, F. Zhang, N. A. F. Jaeger, and L. Chrostowski, “Broadband Silicon Photonic Directional Coupler using Asymmetric-Waveguide based Phase Control,” *Optics Express*, vol. 23, no. 3, pp. 3795–3808, Feb. 2015.

[14] L. O’Faolain, D. M. Beggs, T. P. White, T. Kampfrath, K. Kuipers, and T. F. Krauss, “Compact Optical Switches and Modulators Based on Dispersion Engineered Photonic Crystals,” *IEEE Photonic Journal*, vol. 2, no. 3, pp. 404–414, June 2010.

[15] H. C. Nguyen, N. Yazawa, S. Hashimoto, S. Otsuka, and T. Baba, “Sub-100 μm Photonic Crystal Si Optical Modulators: Spectral, Athermal, and High-Speed Performance,” *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 19, no. 6, pp. 127–137, June 2013.

[16] E. M. Clarke, K. L. McMillan, X. Zhao, M. Fujita, and J. Yang, “Spectral Transforms for Large Boolean Functions with Applications to Technology Mapping,” in *Proc. Design Automation Conference*, June 1993, pp. 54–60.

[17] K. Yamada, T. Tsuchizawa, T. Watanabe, J. ichi Takahashi, E. Tamechika, M. Takahashi, S. Uchiyama, H. Fukuda, T. Shoji, S. ichi Itabashi, and H. Morita, “Microphotonics Devices Based on Silicon Wire Waveguiding System,” *IEICE Transactions on Electronics*, vol. E87-C, no. 3, pp. 351–358, Mar. 2004.

ⓒ 2018 Information Processing Society of Japan