

単一磁束量子回路に基づくゲートレベル・パイプライン 算術論理演算器の設計とエネルギー効率評価

田中 雅光^{1,a)} 石田 浩貴² 長岡 一起¹ 村瀬 健¹ 佐野 京佑¹ 小野 貴継² 井上 弘士² 藤巻 朗¹

概要：ポストムーア時代の集積回路技術として期待される，単一磁束量子 (SFQ) 回路を用いたコンピューティングの実現に向け，デバイス/回路/アーキテクチャの協創によるアプローチを行っている．これまでに，SFQ 回路の性能を最大限に引き出す，ゲートレベル・パイプライン手法を取り入れた算術論理演算器を設計し，そのエネルギー効率を評価した．試作した 8 ビット演算器は 56 GHz での動作実証に成功し，35 TOPS/W を達成した．低電圧駆動や作製プロセスの向上により，さらに 1 桁以上の効率の向上が見込まれる．本稿では，実証した演算器に対してこれらの手法を適用し，冷凍機の冷却コストも踏まえた消費電力あたりの演算性能について議論を行う．

1. はじめに

コンピューティングは大きな転換期を迎えようとしている．半導体集積回路はこれまで，18 から 24 ヶ月ごとにチップに集積できるトランジスタは倍増するという，いわゆるムーアの法則 [1] に従い，文字通り指数関数的に発展を遂げてきた．多数のトランジスタを活用することで，オンチップ大容量キャッシュメモリ，スーパースカラ，プリフェッチや分岐予測，投機的実行，アウト・オブ・オーダー実行，あるいは多数のプロセッシングコアによるマルチコア/メニーコアなど，さまざまなマイクロプロセッサの性能向上手法が実現可能となったが，微細化が進むにつれ，チップの消費電力の増大の問題が顕在化し，主に電力制約により CMOS マイクロプロセッサの動作速度は数ギガヘルツで頭打ちとなって久しい．さらに，デバイスの加工寸法はナノメートルに迫っており，2025 年から 2030 年には技術的，あるいは経済的な理由により，ムーアの法則が終焉を迎えるという予測が現実味を帯びてきた．ムーアの法則が適用できなくなった後の時代，即ち，ポストムーア時代の情報化社会の持続的な発達を見据え，活発な議論がなされるようになってきた．

超伝導エレクトロニクスを用いた，極低温コンピューティングは，ポストムーア時代の次世代コンピューティング技術の有力な候補と考えられる．ジョセフソン接合を用いた超伝導回路は，ジョセフソン接合が高速に動作する可能性が早くから示され [2]，長年研究が行われてきた．超伝導リング内で量子化される磁束の有無を利用した，単一磁束量子 (SFQ) 回路は，東北大学の中島らが 1970 年代後半に提案し [3]，1990 年代にモスクワ州立大学のリカレフらにより体系化 [4] された．SFQ 回路は，(i) 100 GHz で動作させても論理ゲートあたりの電力消費は原理的には 0.1 μ W 程度という超低消費電力性，(ii) 700 GHz を超える動作 [5] が実証されるなどの超高速動作性，(iii) 損失や分散が極めて小さい超伝導受動線路 [6, 7] を用いた低消費電力高スループット配線による信号伝送などが特徴である．さらに，2010 年代に入り，従来の SFQ 回路を発展させた，よりエネルギー効率の高い回路方式が次々と提案，実証されている [8–14]．この結果，冷却のハンディキャップを加味しても，CMOS 集積回路に対して優位性を保つことができる水準に達している．加えて，磁性体材料との融合により，従来の課題であったメモリなどで新たな進展や機能付加が可能になったことから，米国では大型国家プロジェクト [15] が進められているなど，再び活発な研究が進められている．

SFQ 回路は，次世代のデジタル回路技術として成熟してきている段階にある．これまでに，簡単なマイクロプロ

¹ 名古屋大学
Nagoya University, Nagoya 464-8603, Japan

² 九州大学
Kyushu University, Fukuoka 819-0395, Japan

a) masami.t@ieee.org

セッサなどが実証されており、半導体以外では初となるプログラム内蔵型コンピューティングのプロトタイプチップを 50 GHz の信号で動作させることにも成功している [16], さらに、現在、超伝導量子ビットの集積化に向けた研究が活発に進められており、超伝導量子ビットを用いた商用の量子アニーリングマシン [17, 18] が既に市場に出ている。量子ゲート計算や量子アニーリングが得意とする組み合わせ問題や最適化計算は、従来の (古典) 計算とは大きな乖離があること、また、量子ゲートの操作や事前計算に高速な古典計算が依然として要求されることから、高速で低消費電力なデジタル回路の必要性は今後むしろ高まると考えられる。同じ極低温環境を利用するという観点からも、SFQ 回路は親和性が高い。

SFQ 回路によるマイクロプロセッサの研究の歴史は、米国の設計と試作 [19] に端を発するが、大規模回路の設計・実証技術が未熟であったため、動作には至らなかった。その後、日本の研究グループがプロトタイプを含む幾つかの SFQ マイクロプロセッサの動作実証に成功し [16, 20–25], 現在に至る。ただし、これらのマイクロプロセッサにおいては、集積度の制約と、タイミング設計の難しさから、ビットシリアル処理による簡単なアーキテクチャが採用されていた。15~100 GHz の信号で回路を駆動することに成功したものの、マイクロプロセッサとしての実効的な性能、即ちプログラム実行時間では、CMOS マイクロプロセッサと同程度の可能性を示すに留まっていた。

ビットシリアル処理の性能は、ビットシリアルデータの長さにより必然的に制限される。いくつかのアプリケーションでは、短いワード長しか必要とされない場合もあるが、大規模な科学技術計算応用に向け、SFQ 回路の高周波動作を引き出すアーキテクチャー探索の余地は残されていた。近年、高度な多層構造デバイス作製プロセスが成熟し [26, 27], また同時に、集積回路設計技術が発達したことにより、ビット並列処理のような、より大規模で複雑な回路の実現可能性が高まった。我々は、ポストムーア時代における超高速・超低消費電力コンピューティングを目指し、SFQ 回路によるハイパフォーマンス・コンピューティングの研究に着手している。複雑な計算機システムにおいて、SFQ 回路のような新奇技術の特徴を最大限に引き出すには、デバイスや回路の技術レイヤーだけにとどまらず、アーキテクチャまでを含めた協創が鍵となる、というのが我々の立場である。これまでに、マイクロプロセッサのアーキテクチャに関する検討を進め、ビット並列処理、ゲートレベル・パイプライン、細粒度マルチスレッディングを取り入れた手法の可能性を明らかにした [28]。これらの手法の実現可能性を実証するとともに、演算の電力効率を定量的に評価することを目的として、我々は 8 ビットのゲートレベル・パイプラインによる算術論理演算器 (ALU) の設計を行った。目標動作周波数は 50 GHz で、50 GOPS

(毎秒 500 億演算) のスループット性能に対応する。

本稿では、SFQ 回路を簡単に紹介した後、SFQ 回路の性能を最大限に引き出す、ゲートレベル・パイプライン手法を取り入れた ALU の設計と試作について報告する。試作した 8 ビット演算器は、4.2 K の液体ヘリウム中で 56 GHz での動作実証に成功し、35 TOPS/W (1 ワット当たり毎秒 35 兆演算) の電力効率を達成した。これは、20 GHz 動作に成功した非同期式の ALU [29] 以降、世界最速の、ゲートレベル・パイプライン処理が可能な ALU となる。低電圧駆動による低消費電力化手法を導入すれば、現在の作製技術においてさらに 3.4 倍の高効率化が見込まれる。また、将来の作製プロセスとして、最小接合寸法が 0.15 μm を仮定した場合、1600 TOPS/W 程度の電力効率を達成することが見込まれる。これは、中〜大規模冷凍機を用いた大規模な計算機システムでは、冷凍機の冷却コストを含めても、SFQ 回路が競争力を有することを意味する。また、希釈冷凍機を利用する量子計算機システムでは、4 K ステージの余剰冷却能力が利用できる場合があり、SFQ 回路を用いれば、追加の冷却コストなしに、この圧倒的な古典計算能力を利用できる可能性もある。ゲートレベル・パイプライン ALU の動作実証の成功は、高性能な極低温コンピューティングに向けた第一歩となる。現在、32 bit や 64 bit ALU への拡張、浮動小数点演算のサポート、SFQ 回路ベースのキャッシュメモリ、ゲートレベル・パイプラインと細粒度マルチスレッディングによる高性能マイクロプロセッサの具現化などに向け、取り組みを進めている。

2. 単一磁束量子回路

超伝導体でできたリングに入る磁束は量子化され、磁束量子 $\Phi_0 = h/2e \approx 2.07 \times 10^{-15}$ Wb (h はプランク定数、 e は素電荷) の整数倍となる。この磁束量子の有無をバイナリ信号に対応させて演算を行う論理回路が SFQ 回路である。リング内の磁束量子を操作するために、トランジスタに対応する能動素子として、ジョセフソン接合が用いられる。これは超伝導体の間に厚さ数ナノメートルのトンネル障壁層を挟んだデバイスで、現在の集積回路の主流はニオブとアルミ酸化膜を用いた、Nb/ AlO_x /Nb 接合である。ジョセフソン接合に一定の電流値 (臨界電流値と呼ぶ) 以上の電流を流すと、磁束量子がジョセフソン接合を横切ることができ、このときのみ、ジョセフソン接合の両端には磁束の時間変化に対応したインパルス状の電圧パルスが発生する。臨界電流密度 10 kA/cm²、ジョセフソン接合の最小寸法 1.0 μm 四方の作製プロセスでは、パルス幅 (ジョセフソン接合のスイッチ時間に対応) は約 2 ps となる。この値は接合寸法によりスケールアップする。SFQ 回路の特徴である、高速動作性や低消費電力性は、この電圧パルス信号を用いることの帰結である。

図 1 を用いて代表的な SFQ 回路を示す [30]。×印がジョ

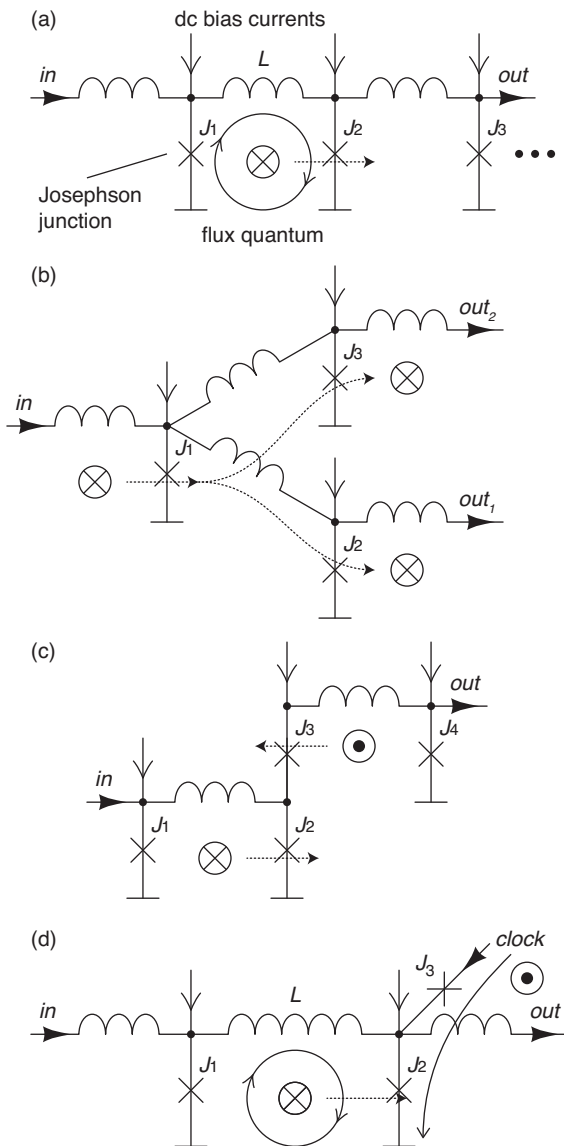


図 1 代表的な SFQ 回路の例 [30]: (a) ジョセフソン伝送路, (b) 分岐, (c) 方向性線路, (d) D フリップフロップ.

セフソン接合で、超伝導体の部分はインダクタで表される。

(a) は超伝導リングを数珠つなぎにしたもので、ジョセフソン伝送路 (JTL) と呼ばれ、磁束量子を伝搬させることができる。JTL の左端から J_1 を通って超伝導リングに SFQ が入ると、あらかじめ印加しておいた直流のバイアス電流に、磁束量子の作る周回電流が加わることで臨界電流値を上回り、磁束量子はジョセフソン接合 J_2 を横切って右隣のリングに移る。これを繰り返すことで、順次 SFQ が伝搬される。

(b) は分岐回路である。リングに入った磁束が、 J_2 、 J_3 の両方のジョセフソン接合を横切って伝搬することにより、信号を二手に分けることができる。

(c) は方向性線路と呼ばれ、左から磁束量子が入った場合は、 J_2 を横切ることで右側のリングに信号が伝わるが、右側から磁束量子が入った場合は J_3 から磁束量子が逃げていくため、左側のリングには伝搬しない、といった動作

をさせることができる (このためには、 J_2 よりも J_3 の臨界電流値は小さく設定しておく必要がある)。方向性線路を 2 つ用いると、2 つの信号入力を 1 つの出力に合流させる回路 (合流バッファと呼ばれる) を実現できる。

(d) は SFQ 回路での論理回路の例である。磁束量子が J_1 – L – J_2 で構成されるリングに入力された場合、 J_2 には直流バイアス電流と磁束量子に伴う周回電流が流れるが、 L や J_2 の臨界電流値を大きめに設定しておく、磁束量子をリング内に留まらせることができる。この状態で、clock 端子から別の磁束量子が到着すると、その周回電流がさらに加算され、 J_2 の臨界電流値を超えて磁束量子が出力される。ここでも、 J_2 よりも J_3 の臨界電流値を小さく設定しておく、リング内に磁束がない状態で clock 端子から磁束量子が到着した場合は、 J_3 から磁束量子が逃げていくことで、出力は現れないような動作をさせることができる。従って、リング内に磁束量子が保持されている状態を論理値の 1 と定義すると、この回路はデータを一時的に蓄え、クロック信号の入力でデータを出力する D フリップ・フロップとして動作する。

このように、リングのトポロジや回路パラメータを変えることで、磁束量子の分岐、合流、伝搬、保持などが行え、磁束量子ひとつひとつを操作することで種々の論理演算が実現できる。ただし、信号の 0 が来たのか、信号がまだ到着していない状態なのかを区別するため、論理値の 0 の扱いは工夫が必要となる。SFQ 回路では、基準とする信号 clock を論理ゲートごとに用意し、次の clock 入力までにデータ信号の磁束量子が到着すれば 1、到着しなければ 0 と定義して演算を行っている。これは換言すれば、SFQ 回路ではすべての論理ゲートが原則としてラッチ機能を持つという特徴となる。clock 信号の周期は電圧パルス幅の 5~10 倍あればよく、現在の作製プロセスでは、単純なシフトレジスタで 120 GHz 動作 [31]、複雑な演算器などでは 50 GHz 程度の動作が実証されている。

集積回路においては、配線も重要な技術要素である。SFQ 回路では、マイクロストリップやストリップ構造の導波路を集積回路内に形成し、信号伝送に用いる受動線路 (PTL) 技術が確立している [6, 7]。超低損失で分散の小さな超伝導伝送路を配線として利用することで、配線容量の充放電過程なしに、パルス状の電圧を電磁波として光速 (集積回路中でおおよそ 10^8 m/s) で伝搬させることができる。1 cm 程度の長距離配線においても 80 Gbps に及ぶ高スループット信号伝送が実証されている [32]。

3. 算術論理演算器の設計と高速動作実証

SFQ 回路の動作原理や信号表現は、CMOS 回路とは大きく異なるため、独自の回路設計技術が必要となる。特に、動作周波数が数十ギガヘルツとなるとタイミング設計は非常にチャレンジングな課題となる。日本では、セルベース

設計法 [33] が開発され、大規模 SFQ 回路設計の基盤技術として確立している。これは、半導体集積回路の設計手法にならない、商用の EDA ソフトウェア上で SFQ 回路設計に必要なカスタマイズを行い、設計環境を整えたものである。集積回路の作製プロセスも、超伝導回路独自のものとなるが、産業技術総合研究所内のクリーンルーム CRAVITY にある製造ラインが、現在世界で最も高度な技術を有している。アドバンスプロセス [26] と呼ばれる、ニオブ 9 層構造の作製プロセスを用いて、Nb/AIOx/Nb 接合を 10000 から 20000 個集積した SFQ 回路が多数実証されている。

本研究では、セルベース設計法により 8 bit の ALU を設計した。この ALU は桁上げ先見加算器の一種である Brent-Kung 加算器 [34] を変更し、加算、減算、論理積、論理和、排他的論理和、否定論理和の 6 つの算術論理演算を可能にしたものである。オペランドは符号付きの整数である。図 2 に回路図を示す。黒丸は SFQ 信号の分岐、白丸は合流（ワイヤード OR に相当）を表す。簡単のため、図 2 クロック線は省略しているが、信号の分岐と合流を除き、全ての論理ゲートはクロックドゲートとなっており、ゲートレベルでのパイプライン処理を行う。あらゆる配線において論理ゲートの段数を同一にするため、D フリップ・フロップを挿入している。全体のパイプライン段数は 9 段である。目標動作周波数は 50 GHz である。ゲートレベルのパイプライン処理により、このとき毎秒 5×10^{10} 演算 (50 GOPS) のスループット性能を得ることが可能である。

クロック分配と配置配線においては、ピコ秒単位のタイミングを慎重に考慮した設計を行い、レイアウト設計を行った。SFQ 回路において、信号は PTL 配線内を光速で伝搬するとはいえ、50 GHz において 1 クロック周期で到達できる距離は 2 mm にも満たないため、クロック信号を含めて、すべての信号が配線上を伝搬する（同時刻という概念は成り立たない）と考える必要がある。本設計のタイミング設計においては、製造ばらつきや熱雑音によるジッターなど、既知あるいは未知な効果によるずれや揺らぎの影響を極力排除するため、クロック木は魚骨状となっており、クロック信号およびデータ信号のパスの PTL の配線長は、すべて等長としている。最終レイアウトにおいて、各パイプラインステージ間の配線の信号到着時間のばらつきは 3 ps 以内とした。Cadence Verilog-XL を用いた論理シミュレーションによると、ばらつきを考慮しない場合、50 GHz において、電源となるバイアス電圧に対する動作マージンは設計値に対して 42% であり、設計値において最高動作周波数は 60 GHz と見積もられた。設計周波数における演算のレイテンシは 354 ps である。この値はクロック分配にともなう伝搬遅延時間を含んでいる。

設計した ALU は、産業技術総合研究所にてアドバンスプロセス [26] を用いて試作された。ALU は $2.85 \times 2.01 \text{ mm}^2$ の面積に集積された 4868 個のジョセフソン接合で構成さ

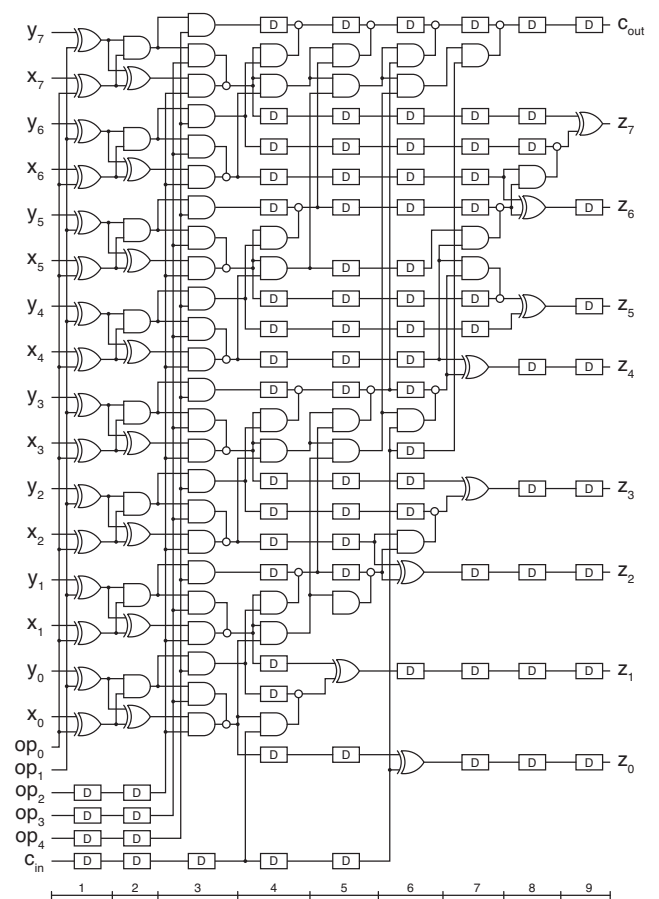


図 2 ゲートレベル・パイプライン ALU の回路図。D はパイプライン段数を合わせるために挿入した D フリップフロップ。黒丸は SFQ 信号の分岐、白丸は合流を表す。各パイプラインステージを下部に示す。

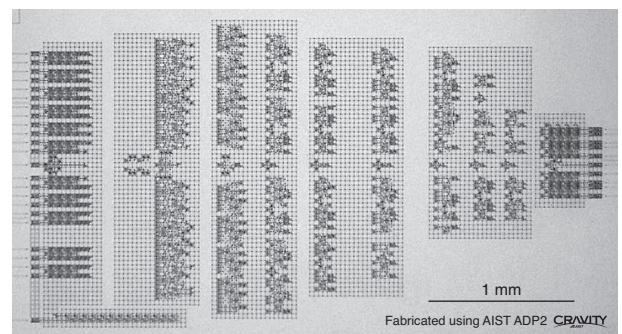


図 3 ゲートレベル・パイプライン ALU のテスト回路チップ。ニオブ 9 層プロセスで試作され、7348 個のジョセフソン接合を集積している。オンチップ高周波テストのための周辺回路を含む。

れる。図 3 に ALU のテストチップの顕微鏡写真を示す。オンチップテストのための 50 GHz クロック発振回路、テストベクタや結果を格納するシフトレジスタなどの周辺回路を加え、7348 個のジョセフソン接合が含まれる。ダイサイズは 7.1 mm 四方である。

設計値における消費電力は 1.35 mW と見積もられる。ここで設計した ALU は、ビット並列ゲートレベル・パイプライン演算の高速動作の実現可能性を評価することを主

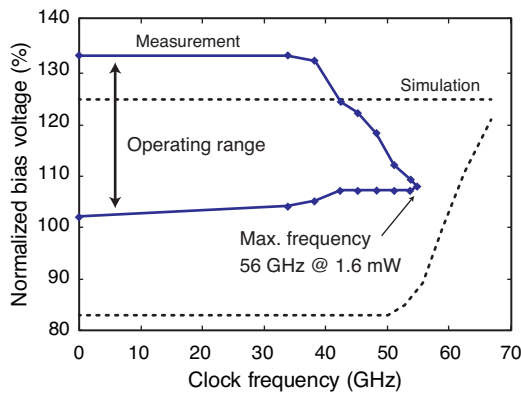


図 4 8 bit ALU の動作領域と周波数依存。

目的として設計を行ったため、消費電力やレイテンシについては、まだ改善の余地は残されている。

チップ評価は液体ヘリウムを用い、4.2 K に冷却して行った。オンチップの高周波テストにより、ゲートレベル・パイプライン処理による正常動作を確認した。図 4 に、論理シミュレーションによる結果とともに、測定によって得られた ALU の動作領域の周波数依存性を示す。縦軸は、設計値で規格化したバイアス電圧値である。今回の試作では、ウェハ全体で臨界電流密度が設計値よりも 10% 程度高い特性となっており、動作領域は高バイアス側にシフトした結果となった。測定の結果、最高 56 GHz での動作を確認することができた。50 GHz における動作マージンは 107~118% であった。ビット並列 ALU については、米国 HYPRES 社のニオブ 4 層、4.5 kA/cm² プロセス [35] (1.5 μm プロセスに相当) を用いて 20 GHz 動作が報告されている [29]。スケール・ファクタを考慮しても、今回の試作ではより高周波での動作を得られたと言える。

56 GHz 動作時に計測した ALU の消費電力は 1.6 mW であった。得られた電力効率は 35 TOPS/W (1 ワット当たり毎秒 35 兆演算) を達成している。

4. 低消費電力化と効率の改善

SFQ 回路では、ジョセフソン接合が 1 回のスイッチング動作をすると、本質的に 10⁻¹⁹ J 程度のエネルギー消費が生じる。ただし、従来の SFQ 回路では、図 5 に示すように、バイアス電流の分配・制御に一定のバイアス電圧源 V_b と抵抗 R_{b1} , R_{b2} , ... を用いている。この V_b は、ジョセフソン接合のスイッチング動作中にも一定のバイアス電流を供給するため、通常は SFQ 信号の電圧パルスよりも十分高い電圧が選ばれる。動作実証した ALU では、 V_b は 2.5 mV としていた。このため、 R_b では、ジョセフソン接合のスイッチング動作にかかわらず、1 桁以上大きい電力が静的に消費されている状況であった。

SFQ 回路の消費電力を下げる直接的なアプローチは、ジョセフソン接合の臨界電流値を下げることである。作製プロセスによる最小接合寸法、熱雑音に対して十分な信号

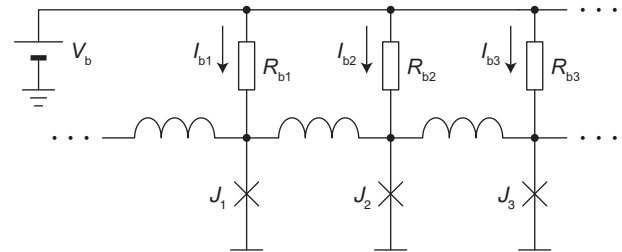


図 5 SFQ 回路におけるバイアス電流の供給方法。

雑音比を確保すること、などが制約となる。今回の設計で用いたセルライブラリ [36,37] では、最小のジョセフソン接合の臨界電流値は 100 μA となっているが、これまでに試作したデバイスや回路で作製ばらつきやビット誤り率の評価 [38] を行った限りでは、臨界電流値を 1/2 または 1/4 に下げても遜色ない結果が得られている。

また、電源電圧を下げることで、消費電力を下げるアプローチがいくつか提案されている。 V_b を下げた状況でも一定電流を供給するには、大きなインダクタを直列に挿入する手法 (LR バイアス) [8,9]、ジョセフソン接合を電流の分配・制御に用いる手法 (ERSFQ, eSFQ) [10,11] などがある。あるいは、定電流駆動を諦め、一定の低い電圧で回路を駆動する低電圧駆動 RSFQ (LV-RSFQ) [12] が選択肢となる。これらの手法は、ジョセフソン接合の臨界電流値を下げることに併用もできる。

本稿では、LV-RSFQ 回路を適用した場合の低消費電力化の効果について評価する。LV-RSFQ 回路では、バイアス電流がジョセフソン接合のスイッチング動作に応じて減少するため、スイッチング速度が若干低下するが、それ以上に電力削減効果があるため、電力効率が改善する。基本的にはバイアス電流を分配する抵抗の変更だけでセルライブラリの再構築が可能であること、追加の回路要素がないため集積度の点で有利なこと、通常の SFQ 回路や異なる電圧の回路を自由に混在させることができ、過去の設計資産が活用できることなどが利点となる。なお、消費電力の点では、ERSFQ が最も優れており、LV-RSFQ 回路に比べ 2 倍程度優れたエネルギー・遅延積を達成している。

図 6 は LV-RSFQ 回路におけるバイアス電圧と回路の動作速度のトレードオフを示したものである。 R_b で消費される電力はバイアス電圧に比例する。動作速度は、シフトレジスタを試作して実験的な評価を行った結果である。LV-RSFQ 回路においては、原理的に動作周波数は $f_c = V_b / \Phi_0$ を超えられないことが知られている。ALU のような複雑な回路では、シフトレジスタの半分程度の動作周波数を達成できると考えてよい。

アドバンスドプロセスを仮定した場合、電力効率が最も改善するバイアス電圧は、0.25~0.5 mV 程度である。低電圧駆動によりタイミングパラメータが変化するため、動作速度や消費電力を正確に見積もるにはタイミングの再調整

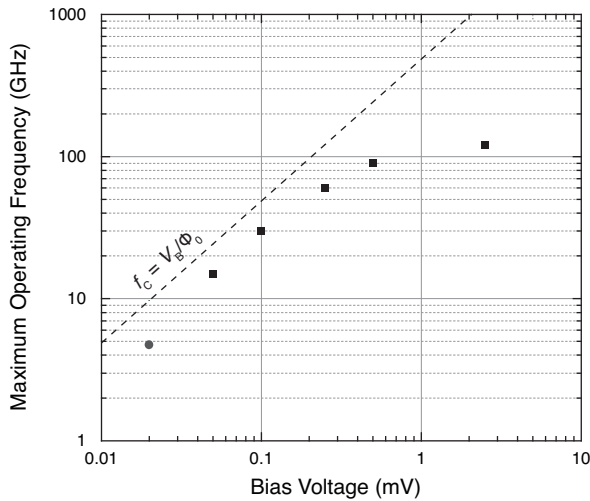


図 6 LV-RSFQ 回路におけるバイアス電圧と最高動作周波数のトレードオフ. 10 kA/cm² プロセスで試作したシフトレジスタを評価した結果を [39] より抜粋.

表 1 ALU の性能の比較 (冷却のための電力を含めない)

	V _b mV	消費電力 mW	周波数 GHz	効率 TOPS/W
実証 (実測値)	2.7	1.6	56	35
低電圧	0.5	0.27	33	120
低電圧, 0.3 μm 接合	0.5	0.27	110	400
低電圧, 0.15 μm 接合	0.5	0.068	110	1600

を伴う詳細設計を行う必要がある. 今回は, バイアス電圧を 0.5 mV とした場合について, ALU の詳細設計を行い, 電力効率を評価した.

表 1 に今回実証した ALU と設計した低電圧 ALU の比較を示す. 電源電圧を 1/5 にしたことで消費電力はおおよそ 20% まで低減化する一方, 動作速度は 60% 程度の低下に留まっており, 消費電力あたりの演算性能では 3.4 倍の改善が期待できることが分かった. SFQ 回路にはスケールリング則があり [40], 作製プロセスの進展により接合寸法が微細化され, 動作速度が向上すれば, 電力効率は更に高くなる. 例えば, 0.3 μm プロセスを仮定した場合, 動作速度はおおよそ 3.3 倍となることが期待される. また臨界電流値の低減化を併用すれば, さらに 2~4 倍の電力効率を達成できる可能性がある. 0.15 μm プロセスを仮定し, 接合面積を 1/4 にすることが可能になれば, 1600 TOPS/W (1.6 POPS/W) の性能を見込むことができる.

表 1 では, SFQ 回路を冷却するためのコストを含んでいない. 冷却に用いる冷凍機の消費電力は, 各種損失により理想的な状況とは大きな乖離があり, システムの規模により効率は大きく変化する. 一般に, 大規模な冷凍機ほど冷却に使用する消費電力に対して損失が減り, 効率が高くなる. 冷凍機的能力を示す指標の一つに, 成績係数 (COP) が用いられる. これは, 冷凍機に投入した電力に対する極低温下での冷却能力の割合であり, 室温から 4 K に冷却

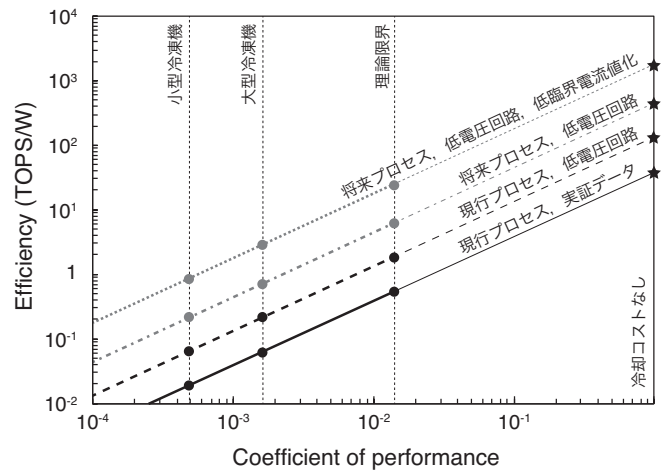


図 7 冷却コストを含めた場合の効率の比較. 右端のプロットは希釈冷凍機内の 4 K ステージで余剰冷却能力が利用できるなど, 冷却コストが無視できる場合の電力効率.

する場合, 熱力学的な限界は 0.0142 である. 実際の冷凍機では, 例えば小型の 1 W 冷凍機で 5.0×10^{-4} , 大型の 100 W 級クローズド冷凍機で 1.7×10^{-3} 程度が実現されている [41]. 冷却コストを含めた電力効率と COP の関係を図 7 に示す. 中~大規模冷凍機を用いたシステムでは, 冷却コストを含めても競争力を有するものとする.

5. おわりに

ゲートレベル・パイプライン手法を取り入れた ALU の設計と試作について報告した. 試作した 8 ビット演算器は, 56 GHz での動作実証に成功し, 35 TOPS/W (1 ワット当たり毎秒 35 兆演算) の電力効率を達成した. 低電圧駆動による低消費電力化手法を導入すれば, 現在の作製技術においてさらに 3.4 倍の高効率化が見込まれる. また, 将来の作製プロセスを仮定した場合, 1600 TOPS/W 程度の効率を達成することが見込まれる.

ゲートレベル・パイプライン ALU の動作実証の成功は, 高性能な極低温コンピューティングに向けた第一歩である. デバイス/回路/アーキテクチャの階層横断型アプローチにより, 現在我々は, 高性能マイクロプロセッサの具現化などに向け, 取り組みを進めている. ゲートレベル・パイプラインと細粒度マルチスレッディングによる高性能マイクロプロセッサのプロトタイプチップの試作と評価が進行中である. また, 32 bit や 64 bit ALU への拡張, 浮動小数点演算のサポート, SFQ 回路ベースのキャッシュメモリの検討なども進めていく予定である.

謝辞 本研究は JSPS 科研費 JP16H02796 の支援を受け実施したものである. 回路は産業技術総合研究所のクリーンルーム CRAVITY において作製された. 研究の一部は, 東京大学大規模集積システム設計教育研究センター (VDEC) を通し, ケイデンス株式会社の協力で行われたものである.

参考文献

- [1] Moore, G. E.: Cramming more components onto integrated circuits, *Electronics Magazine*, Vol. 38, No. 8, pp. 114–117 (1965).
- [2] Matisoo, J.: Subnanosecond pair-tunneling to single-particle tunneling transitions in Josephson junctions, *Appl. Phys. Lett.*, Vol. 9, No. 4, pp. 167–168 (1966).
- [3] Nakajima, K., Onodera, Y. and Ogawa, Y.: Logic design of Josephson network, *J. Appl. Phys.*, Vol. 47, No. 4, pp. 1620–1627 (1976).
- [4] Likharev, K. K. and Semenov, V. K.: RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Trans. Appl. Supercond.*, Vol. 1, No. 1, pp. 3–28 (1991).
- [5] Chen, W., Rylakov, A., Patel, V., Lukens, J. and Likharev, K.: Rapid single flux quantum T-flip flop operating up to 770 GHz, *IEEE Trans. Appl. Supercond.*, Vol. 9, No. 2, pp. 3212–3215 (1999).
- [6] Polonsky, S., Semenov, V. and Schneider, D.: Transmission of single-flux-quantum pulses along superconducting microstrip lines, *IEEE Trans. Appl. Supercond.*, Vol. 3, No. 1, pp. 2598–2600 (1993).
- [7] Hashimoto, Y., Yorozu, S., Kameda, Y. and Semenov, V.: A design approach to passive interconnects for single flux quantum logic circuits, *IEEE Trans. Appl. Supercond.*, Vol. 13, No. 2, pp. 535–538 (2003).
- [8] Rylakov, A.: New design of single-bit all-digital RSFQ autocorrelator, *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2709–2712 (1997).
- [9] Yoshikawa, N. and Kato, Y.: Reduction of power consumption of RSFQ circuits by inductance-load biasing, *Supercond. Sci. Technol.*, Vol. 12, No. 11, pp. 918–920 (1999).
- [10] Kirichenko, D. E., Sarwana, S. and Kirichenko, A. F.: Zero static power dissipation biasing of RSFQ circuits, *IEEE Trans. Appl. Supercond.*, Vol. 21, No. 3, pp. 776–779 (2011).
- [11] Volkman, M. H., Sahu, A., Fourie, C. J. and Mukhanov, O. A.: Implementation of energy efficient single flux quantum digital circuits with sub-aJ/bit operation, *Supercond. Sci. Technol.*, Vol. 26, No. 1, p. 015002 (2013).
- [12] Tanaka, M., Ito, M., Kitayama, A., Kouketsu, T. and Fujimaki, A.: 18-GHz, 4.0-aJ/bit operation of ultra-energy rapid single-flux-quantum shift registers, *Jpn. J. Appl. Phys.*, Vol. 51, p. 053102 (2012).
- [13] Herr, Q. P., Herr, A. Y., Oberg, O. T. and Ioannidis, A. G.: Ultra-low-power superconductor logic, *J. Appl. Phys.*, Vol. 109, No. 10, p. 103903 (2011).
- [14] Takeuchi, N., Ozawa, D., Yamanashi, Y. and Yoshikawa, N.: An adiabatic quantum flux parametron as an ultra-low-power logic device, *Supercond. Sci. Technol.*, Vol. 26, No. 3, p. 035010 (2013).
- [15] Intelligence Advanced Research Projects Activity: Cryogenic Computing Complexity (C3), Office of the Director of National Intelligence, USA (online), available from (<https://www.iarpa.gov/index.php/research-programs/c3/>) (accessed 2018-05-15).
- [16] Sato, R., Hatanaka, Y., Ando, Y., Tanaka, M., Fujimaki, A., Takagi, K. and Takagi, N.: High-speed operation of random-access-memory-embedded microprocessor with minimal instruction set architecture based on rapid single-flux-quantum logic, *IEEE Trans. Appl. Supercond.*, Vol. 27, No. 4, p. 1300505 (2017).
- [17] Harris, R., Johnson, M. W., Lanting, T., Berkley, A. J., Johansson, J., Bunyk, P., Tolkacheva, E., Ladizinsky, E., Ladizinsky, N., Oh, T., Cioata, F., Perminov, I., Spear, P., Enderud, C., Rich, C., Uchaikin, S., Thom, M. C., Chapple, E. M., Wang, J., Wilson, B., Amin, M. H. S., Dickson, N., Karimi, K., Mcready, B., Truncik, C. J. S. and Rose, G.: Experimental investigation of an eight-qubit unit cell in a superconducting optimization processor, *Phys. Rev. B*, Vol. 82, No. 2, p. 024511 (2010).
- [18] Johnson, M. W., Amin, M. H. S., Gildert, S., Lanting, T., Hamze, F., Dickson, N., Harris, R., Berkley, A. J., Johansson, J., Bunyk, P., Chapple, E. M., Enderud, C., Hilton, J. P., Karimi, K., Ladizinsky, E., Ladizinsky, N., Oh, T., Perminov, I., Rich, C., Thom, M. C., Tolkacheva, E., Truncik, C. J. S., Uchaikin, S., Wang, J., Wilson, B. and Rose, G.: Quantum annealing with manufactured spins, *Nature*, Vol. 473, No. 7346, pp. 194–198 (2011).
- [19] Dorojevets, M., Bunyk, P. and Zinoviev, D.: FLUX chip: design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75- μ m LTS technology, *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 326–332 (2001).
- [20] Tanaka, M., Matsuzaki, F., Kondo, T., Nakajima, N., Yamanashi, Y., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H. and Yorozu, S.: A single-flux-quantum logic prototype microprocessor, *2004 IEEE International Solid-State Circuits Conf.*, pp. 298–529 (2004).
- [21] Tanaka, M., Kondo, T., Nakajima, N., Kawamoto, T., Yamanashi, Y., Kamiya, Y., Akimoto, A., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H., Hashimoto, Y. and Yorozu, S.: Demonstration of a single-flux-quantum microprocessor using passive transmission lines, *IEEE Trans. Appl. Supercond.*, Vol. 15, No. 2, pp. 400–404 (2005).
- [22] Yamanashi, Y., Tanaka, M., Akimoto, A., Park, H., Kamiya, Y., Irie, N., Yoshikawa, N., Fujimaki, A., Terai, H. and Hashimoto, Y.: Design and implementation of a pipelined bit-serial SFQ microprocessor, CORE1 β , *IEEE Trans. Appl. Supercond.*, Vol. 17, No. 2, pp. 474–477 (2007).
- [23] Fujimaki, A., Tanaka, M., Yamada, T., Yamanashi, Y., Park, H. and Yoshikawa, N.: Bit-serial single flux quantum microprocessor CORE, *IEICE Trans. Electron.*, Vol. E91-C, No. 3, pp. 342–349 (2008).
- [24] Tanaka, M., Hayakawa, Y., Takata, K. and Fujimaki, A.: 35-GHz demonstration of energy-efficient microprocessor based on low-voltage RSFQ circuit, *Applied Supercond. Conf.*, Charlotte, NC, USA (2014).
- [25] Ando, Y., Sato, R., Tanaka, M., Takagi, K., Takagi, N. and Fujimaki, A.: Design and demonstration of an 8-bit bit-serial RSFQ microprocessor: CORE e4, *IEEE Trans. Appl. Supercond.*, Vol. 26, No. 5, p. 1301205 (2016).
- [26] Nagasawa, S., Hinode, K., Satoh, T., Hidaka, M., Akaike, H., Fujimaki, A., Yoshikawa, N., Takagi, K. and Takagi, N.: Nb 9-layer fabrication process for superconducting large-scale SFQ circuits and its process evaluation, *IEICE Trans. Electron.*, Vol. E97.C, No. 3, pp. 132–140 (2014).
- [27] Tolpygo, S., Bolkhovskiy, V., Weir, T., Wynn, A., Oates, D., Johnson, L. and Gouker, M.: Advanced fabrication processes for superconducting very large scale integrated circuits, *IEEE Trans. Appl. Supercond.*, Vol. 26, p. 1100110 (2016).
- [28] 石田浩貴, 田中雅光, 小野貴継, 井上弘士: 単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索, 情報処理学会論文誌, Vol. 58, No. 3, pp. 629–643 (2017).
- [29] Filippov, T. V., Sahu, A., Kirichenko, A. F., Vernik,

- I. V., Dorojevets, M., Ayala, C. L. and Mukhanov, O. A.: 20 GHz operation of an asynchronous wave-pipelined RSFQ arithmetic-logic unit, *Phys. Procedia*, Vol. 36, pp. 59–65 (2012).
- [30] 田中雅光：デバイス／回路／アーキテクチャの協創による超伝導超高速マイクロプロセッサ, 情報処理学会研究報告, ARC2018-223, Vol. 2018-ARC-231, 山形市, pp. 1–6 (2018).
- [31] Akaike, H., Yamada, T., Fujimaki, A., Nagasawa, S., Hinode, K., Satoh, T., Kitagawa, Y. and Hidaka, M.: Demonstration of a 120 GHz single-flux-quantum shift register circuit based on a 10 kA cm⁻² Nb process, *Supercond. Sci. Technol.*, Vol. 19, No. 5, pp. S320–S324 (2006).
- [32] Takagi, K., Tanaka, M., Iwasaki, S., Kasagi, R., Kataeva, I., Nagasawa, S., Satoh, T., Akaike, H. and Fujimaki, A.: SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layer Structure, *IEEE Trans. Appl. Supercond.*, Vol. 19, No. 3, pp. 617–620 (2009).
- [33] Yorozu, S., Kameda, Y., Terai, H., Fujimaki, A., Yamada, T. and Tahara, S.: A single flux quantum standard logic cell library, *Physica C*, Vol. 378, pp. 1471–1474 (2002).
- [34] Brent, R. P. and Kung, H. T.: A Regular Layout for Parallel Adders, *IEEE Trans. Comput.*, Vol. C-31, No. 3, pp. 260–264 (1982).
- [35] HYPRES, Inc.: Niobium Integrated Circuit fabrication process design rules, (online), available from (<http://www.hypres.com/>) (accessed 2017-11-24).
- [36] Akaike, H., Tanaka, M., Takagi, K., Kataeva, I., Kasagi, R., Fujimaki, A., Takagi, K., Igarashi, M., Park, H., Yamanashi, Y., Yoshikawa, N., Fujiwara, K., Nagasawa, S., Hidaka, M. and Takagi, N.: Design of single flux quantum cells for a 10-Nb-layer process, *Physica C*, Vol. 469, No. 15-20, pp. 1670–1673 (2009).
- [37] Yamanashi, Y., Kainuma, T., Yoshikawa, N., Kataeva, I., Akaike, H., Fujimaki, A., Tanaka, M., Takagi, N., Nagasawa, S. and Hidaka, M.: 100 GHz demonstrations based on the single-flux-quantum cell library for the 10 kA/cm² Nb multi-layer process, *IEICE Trans. Electron.*, Vol. E93-C, No. 4, pp. 440–444 (2010).
- [38] Tanaka, M., Kitayama, A., Takinami, T., Komura, Y. and Fujimaki, A.: Bit error rate in low-voltage RSFQ circuits with small critical currents/lowered bias voltages, *2013 IEEE 14th International Superconductive Electronics Conference (ISEC)*, pp. 1–3 (2013).
- [39] Tanaka, M., Kitayama, A., Koketsu, T., Ito, M. and Fujimaki, A.: Low-energy consumption RSFQ circuits driven by low voltages, *IEEE Transactions on Applied Superconductivity*, Vol. 23, No. 3, pp. 1701104–1701104 (2013).
- [40] Kadin, A. M., Mancini, C. A., Feldman, M. J. and Brock, D. K.: Can RSFQ logic circuits be scaled to deep submicron junctions?, *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 1050–1055 (2001).
- [41] 荻原宏康：低温工学論：超伝導技術を支えるもの, 東京電機大学出版局, 東京 (1999).