

3次元積層LSIシステムのための簡易的な通信方式エミュレータの構築

新井 健太[†] 大川 猛^{††} 大津 金光^{††} 横田 隆史^{††} 菊地 克弥[‡] 青柳 昌宏[‡]

[†]宇都宮大学工学部情報工学科

^{††}宇都宮大学大学院工学研究科情報システム科学専攻

[‡]産業技術総合研究所ナノエレクトロニクス研究部門

1 はじめに

複数のLSIチップを積層することで、LSIシステムの集積度を向上させる3次元積層技術が注目されている。これは従来型の水平方向へのチップ間配線と比較して、非常に短い配線を実現出来ることから、低消費電力かつ高帯域幅なチップ間通信が期待されている [1]。しかし既存の設計技術では、システムごとに積層するチップとバス規格を設計しなければならず、設計コストが問題となる。また現状のチップ積層システムはプロセッサやメモリチップが主な積層対象であるが、今後は多種多様なチップを積層することへの要求も予想される [2]。これらを解決する方法として、異種チップの積層を可能とするバス規格の標準化が考えられる。このような規格に準拠したチップを貼り合わせ、チップ積層システムを実現する技術が今後は重要となると考えられる。

本研究の目標は、複数異種チップ積層システムのためのチップ間通信方式の実現である。この通信方式は回路レベルから検討する必要があるため、我々は積層チップ間の通信を電気信号のレベルで模擬するエミュレータの構築を行っている。本稿ではチップ積層システムの簡易的な通信方式エミュレータの構築手法と、エミュレータの通信性能の基礎評価について述べる。

2 想定するチップ積層システム

我々が想定するチップ積層システムは図1に示すように、規格化したバスインターフェースを持つ複数のLSIチップを組み合わせて、積層することで実現する。各チップにはそれぞれプロセッサやメモリ、ハードウェアエンジン、センサ、入出力、通信などの機能と、チップ間信号接続及び電源接続のためのバスインターフェースを搭載する。バスインターフェースはシリコンチップを貫通する電極であるシリコン貫通電極 TSV(Through Silicon Via) を用いて形成し、微細バンプで別チップのインターフェースと接続する [3]。バスインターフェースの周辺にはドライバ・レシーバ回路を配置し、チップ外部との通信を可能とする。TSVを採用する理由として、各チップ間で1対1の通信を行えるだけでなく、

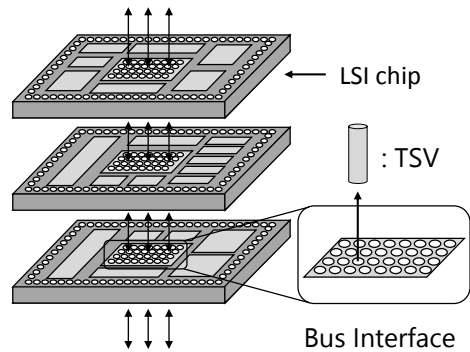


図1: 本研究が想定するチップ積層システム概念図

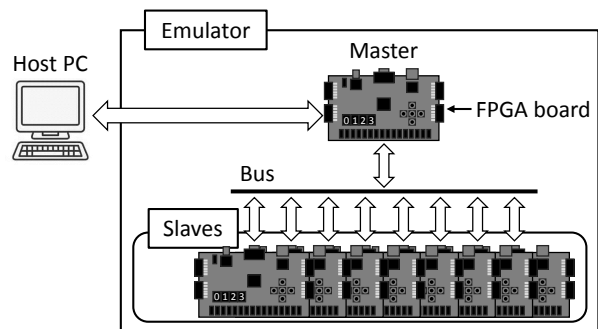


図2: FPGA基板を用いたエミュレータの構成

ブロードキャスト通信も行えることが挙げられる。これは単一データに対し、複数のチップでそれぞれ異なる処理をするような並列分散処理を行う際に、メモリアクセス時間と消費電力の面で利点となる。

3 通信方式を模擬する簡易的なエミュレータの構築

前節で述べたチップ積層システムの実現には、チップ間通信方式の検討が必要である。そのため我々は、FPGA基板を用いてチップ間通信を模擬する簡易的なエミュレータを構築した。図2にエミュレータの構成を示す。このエミュレータは複数のFPGA基板をバス方式で接続することにより実現した。マスターはエミュレータを制御するFPGA基板で、PCから操作して使用する。スレーブはマスターからの信号で制御する。FPGA基板にはDigilent社のBasys 3を、また基板間の配線にはブレッドボードを用いた。基板間の通信によって、チップ積層システムのチップ間通信を模擬する。各FPGA上には図3に示す構成の、シングルエンド信号方式と差動信号方式のドライバ・レシーバ回

Construction of simple communication method emulator for 3D stacked LSI system

[†]Kenta Arai, ^{††}Takeshi Ohkawa, ^{††}Kanemitsu Ootsu, ^{††}Takashi Yokota, [‡]Katsuya Kikuchi, [‡]Masahiro Aoyagi, Department of Information Science, Faculty of Engineering, Utsunomiya University ([†])
Department of Information Systems Science, Graduate School of Engineering, Utsunomiya University (^{††})
National Institute of Advanced Industrial Science and Technology (AIST) ([‡])

路を実装した。なお配線は、シングルエンド信号方式ではジャンパ線を、差動信号方式ではより対線を用いた。2方式の回路を実装した理由は、それぞれの方式で通信を行った場合に、通信性能がどの程度異なるのか比較するためである。

本エミュレータはどの程度の通信速度でエミュレーションを行えるのか明らかでない。そのため各FPGAに、通信性能を測定する以下の機能を実装した。

1. ランダムデータの転送
2. 転送速度の変更
3. PC への測定データの転送

これらの機能は、PC からマスタ、スレーブに対して、実行する処理をメッセージで通知することにより実現した。このメッセージは64bit のデータで、先頭8bit が上記1-3の処理の識別番号、残りを処理に必要なデータを記述する領域とした。なおこのメッセージをPC から受信したマスタは、スレーブにメッセージを転送する。メッセージの転送速度は9.6KHzとした。

上記の各機能について詳しく説明する。

機能 1. ランダムデータの転送: マスタからスレーブに対して、ランダムなデータを転送する。スレーブは受信したランダムデータのビット誤りを測定する。なお転送時間はメッセージ中に記述する。

機能 2. 転送時間の変更: 機能1でランダムデータを転送する際の転送速度を変更する機能である。転送速度はメッセージ中に記述する。

機能 3. PC への測定データの転送: 機能1でスレーブが測定したデータを、マスタを経由してPC 側に転送する。メッセージにはスレーブのIDを記述し、該当するスレーブのみが測定結果を転送する。なお予め、各スレーブには一意のIDを割り当てておく。

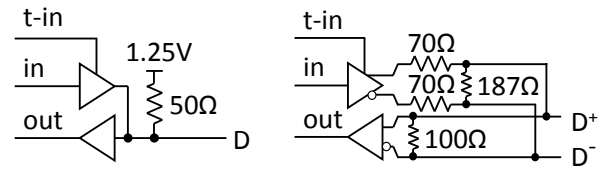
4 評価

本エミュレータがどの程度の通信速度でチップ間通信を模擬できるのかを明らかにするため、通信速度に対するビット誤りの有無で評価を行う。ビット誤りの検出に必要な通信時間は式(1)から算出される[4]。

$$t = -\frac{\ln(1-c)}{b*r} \quad (1)$$

c は信頼度、 b はビット誤り率、 r は伝送速度である。今回の測定では信頼度を0.95で、ビット誤りを 10^{-8} の精度まで測定した。伝送速度は、0.1 から100MHzまでとした。エミュレータの構成は、スレーブの台数を1, 2, 4, 8台にした場合の4通りとした。また比較のため、スレーブが1台の場合については、ブレッドボードを介さず配線した構成でも測定した。

測定結果を表1に示す。表中の○はビット誤りが検出されなかった条件である。転送速度は対数スケールで表示している。また10MHz以下の転送速度では、どの条件でもビット誤りが検出されなかったため省略している。スレーブの台数が8台までであれば、シング



(a) シングルエンド信号の場合 (b) 差動信号の場合

図 3: 各信号方式のドライバ・レシーバ回路

表 1: ビット誤りが検出されなかった評価条件

	connection method	slave	transfer speed(MHz)				
			10.0	17.8	31.6	56.2	100
Single End Signaling	no breadboard	1	○	○	○		
		1	○	○	○		
	via breadboard	2	○	○	○		
		4	○	○			
		8	○				
Differential Signaling	no breadboard	1	○	○	○	○	○
		1	○	○	○	○	○
	via breadboard	2	○	○	○	○	
		4	○	○	○		
		4	○	○			
		8	○	○			

ルエンド信号で10.0MHz、差動信号で17.8MHzの通信速度を達成した。またスレーブの台数を増やす毎に、通信性能が落ちていくことが分かった。

5 おわりに

チップ積層システムの簡易的な通信方式エミュレータの構築手法について述べ、構築したエミュレータの通信性能を評価した。9台のFPGA基板からなるエミュレータでも、差動信号を用いることで、17.8MHzの通信速度でビット誤り率 10^{-8} を下回る精度の性能を達成した。今後はチップ間通信のプロトコルについて検討する予定である。

謝辞

本研究は一部 JSPS 科研費 15K00068, 16K00068, 17K00072 の助成による。

参考文献

- [1] 井上弘士: “3次元積層プロセッサ・アーキテクチャの研究動向”, 情報処理学会研究報告, Vol. 2011-ARC-193 No.4, Apr. 2011.
- [2] Takeshi Ohkawa, et al.: “Designing Efficient Parallel Processing in 3D Standard-chip Stacking System with Standard Bus”, Proc. of IEEE 11th International Symposium on Embedded Multicore/Manycore Systems-on-Chip (MCSoc-17), pp.129-135, 2017.
- [3] 青柳昌宏ほか: “3次元IC積層実装技術の実用化への取り組み”, Synthesiology, Vol.9, No.1, pp.1-14, 2016.
- [4] “測定のイロハ(第8回) BER測定”, <https://www.anritsu-customersupport.com/Data/Sites/1/media/pdf/melmaga/201206-02.pdf>, Dec. 28, 2017 アクセス