

# 3D NAND フラッシュメモリの製造技術を用いた積層数個別設定型 NAND/NAND 論理設計法の研究

鈴木 章矢

湘南工科大学 情報工学科

## 1. はじめに

近年、DRAM の高速性能とフラッシュメモリの低コスト不揮発特性を併せ持つ新型メモリの研究が盛んである。本論文では、従来の積層型論理回路について、新しいデバイス設計法の提案を行い、それぞれの適切な深さについて算出した。

## 2. 新たに提案したデバイス設計法の回路図

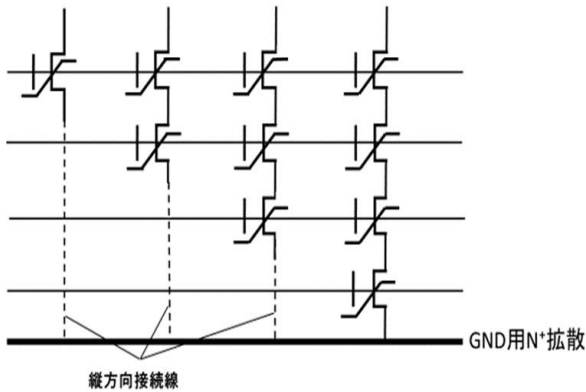


図1 低抵抗ポリシリコンによる縦方向接続方式

本論文で提案する新しいデバイス方式（低抵抗ポリシリコンによる縦方向接続方式）の概念図を図1に示す。図1では、1本のみGNDのN<sup>+</sup>拡散が1番下に走っている。これは従来方式と同じである。すべての回路が最下方にあるGNDのN<sup>+</sup>拡散に接続するため、縦方向接続線をGNDのN<sup>+</sup>拡散につなげることで実現している。

## 3. 最適設計方法

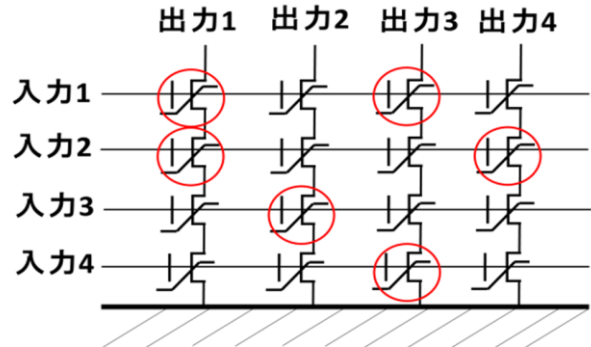


図2 最適設計前の乱数によって形成した回路

図2の回路は、最適設計前の乱数によって16個のトランジスタの中から不要なトランジスタを選んだ回路である。この回路は、不要なトランジスタの位置がまばらなため、消費電力や遅延時間の面では、非常に無駄が多い。そのため、不要なトランジスタを並べ、それを接続線として使用することで簡単な回路が出来て様々な面での効率化が見込める。

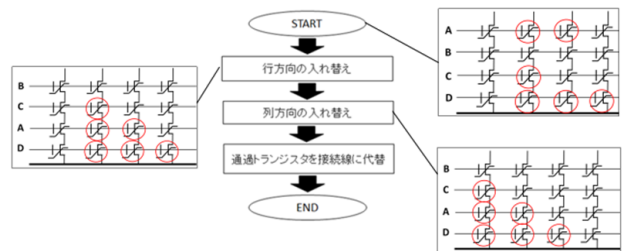
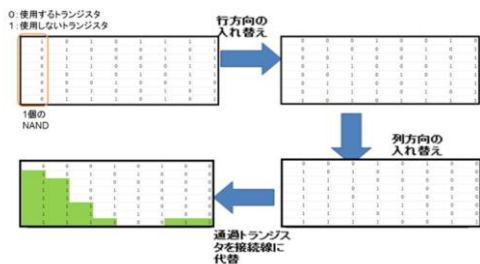


図3 回路内簡略化の手順の例（縦方向4段、横方向4列の場合）

図3は回路内簡略化の手順を示す。初めに、無造作にちりばめられた使用しないトランジスタを行ごとに整列する。下にある、GNDに近いところに不要なトランジスタ多く並べる。次に、列ごとにトランジスタを並び替える。右側に不要なトランジスタを並べる。現段階で、右下に不要なトランジスタが集合した状態になるので、不要なトランジスタを接続線に代替する。その際、連続した不要なトランジスタは一つの接続線としてまとめ、GNDから使用するトランジスタ

Study of stacked type high speed logic LSI with 3D NAND flash technology.  
Fumiya Suzuki  
Department of information science, Shonan Institute of Technology

まで上方向に接続線を伸ばす。



8段積層・8列の例、通過トランジスタの比率50%の場合

図4 回路内簡略化の手順の実装例（不要なトランジスタと必要なトランジスタの割合 1:1 縦方向8段、横方向8列の場合）

図4は回路内簡略化の実装例の手順を示す。回路内の不要なトランジスタを接続線に並べ替える。不要なトランジスタの割合を50%にすると、平均して30%が接続線になる。



図5 低抵抗ポリシリコンによる縦方向接続方式の製造プロセス

図5に低抵抗ポリシリコンによる縦方向接続方式低抵抗ポリシリコンによる縦方向接続方式の製造プロセスを示す。可変トレンチ深さ実現プロセスは多数のGND用Nを用いた方式同様に必要不可欠になる。

### 縦方向の消費電力の低減率

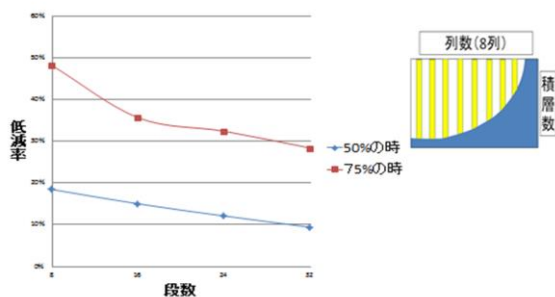


図6 縦方向の消費電力の低減率

図6は縦方向（BL方向）の消費電力の低減率を表した図を示す。回路の積層数が多くなるほど低減率は減少し、不要なトランジスタの比を大きくすることで低減率が大きくなる。

### 縦方向の遅延時間の低減率

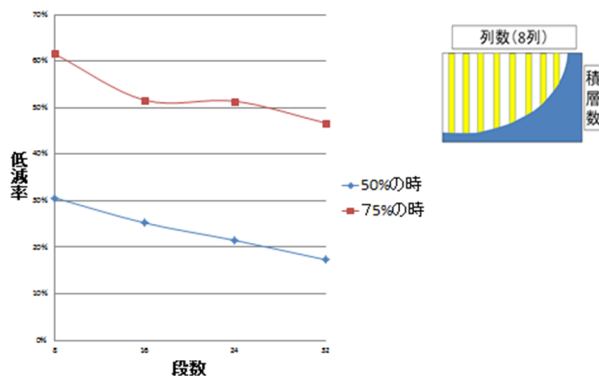


図7 縦方向の消費電力の低減率

図7は縦方向の遅延時間の低減率を表した図を示す。縦方向に段数が増えると低減率は減少し、不要なトランジスタの割合が大きくなるとその分、低減率が上がる。

## 4. まとめ

積層型 NAND/NAND 構造に適した高速・低消費電力型積層数個別設定方式を提案した。またその製造技術として可変トレンチ深さ形成技術と、高速・低消費電力特性実現に向けた通過トランジスタ配置アルゴリズムを新たに考案した。

## 参考文献

[1] 横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電子情報通信学会論文誌 C, no. 4, 2016 に掲載予定.