

# 低電力プロセッサを実現するボディバイアス制御機構の実チップ評価

奥原 颯†

Akram Ben Ahmed†

天野英晴†

†慶應義塾大学大学院理工学研究科

## 1 はじめに

高度に微細化された集積回路においては、トランジスタの性能ばらつきが課題となる。特に、ビルディングブロック型計算機システム [1] では複数のチップを一つのシステムとして集約するため、各チップに対して適切にばらつきを補正する手段が必須となる。そこで本稿では、要求される遅延に対して適切なボディバイアスを印加する、デジタル回路を基本要素としたボディバイアス制御回路 (Digitally Assisted Body bias Tuning scheme: DABT) を提案する。

## 2 DABT

図 1 にシステムアーキテクチャの概略図を示す。DABT はターゲットとなるシステム、チャージポンプ、パフォーマンスエミュレータ、放電回路、周波数・位相検出器、ウェイクアップ検出器からなる。これらの回路要素のうち、チャージポンプを除いたすべてをデジタル回路で実装することができる。

チャージポンプは電荷をキャパシタに貯めることにより電圧を生成する回路で、電源電圧より高いあるいは  $V_{SS}$  より低い電圧が要求されるリバースバイアスの生成に用いる。図 2 にチャージポンプの回路図を示す。今回の実装では VBBGEN をチャージポンプとして利用した [2]。VBBGEN の詳細な動作は当該文献を参照されたい。チャージポンプ単体では細やかな電圧制御をすることはできないが、DABT ではこれを制御するためのコントローラを持ち、要求に応じたボディバイアス出力を可能としている。これはシステムの最高動作周波数、すなわちクリティカルパスの遅延時間をパフォーマンスエミュレータによりモニタすることで実現している。出力の“CRout”はレイル-トゥ-レイルの発振信号で、クリティカルパス遅延と発振周波数が合うように設計されている。今回の実装では、図 2 にもあるように最もシンプルなリングオシレータがこれを出力しており、インバータの段数はある標準的な 5 段パイプライン MIPS の遅延をもとに決定した。パフォーマンスエミュレータと被ボディバイアス制御システム

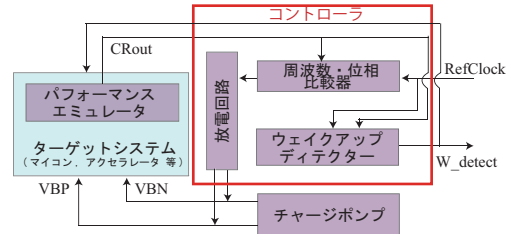


図 1: 提案手法のブロックダイアグラム

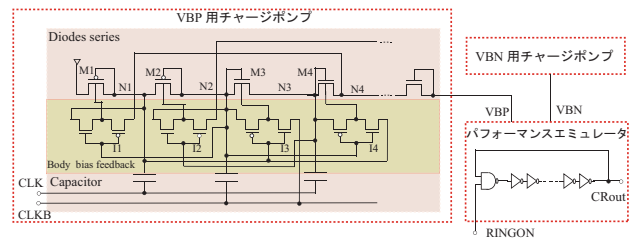


図 2: パフォーマンスエミュレータとチャージポンプの回路図

とで同じボディバイアスを共有し、パフォーマンスエミュレータの遅延を元にボディバイアスを制御する。

この“CRout”は周波数・位相比较器に入力され、“RefClock”と比較される。“RefClock”はシステムで要求される動作周波数に設定されており、“CRout”の発振周波数が“RefClock”よりも低い時、放電回路によりウェルキャパシタに貯められた電荷を放電する。逆に“CRout”の発振周波数が“RefClock”よりも高い時、放電回路は放電を止め、チャージポンプは電荷をウェルに貯め続ける。こうして、システムの遅延に応じたボディバイアス電圧を得ることができる。これらの機能を実現したコントローラの回路図を図 3 に示す。

ウェイクアップ検出器はボディバイアスが低周波数動作時/待機状態から高速な動作に切り替わる際に、システムが動作可能な状態にあるかどうかを示す信号を生成する (図 1 “W\_detect”)。図 4 にウェイクアップ検出器の回路図を示す。まず“CRout”が“RefClock”は、信号の遷移のたびにパルスを生成するエッジ検出器 [3] に入力される。Q1 は“CRout”の遷移毎に“1”にセットされ、“DRefClock”の遷移毎にリセットされる。Q1 は“DRefClock”の立ち上がりエッジ毎に Q2 にキャプチャされ、立ち下がりエッジ毎に Q3 にキャプチャされる Q。すなわち、Q2 は“DRefClock”がハイであるときに“CRout”に遷移があるとアサートされ、Q3 は“DRefClock”がローであるときに“CRout”に遷移があるとア

Real chip evaluations of a body bias tuning scheme for ultra-low power processors  
 †Hayate Okuhara †Akram Ben Ahmed †Hideharu Amano  
 †Graduate School of Science and Technology, Keio University

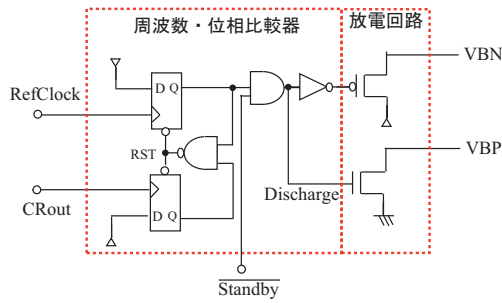


図 3: 放電回路と周波数・位相比較器

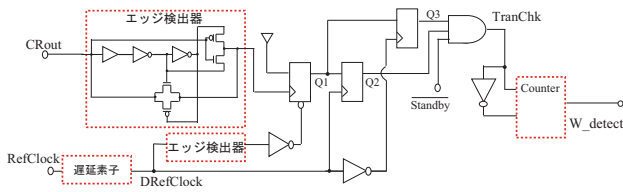


図 4: ウェイクアップ検出器

サートされる。よって“TranChk”は“CRout”が“DRefClock”一周期に2回信号が変化するとアサートする。“TranChk”が常に“1”であるならば、これは“CRout”と“RefClock”の周波数が同一であることを意味しており、この際に“W\_detect”がアサートされる。

### 3 評価

上述の回路を Renesas 社 65-nm SOTB 技術を用いて実チップ実装し、評価を行った。図 5 (a) は 0.5V の電源電圧時における DABT の動作モード時の出力電圧、(b) は電力オーバーヘッドを示している。図からもわかるように、“RefClock”の周波数を変化させることで、ボディバイアス電圧調節することができている。また、高温状態においても適切に制御することができている。そして電力オーバーヘッドに着目すると、DABT はデジタル回路で構成されているため、“RefClock”の周波数に応じて電力オーバーヘッドも単調に増加することがわかる。例えば、“RefClock”が 2MHz のときには室温で 944nW であった電力オーバーヘッドは 14MHz の際には 6.56μW まで増加している。さらに、このオーバーヘッドは温度によってさらに増加することも確認できる。しかし、それでも μW 台のオーバーヘッドに止まっている。

さらなる低電源電圧で DABT を駆動することも可能である。図 6 は電源電圧を 0.35V に設定した場合の、DABT の動作モード時の出力電圧と電力オーバーヘッドである。0.35V の電源電圧下においても DABT は入力周波数に応じてボディバイアス電圧が切り替わっており、さらに 0.5V の場合に比べて電力オーバーヘッドが大きく低減されている。例えば、0.1MHz の入力周波数のとき、電力オーバーヘッドは 0.1068μW であった。

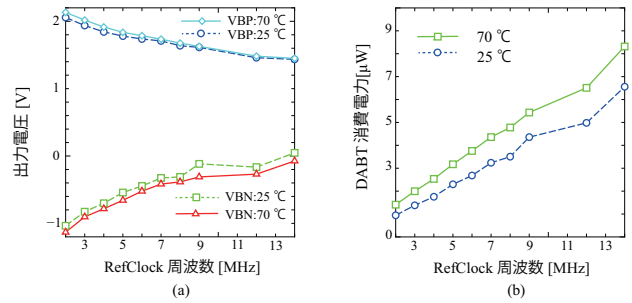


図 5:  $V_{DD}=0.5V$  の測定結果: (a) 出力電圧 (b) 電力オーバーヘッド

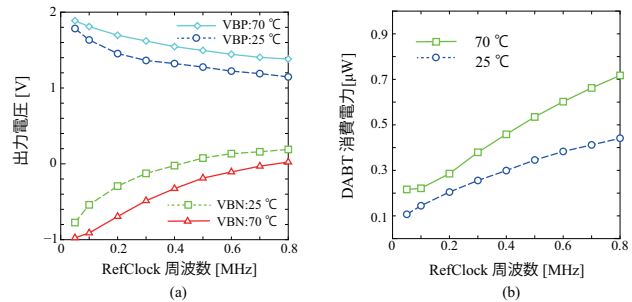


図 6:  $V_{DD}=0.35V$  の測定結果: (a) 出力電圧 (b) 電力オーバーヘッド

### 4 結論

本稿ではニアスレッシュヨルド領域で動作可能なボディバイアス制御システム DABT (Digitally Assisted automatic Body-bias Tuning) を提案した。DABT はボディバイアス制御対象回路であるクリティカルパスの遅延をモニタし、この遅延を要求する性能に合うようにボディバイアスを制御する。実際に、SOTB 65-nm プロセスで試作したチップにおいて 0.35V の電源電圧で動作を確認することができた。また、電力オーバーヘッドも数 μW 程度以下であることがわかった。

謝辞

本研究は、JSPS 科研費 (S) ビルディングブロック型計算システムに関する助成を受けたものである。

### 参考文献

- [1] 天野, 宇佐美, 近藤, 中村, 並木, 松谷. 科学研究費 S ビルディングブロック型計算システムに関する研究 HP (<http://www.am.ics.keio.ac.jp/kaken-s/>), 2018.
- [2] Hiroki Nagatomi, et. al. A 361nA Thermal Run-away Immune VBB Generator using Dynamic Substrate Controlled Charge Pump for Ultra Low Sleep Current Logic on 65nm SOTB. In *Proceedings of the SOI-3D-Subthreshold Microelectronics Technology Unified Conference*, pp. 1–2, Oct. 2014.
- [3] Bishnu Prasad Das, et. al. Frequency-Independent Warning Detection Sequential for Dynamic Voltage and Frequency Scaling in ASICs. In *IEEE Transactions on Very Large Scale Integration Systems*, pp. 2535–2548, Dec. 2014.