

ThruChip Interface を用いたコア間ネットワーク

門本淳一郎 † 宮田知輝 † 天野英晴 † 黒田忠広 †

† 慶應義塾大学大学院理工学研究科

1 はじめに

誘導結合を用いたワイヤレスチップ間接続技術である ThruChip Interface (TCI) は、積層した複数のチップ間に高速なネットワークを構築できる。TCI の利用を容易にするため、65nm SOI CMOS プロセス向けの IP コアを開発した。IP コアは、オンチップインダクタと送受信機、SerDes から成るハード IP と、ピギーバック方式の ACK 信号転送に基づくフロー制御機構を内蔵するリンクおよびルータのソフト IP から構成される。本稿では、ハード IP の回路構成とその動作、ソフト IP の実現するネットワーク構成とフロー制御について述べる。また、IP のデータ転送速度、消費電力について、実チップを用いた評価結果を示す。

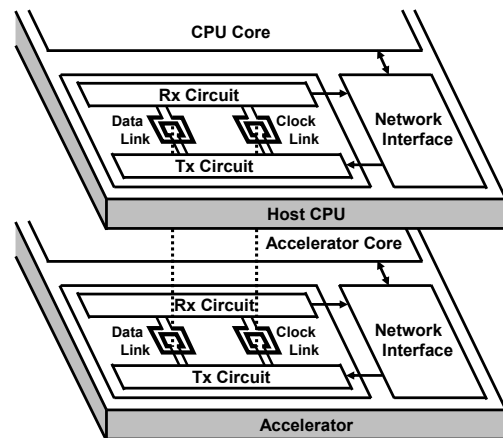


図1 TCIを用いた3-D NoC

2 ThruChip Interface (TCI)

IoT 社会の到来により、集積回路のアプリケーションは多様化しており、それぞれの目的に応じて大規模 SoC を開発することは困難になっている。そこで、単一のパッケージ内に複数のチップを積層してシステムを構築する 3-D SiP が注目を集めている [1-2]。TCI は、オンチップインダクタの誘導結合を利用して 3-D SiP を実現する無線通信技術である [2]。コイルは標準 CMOS プロセスを用いて形成するため、TSV と異なり追加の製造工程を必要としない。また、ESD 保護素子が必要ないため高速、省電力なデータ転送が可能である。加えて、チップ製造後に known-good-die のみを選定して積層することができる。TCI を利用することで、さながら LEGO ブロックを積み上げるように、ヘテロジニアスなダイを組合せて柔軟にシステムを構築することができる。本論文では、複数のダイ上に存在する PE 同士を接続した 3-D Network-on-Chips を実現するための TCI IP の構成について述べる。まず IP の I/O 回路や送受信回路全体について説明したのち、HDL で記述されたリンク層やルータ層について説明する。

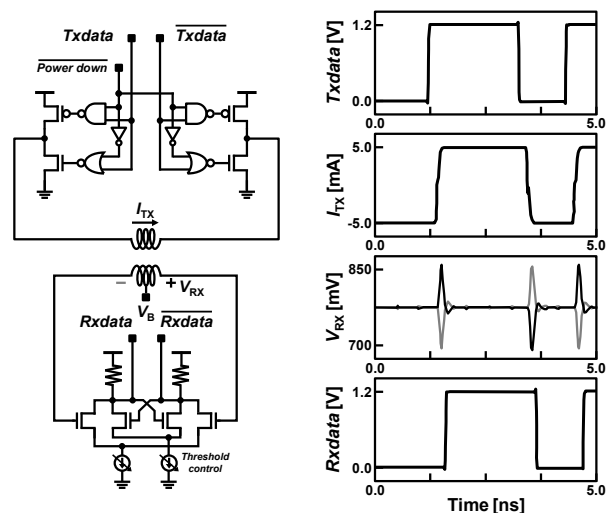


図2 TCIのI/O回路と動作波形

3 TCI IP

3.1 ハード IP

図2にI/O回路の回路図と動作波形を示す。データとクロックの送信回路には H-Bridge 送信機を用いる [2]。受信機にはヒステリシスコンパレータを用いる。H-Bridge 送信機は、データ信号の遷移に応じた向きの電流をコイルに流す。送信コイルに流れる電流に応じて、受信コイルには、パルス形状の電圧が誘起される。ヒステリシスコンパレータはこの電圧をデジタルデータに変換する。

Network-on-Chips Using ThruChip Interface
Junichiro Kadomoto†, Tomoki Miyata†, Hideharu Amano†,
and Tadahiro Kuroda†
†Faculty of Science and Technology, Keio University

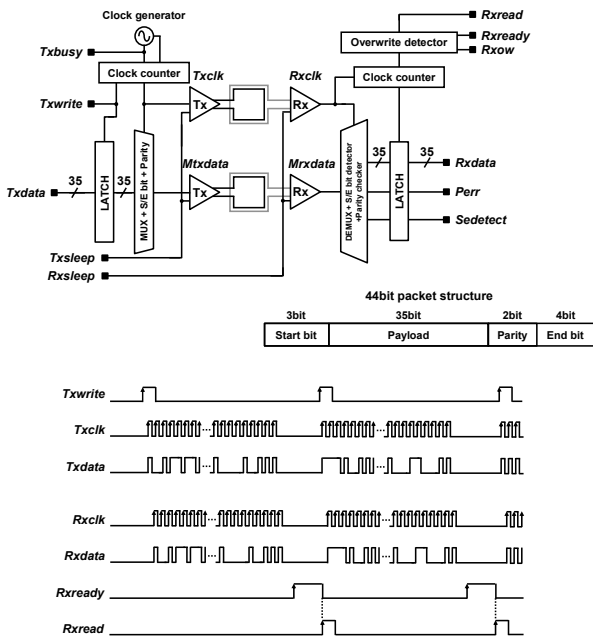


図3 TCI IP 上でのデータ転送

図3に送受信機、SerDes 回路のブロック図と動作波形を示す。パケットは44 bit から成っており、これをシリアルデータに変換して送受信する。送信側の PE は Txdata に送信データを入力したのち、Txwrite をアサートする。それに応じて Txdata がシリアライズされ、コイルを介して受信側 IP にデータが送られる。データを全て受信すると、受信側 IP は Rxready をアサートする。これを検出した受信側の PE は、データを受け取ったのち Rxread をアサートすることで、データの受信が完了したことを IP に知らせる。

3.2 ソフト IP

ソフト IP は図4に示すような、階段状の直線ネットワークを想定して記述されている。これをここではエスカレータネットワークと呼ぶ。各チップには送信用 TCI IP と受信用 TCI IP のペアが2組存在し、一組は上方向、もう一組は下方向のチップと通信をおこなう。本ネットワークでは、ACK 信号転送に基づくクレジットベースフロー制御をおこなっており、ACK 信号は逆方向リンクを利用して転送する方式を採用している。ルータは8つの仮想チャネルを持ち、一つの仮想チャネルバッファの容量は24フリットである。ここで、全ての仮想チャネルのステータスを一つのフリット内に格納することはできないため、2種類の ACK 伝達フリットを定義し、パケットのフォーマットは図5としている。

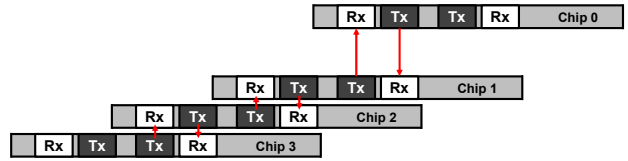


図4 エスカレータネットワーク

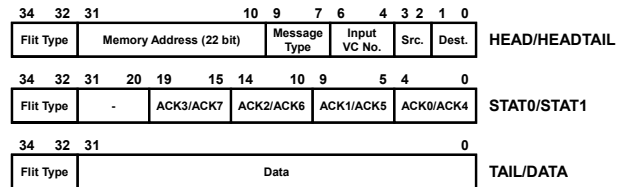


図5 パケットフォーマット

4 実験結果

Renesas SOTB 65nm CMOS (7-Metal) プロセスを用いてテストチップを製造した。データ伝送用コイルとクロック転送用コイルの大きさはそれぞれ $240\mu\text{m} \times 240\mu\text{m}$ であり、IP 全体の大きさは $500\mu\text{m} \times 410.8\mu\text{m}$ となった。テストチップを2枚積層し、チップ間で通信実験をおこなった。ここで、各チップは $80\mu\text{m}$ の厚さになるまで研削している。IP は正常に動作し、チップ間通信のデータレートは 875Mb/s 、送信機の消費電力は 72.4mW 、受信機の消費電力は 37.6mW となった。

5 おわりに

本論文では、誘導結合を用いてチップ間通信を実現する TCI の IP 化について述べた。また、開発した TCI IP の性能を実チップの測定により評価した。本 IP を利用することで、複数チップに跨るコア間ネットワークを極めて容易に構築することができる。

謝辞

本研究の一部は JSPS 科研費 (S) ビルディングブロック型計算システムに関する研究の助成を受けたものである。

参考文献

- [1] P. Vivet, *et al.*, “A $4 \times 4 \times 2$ homogeneous scalable 3D network-on-chip circuit with 326MFlit/s 0.66pJ/b robust and fault-tolerant asynchronous 3D links,” *IEEE ISSCC*, pp. 146–147, Feb. 2016.
- [2] J. Kadomoto, T. Miyata, H. Amano, and T. Kuroda, “An Inductive-Coupling Bus with Collision Detection Scheme Using Magnetic Field Variation for 3-D Network-on-Chips,” *IEEE A-SSCC*, pp. 41–44, Nov. 2016.