

ビルディングブロック型計算システムプロジェクトの報告

天野英晴¹ 宇佐美公良² 黒田忠広¹ 近藤正章³ 中村宏³ 並木美太郎⁴ 松谷宏紀¹

¹ 慶應義塾大学 ² 芝浦工業大学 ³ 東京大学 ⁴ 東京農工大学

1 はじめに

IoT、自動運転、ロボット技術などの発展により、最近のEdge用途のIT機器は、様々な機能、インタフェース、性能、消費電力を要求し、これを単一のSoC(System-on-a-Chip)で満足することは困難になっている。しかし一方で、LSIのNRE(Non-Recurrent Engineering)コストは28nm以降の先端プロセスでは膨大なものとなり、従来のように目的用途別にそれぞれ大規模なSoCを開発することは困難となってきている。

そこで、目的用途別に大規模チップを開発する代わりに、プロセッサ、メモリ、アクセラレータ、特殊ハードウェアなどを小規模な専用チップに実装し、これらのうち必要なものだけを必要な個数SiP(System-in-Package)技術を用いて組合せる手法が注目されている。中でも、誘導結合によるチップ間無線通信用インタフェースTCI(Thru-Chip Interface)は、低コストで柔軟にシステムを構築できる点が優れている。

科学研究費S「ビルディングブロック型計算システムの研究」[4]は、TCI技術を用いて、LEGOブロックのように様々な機能のチップを組合せて大規模システムを構築する技術の確立を目指し、2013年度から開始し、今年の3月に終了する。本報告では、このプロジェクトの成果をまとめて報告する。

2 プロジェクトのねらい

プロジェクトの目的は、ビルディングブロック型計算システムを構築するための、回路、システム、ソフトウェアの基本技術を確立すると共に、実際にシステムを構築してその有用性を明らかにすることである。

このためにプロジェクトを3つの段階にわけて実施した。第1段階では、TCIのIP(Intellectual Property)を開発し、容易にチップを試作可能な環境を整える。これに関連して、誘導結合により積層を行った場合の熱特性の解析、TCIを用いたネットワークの開発、誘導結合バス技術の確立など主として基本的な技術の確立を目指す。第2段階では、このIPを利用して様々な応用分野のチップを開発すると共に、省電力化手法、性能と電力の自動チューニング手法を開発する。最後に第3段階でこれを用いたシステムを数種類開発して、この上でOS、アプリケーションを動作させ、ビルディングブロック型計算システムの有用性を明らかにする。さらに評価環境を確立する。

本プロジェクトの特徴は、OS、アプリケーション、システム、回路の研究者による垂直統合である点と実

際にシステムを試作してフィードバックをかけながら研究を行っていく点である。

3 プロジェクトの成果

本報告では、プロジェクトの成果のうち主なものをピックアップし、特に本全国大会で別に発表が行われるものについて論文を参照する。本プロジェクトの成果は、あわせて100編近くの国際ジャーナルおよび国際会議で報告されており、これらについてはプロジェクトweb site[4]を参照されたい。

3.1 第1段階の成果

TCIのIPをルネサス65nmプロセスを対象に開発した[14]。このIPはインダクタとSERDESを含むハードIPの物理層だけでなく、フロー制御を含んだリンク層、パラメタライズされたルータ層から構成されており、これを装備したチップは単純に積層しただけでエスカレータ型のチップ間ネットワークを構築することができる。このIPは、VDECより公開されており、アカデミックでの利用が可能である。性能、電力を短時間で最適化する設計フローも開発されている[11]。IPを装備したチップは、3チップでのデータ交換に成功し、設計値よりもやや性能が低いものの利用可能であることが実証された。今回、開発したIPはチップ同士を1対1で結合し、インタコネクションネットワークを構築するためのものだが、TCIはインダクタの位置を合わせるによりバスを構築可能であり、本プロジェクトではTCIバスの試作を行い、バス上で衝突検出が可能であることを実証した。このことにより、CSMA/CDを含め、様々なプロトコルのバスを構築する可能性が拓けた[13]。

本全国大会では対応する発表が行われませんが、積層チップにおける熱解析は重要な課題であり、実際に発熱チップを試作して様々な解析を行った。この結果、TCIのようにチップ同士が密着した場合の熱電導は予想以上にうまく働き、本プロジェクトで実装するシステムについては熱による問題が生じる可能性はないことがわかった。一方で、将来大電力を消費するチップを積層した場合にはずらして積層した端部に熱が蓄積する可能性があることが明らかになった。熱の問題については様々な積層と液浸をふくめた様々な冷却手法に関して現在も検討中である。チップ積層においては、特にメモリ部の消費電力の抑制が大きな課題であり、これに関してはStandard Cell Memoryの利用が効果的であり、プロジェクト内で試作を行い成果が得られて

いる [6]。

3.2 第2段階の成果

開発した IP を用いて以下に示すチップを開発した。

- SNACC: ニューラルネットワーク用のアクセラレータ [2]。SIMD 型のコアを 4 セット持ち、特殊な命令で畳み込み積分を高速に行うことができる。
- CC-SOTB2: 低電力リコンフィギュラブルアクセラレータ CMA(Cool Mega Array)[8]。96 個の Processing Element を持ち、可変パイプライン構造を持つと共に、ステージ単位のボディバイアス制御が可能である。
- SMTT: 共有メモリチップ [7]。チップ上に複数のチップスタックを構築可能で、両側のスタックからの共有メモリとして動作可能である。
- KVS: Key Value Store 方式のデータベース処理用のアクセラレータ。Set, Get 処理をハードウェアで実行する。
- GC-SOTB, GeysertT: R3000 互換のホストプロセッサ。GeysertT はチップの下に 2 つのチップスタックを作って両方のホストとして動作可能である。このチップ上で組み込み OS が稼働する [1]。

これらのチップを様々な組合せで積層することで、多様な要求を満足可能なシステムを構築することができる。実現例として GeysertT に SNACC、CC-SOTB2、KVS、SMTT を組み合わせることで、AI 用の画像認識システムの構築を計画している [10]。

これらのチップを組合せるためには、性能の自動チューニング技術が重要となる。本プロジェクトではルネサス SOTB のボディバイアス調整によりこれを行う方法をソフトウェア [12] と回路技術 [5] の両面から試み、それぞれ独自の成果を得ることができた。

3.3 第3段階の成果

第1段階の試作で実装した CMA-SOTB2、GC-SOTB を除いたチップは本原稿提出時にはサブボード上に積層を行っている段階である。発表時にはこれらのチップを組み合わせたシステムを紹介する予定である。本プロジェクトでは、複数チップの組み合わせ方式、効率の良い積層方式についても提案を行い、成果をあげている [10]。

様々なチップから成るシステムを効率良く動作させるためにはソフトウェアによる実行制御機構が重要となる [1]。本プロジェクトでは OpenCL API による記述したコードをもとに全体でパイプライン処理を行う方法を提案している [9]。さらに、Zynq を利用した評価環境も構築している [3]。

4 おわりに

本報告ではプロジェクトのねらいと成果の概観を行った。個々の成果に関してはそれぞれの発表を参照され

たい。本プロジェクトを通じて、TCI をシステムで利用する場合の基本的な技術を確認し、様々なチップの実装例を通じてその有効性を示すことができた。積層システムに関しては、発表時には実際の利用例について紹介する予定である。

本プロジェクトは、TCI を利用したシステムの大きな可能性を拓くことができた。今後、DRAM との組み合わせ、ツインタワー構成以外の積層手法への拡張、実際にバスを用いたシステムの実装などがテーマとして残されており、研究の余地はまだ大きい。TCI の商用利用も含めて今後も研究を進めていく予定である。

本報告にあわせて全国大会会場ではプロジェクトの成果を展示およびデモンストレーションを行っている。ご覧いただければ幸いです。

参考文献

- [1] 並木、小柴、濱田、大城、天野: TCI 結合による計算機システム向けビルディングブロック OS について. In: 情報処理学会第 80 回全国大会 (March 2018)
- [2] 坂本、高田、近藤、中村、大久保、小島、天野: TCI を用いた 3 次元 DNN 向きアクセラレータ SNACC の設計と評価. In: 情報処理学会第 80 回全国大会 (March 2018)
- [3] 大城、濱田、小柴、天野、並木: TCI 結合された SOTB によるプロセッサのための Zynq を用いた評価環境の構築. In: 情報処理学会第 80 回全国大会 (March 2018)
- [4] 天野、宇佐美、近藤、中村、並木、松谷: 科学研究費 S ビルディングブロック型計算システムに関する研究 HP (http://www.am.ics.keio.ac.jp/kaken_s/) (2018)
- [5] 奥原、Akram、天野: 低電力プロセッサを実現するボディバイアス制御機構の実チップ評価. In: 情報処理学会第 80 回全国大会 (March 2018)
- [6] 宇佐美、吉田、天野: スタンダードセル・メモリの設計技術とビルディングブロック型計算システムへの応用. In: 情報処理学会第 80 回全国大会 (March 2018)
- [7] 寺嶋、小島、奥原、松下、安藤、並木、天野: ツインタワーのためのメモリチップ. In: 情報処理学会第 80 回全国大会 (March 2018)
- [8] 小島、安藤、天野: 可変構造パイプラインを持つ粗粒度再構成アクセラレータ CCSOTB2. In: 情報処理学会第 80 回全国大会 (March 2018)
- [9] 小柴、濱田、大城、天野、並木: OS によるマルチコアアクセラレータ上でのパイプライン並列処理の実行時制御機構. In: 情報処理学会第 80 回全国大会 (March 2018)
- [10] 松下、小島、門本、黒田、天野: マルチコア積層システム Cube-2 の実装と評価. In: 情報処理学会第 80 回全国大会 (March 2018)
- [11] 柴、宮田、門本、天野、黒田: ThruChip Interface の設計自動化. In: 情報処理学会第 80 回全国大会 (March 2018)
- [12] 濱田、小柴、大城、天野、並木: SOTB による CPU "GC-SOTB" への組み込み OS の移植とボディバイアス制御機能の試作. In: 情報処理学会第 80 回全国大会 (March 2018)
- [13] 程、宮田、門本、天野、黒田: ThruChip Interface を用いたバスにおける衝突検出. In: 情報処理学会第 80 回全国大会 (March 2018)
- [14] 門本、宮田、天野、黒田: ThruChip Interface を用いたコア間ネットワーク. In: 情報処理学会第 80 回全国大会 (March 2018)