

エラー予告ベース適応的電圧制御のMTTF考慮設計手法

増田 豊^{1,a)} 橋本 昌宜^{1,b)}

概要：製造ばらつきや経年劣化等の動的な性能変動を克服する手法として、適応的電圧制御が有望視されている。本稿ではエラー予告ベースの適応的電圧制御に着目し、その設計手法を提案する。提案手法では、電圧制御機構と電圧制御対象回路の一体最適設計を目指す。本研究の主な貢献は、(1) 制御対象回路と電圧制御機構の一体最適設計と (2) 実用時に必要な十分長い MTTF を考慮した V_{dd} 削減効果の定量的な評価である。提案設計回路の性能を定量的に評価したところ、目標の平均寿命を満足しつつ、平均動作電圧を最大 20.8% 削減した。

MTTF-aware Design Methodology of Error Prediction Based Adaptively Voltage-scaled Circuits

MASUDA YUTAKA^{1,a)} HASHIMOTO MASANORI^{1,b)}

Abstract: Adaptive voltage scaling is a promising approach to overcome manufacturing variability, dynamic environmental fluctuation, and aging. This paper focuses on error prediction based adaptive voltage scaling (EP-AVS) and proposes an MTTF-aware design methodology for EP-AVS circuits. Main contributions of this work include (1) optimization of both voltage-scaled circuit and voltage control logic, and (2) quantitative evaluation of voltage reduction for practically long MTTF. Evaluation results show that the proposed EP-AVS design methodology achieves 20.8% voltage reduction while satisfying target MTTF.

1. 序章

近年の半導体製造プロセスの微細化に伴い、回路性能のばらつきが顕在化している。このばらつきに対応するために、従来のワーストケース (worst-case; WC) 設計はプロセス、電源電圧、温度と経年劣化 (PVTa) の最悪ケースを想定し、設計時および動作時に全てのチップに PVTa マージンを付与する。しかし、性能ばらつきが顕在化により、遅延故障発生の防止に必要なマージン量が増大し、性能が大きく低下するようになった。従って、チップ毎に動作電圧や周波数を自律的に調整する手法が求められている。

遅延故障発生を防止しつつマージン量を削減する手法として、適応的電圧制御 (adaptive voltage scaling ; AVS) [1], [2], [3], [4], [5] が着目されている。図 1 に、AVS と WC 設計の動作例を示す。WC 設計は十分高い動作電圧

を設定して、一定電圧で動作する。一方、AVS では、チップが自身の速度余裕を動的に診断し、電源電圧を自律的に調整する。従って、理想的には、AVS によりチップ毎に異なる PVTa マージンが除去出来る。

AVS 手法は 2 つに大別される。第一は、故障発生を検出し、その故障を回復して再開する手法であり、代表例として Razor [1] が挙げられる。第二は、故障発生を予告し、電源電圧を調整して発生を防止する手法であり、カナリア FF[6], slack monitor[5], エラー予告 FF [7] 等が提案されている*1。両手法は、遅延故障発生を検出/予告するために、センサを回路に組み込み、センサの出力に基づいて電源電圧を調整する。従って、従来の AVS の研究 [1], [2], [3], [4], [5], [6], [7] では、センサをどこに挿入してどのように電源電圧を調整するか、という点に着目し、電圧制御機構の設計手法を議論している。従来手法の多くは、セットアップ違反を効率的に検出/予告するために、タイミングクリティカルなパスにセンサを挿入している。

一方、マージンを最小化しつつ自律動作可能な AVS を

¹ 大阪大学大学院情報科学研究科
Dept. Information Systems Engineering, Graduate School of Information Science and Technology, Osaka University

^{a)} masuda.yutaka@ist.osaka-u.ac.jp

^{b)} hasimoto@ist.osaka-u.ac.jp

*1 複数の名称が提示されているが、構造は同一である

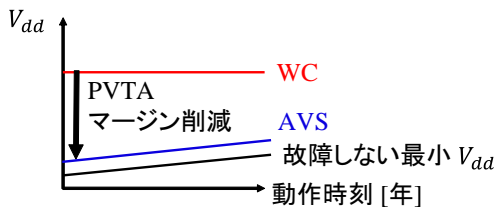


図1 AVSとWCの電圧推移.

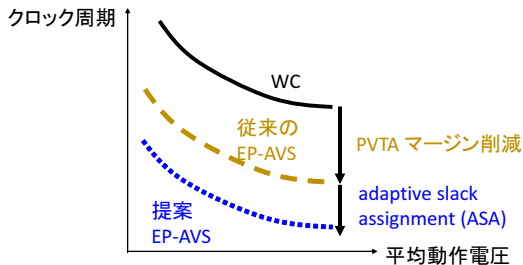


図2 提案EP-AVS設計に期待される性能向上効果.

実現するためには、電圧制御機構と電圧制御対象回路の一体最適設計が不可欠である。従来のVLSI設計は、各パスのスラックが電力と面積の削減に活用された結果、多数のクリティカルパスを持つが、遅延を削減できない本質的なクリティカルパスは限られている。本研究ではこの特徴を利用し、活性化率の高いパスに対してより大きなスラックを割り当てることを考える。この適応的なスラックの分配により、制御対象回路自身のエラー発生を抑制して性能を高めると同時に、AVSでセンサにより観測する箇所を削減出来ると期待される。

本研究では、エラー予告ベースAVS (error prediction based AVS; EP-AVS) の設計に着目し、EP-AVSの設計手法を提案する。提案設計手法は、電圧制御機構と制御対象回路の両方を対象とする。制御対象回路の設計では、adaptive slack assignment (ASA) [8] と確率的故障率見積もり手法 [9] を利用して、AVSシステムの平均故障発生時間 (mean time to failure; MTTF) を延長する設計手法を提案する。ASAでは、クロックが立ち上がる直前に入力信号が高周波で遷移するFFを、遅延故障を高い確率で起こすFFと見なし、これらのFFに対して、より大きなセットアップスラックを与える。ASAにより、遅延故障率の高いFFを削減し、センサの挿入箇所を低減できるため、EP-AVSの設計の容易化が期待される。電圧制御機構の設計については、センサによって削減が期待されるゲート故障率の総和を最大化するセンサの挿入手法を提案する。本稿では、故障率を活性化率とタイミング違反率の同時確率と定義する。提案挿入手法は、各パスの活性化情報を利用し、タイミングクリティカルかつ高周波で活性化されるFFをセンサの観測対象とする。

本研究の主な貢献は、(1) 電圧制御対象回路と電圧制御機構の一体最適設計と(2) 年単位のMTTFを制約とした、 V_{dd} 削減効果の定量的評価である。著者らの知る限り、AVSで制御対象回路と電圧制御機構の両方を設計最適化し、数年

単位のMTTFを満足した上で性能向上効果を示した研究は、本研究が初めてである。図2に、提案設計で期待する速度向上/ V_{dd} 削減効果を示す。黒色の曲線は従来のWC設計に相当し、PVTAの最悪条件を想定してマージンを付与している。黄色と青色の曲線は、制御対象回路を最適化しない従来のEP-AVSと、最適化する提案EP-AVSである。提案EP-AVSでは、従来EP-AVSと比較して、クロック周期-平均動作電圧に関して、より良いトレードオフが得られると期待する。この速度向上効果と V_{dd} 削減効果については、組み込みプロセッサと暗号回路に対する評価実験を通して後ほど議論する。

本稿の構成は以下の通りである。2章で、制御対象回路と電圧制御機構の両方を設計する提案手法について説明する。3章で、制御対象回路のMTTF考慮設計による V_{dd} 削減効果と、提案設計による速度向上/ V_{dd} 削減効果を示す。最後に、4章で結論を述べる。

2. EP-AVSの提案設計手法

提案設計手法は、制御対象回路へのASAの適用とエラー予告センサの挿入により構成される。本章ではまず、想定するEP-AVSと提案設計手法の概要を説明する。次に、ASAの適用とセンサの挿入手法について、それぞれ説明する。

2.1 想定するEP-AVS

図3に、本稿で想定するEP-AVSを示す。EP-AVS回路は制御対象回路と電圧制御機構から構成され、電圧制御機構はエラー予告FF (timing error predictive flip-flop; TEP-FF) をセンサとして用いる。TEP-FFはFF、遅延素子とXORゲートから構成される。経年劣化等によりタイミングマージンが徐々に低減すると、挿入した遅延素子の効果で、TEP-FFはメインFFよりも先に遅延故障を起こし、XORゲートは論理値"1"を出力する。この時、メインFFのスラックが十分大きくないと判断し、電源電圧を昇圧する。また、XORの出力信号(エラー予告信号)を一定期間観測して、論理値"1"が出力されなかった場合は、メインFFが十分大きなスラックを持っているとして降圧する。本稿では動作周波数を固定し、電源電圧により回路速度を調整する。このAVSにより、各チップが動作環境や経年劣化に応じて自律的に動作電圧を調整し、マージンを最小化した動作が期待できる。

2.2 提案EP-AVSの概要と設計手法の定式化

本稿で提案するEP-AVSの設計手法は、制御対象回路へのASAの適用とTEP-FFの挿入により構成される。

図4にASAのコンセプトを示す。従来の回路設計フローでは、消費電力と面積を削減するために、クリティカルパス以外のパスに含まれるセルを、より小さな/高 V_{th} セルに置き換える。従って、多くのパスのタイミングマージンが削減され、MTTFを悪化させる。一方、図4に示すよう

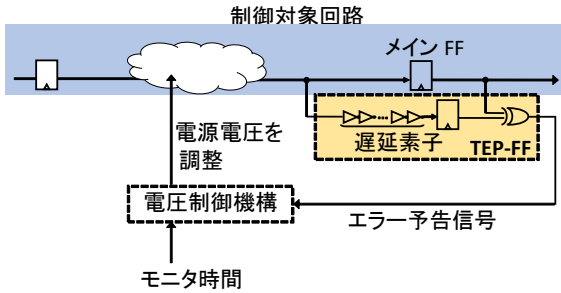


図3 想定する EP-AVS.

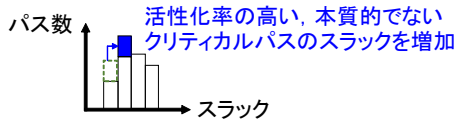


図4 ASA のコンセプト.

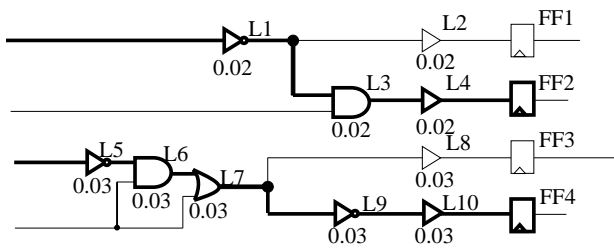


図5 ASA 対象 FF の選択例.

に, ASA は, 活性化率の高い本質的でないクリティカルパスのスラックを増加させる. ここで, 回路内のパス数は膨大であるため, パス単位の ASA は非効率である. 従って, 本研究では [8] の手法を利用し, FF 毎に ASA を行う. ASA 適用後は, スラックが増加した FF は遅延ばらつき時であっても遅延故障を起こしにくいいため, MTTF を増加できると期待できる.

次に, ASA と TEP-FF の挿入から構成される EP-AVS の設計手法を, 最適化問題として定式化する.

- 目的関数
 - Minimize : V_{dd}
- 変数
 - $TEP_i (1 \leq i \leq N_{FF})$
 - $ASA_i (1 \leq i \leq N_{FF})$
- 制約条件
 - $MTTF \geq MTTF_{const}$
 - $N_{TEP} (= \sum_{i=1}^{N_{FF}} TEP_i) = N_{TEP}^{max}$
 - $N_{ASA} (= \sum_{i=1}^{N_{FF}} ASA_i) = N_{ASA}^{max}$

この最適化問題は, 電力最小化のために動作電圧 V_{dd} を最小化する. 変数は TEP_i と ASA_i の 2 種類である. TEP_i は TEP-FF が i 番目の FF に挿入される時に 1, それ以外で 0 を取るバイナリ変数であり, ASA_i は i 番目の FF に ASA が適用される時に 1, それ以外で 0 を取るバイナリ変数である. また, 最適化問題は 2 つの制約条件を持つ. 第一の制約条件では MTTF の下限として $MTTF_{const}$ を与える. 第二の制約条件では面積オーバーヘッドの上限を設定するために, TEP-FF の挿入数と ASA を適用する FF の数に上限

を与える. TEP-FF の挿入数の上限として N_{TEP}^{max} , ASA を適用可能な FF 数の上限として N_{ASA}^{max} をそれぞれ与える.

提案設計手法は, この最適化問題を 2 段階の処理で解く. まず制御対象回路に ASA を適用し, ASA_i を決定する. 次に TEP-FF の挿入箇所 (TEP_i) を決定する. 次節から, 上記の 2 つの処理について説明する.

2.3 第一段階: 制御対象回路への ASA の適用

[8] の手法を用いて制御対象回路に ASA を適用する. 本節では, [8] の ASA 手法を簡単に説明する. [8] では, 整数線形計画法 (integer linear programming; ILP) を用いて, 上流ゲートの故障率の総和が最大となる FF 組をスラックを増やすべき FF として ASA_i を決定する.

図 5 に, 10 個の組み合わせ論理セルと 4 個の FF から構成される回路を示す. 各ゲートの下に記載されている値は, FF の故障率から算出されたゲートの故障率である. この算出方法については次節で詳述する. $N_{ASA} = 2$ の例では, 最も有望な FF 組は FF2 と FF4 である. 図 5 のように, FF2 と FF4 のスラックを増加すると, L1, L3, L4, L5, L6, L7, L9, L10 の 8 つのゲートのスラックが増加する. この場合, これらの 8 つのゲート遅延がばらついた場合であっても, 増加したスラックにより遅延故障発生が防止できる. 従って, $0.21 (= 0.02 + 0.02 + 0.02 + 0.03 + 0.03 + 0.03 + 0.03 + 0.03)$ だけ故障率を削減出来る. 一方, ゲートの故障率の総和の降順として, FF3 と FF4 を選択した場合は, L5, L6, L7, L8, L9, L10 のスラックのみが増加するため, 故障率の削減は $0.18 (= 0.03 \times 6)$ に留まる. 従って, 前者の方が MTTF を延長できると期待される.

ASA_i 決定後, [8] は (1) i 番目の ASA 対象 FF のセットアップ制約を $\Delta setup_i$ 増加して, ECO (engineering change order) 再合成により設計を更新し, (2) 厳しくした制約を元に戻す. この FF 単位の ASA により, i 番目の FF を終端とするパスに $\Delta setup_i$ 以上のスラックを付加する. なお, 本質的なクリティカルパスの終端 FF が ASA 対象として選択された場合, このパスの遅延は削減されない. $\Delta setup_i$ については, [8] は簡単化のため ECO 後にセットアップ制約を満足可能な最大値を選択する.

2.4 第二段階: TEP-FF の挿入

EP-AVS が機能するためには, エラーの見逃しを防ぐため TEP-FF が適当な頻度でエラー予告信号を出力する必要がある. そのため, 活性化率が高い FF が TEP-FF の挿入に適している. また, タイミングスラックの小さい FF の方が, TEP-FF がエラー予告に必要とする遅延素子量が少なく, TEP-FF の挿入時の面積オーバーヘッドが少ない. 遅延故障率の高い FF は, 上記の両方の要件を満足している. そこで, 本研究では, MTTF を最大限高めるために, 図 5 に例示した, ゲートの故障率の総和を最大限削減し得る FF 組を, TEP-FF の挿入先として選定した. 提案挿入手法は, FF の遅延故障率を算出し, ILP を解いてゲートの故障

率の総和を最大化する FF 組を求める。以降では、最初に ILP 問題への定式化、その後 FF の故障率の算出方法を説明する。

提案手法は、ゲートの故障率の総和を最大限する FF 組を選択する。本研究ではこの FF 選択問題を厳密に解くために、以下のように ILP 問題として定式化した。

- 目的関数
 - Maximize : $\sum_{k=1}^{N_{gate}} (gate_fail_k \times gate_k)$
- 制約条件
 - $0 \leq gate_k \leq 1 \quad (1 \leq k \leq N_{gate})$
 - $0 \leq TEP_i \leq 1 \quad (1 \leq i \leq N_{FF})$
 - $\sum_{i=1}^{N_{FF}} TEP_i \leq N_{TEP}$
 - $gate_k \leq \sum_{i=1}^{N_{FF}} (TEP_i \times FF_gate_{i,k})$
- 変数
 - $TEP_i \quad (1 \leq i \leq N_{FF})$

回路内のゲートと FF の総数をそれぞれ N_{gate} , N_{FF} とする。この整数線形計画問題は、 $(gate_fail_k \times gate_k)$ の総和の最大化を目的とする。 $gate_fail_k$ は、 k 番目のゲートの故障率を表す。 $gate_k$ は、 k 番目のゲートが対象 FF を終端とするいずれかのパスに含まれる場合 1、いずれにも含まれない場合 0 をとるバイナリ変数である。つまり、 $gate_fail_k \times gate_k$ の総和は、削減された故障率の総和を表す。本問題では、バイナリ変数 FF_i に対して、 i 番目の FF が対象 FF に含まれる時のみ 1 を与える。

第一、第二の制約条件により、 $gate_k$ と FF_i をバイナリ変数として扱うことが出来る。第三の制約は TEP-FF の挿入数が N_{TEP} 以下であることを意味する。第四の制約は $gate_k$ と FF_i の関係を表す。 $FF_gate_{i,k}$ は回路構造により決定されるバイナリ変数であり、 k 番目のゲートが i 番目の FF を終端とするいずれかのパスに含まれる場合 1 をとる。 $gate_k$ は FF_i と $FF_gate_{i,k}$ の積が、全ての FF に対して 0 の時のみ 0 を取る。一方、もし k 番目のゲートが対象 FF を終端とするパスに含まれる場合、 FF_i と $FF_gate_{i,k}$ の積のいずれかは必ず 1 になる。この場合、 $gate_k$ は 0 でも 1 でも制約は満足するが、目的関数で $(gate_fail_k \times gate_k)$ の最大化を目指しているため、 $gate_k$ は必ず 1 となる。

次に、FF の遅延故障率 FF_fail_i の算出手法を説明する。本研究は、 FF_fail_i を、FF の活性化率とタイミング違反率の同時確率とする。タイミング違反率は [9] と同様に統計的静的タイミング解析 (statistical static timing analysis; SSTA) から算出し、活性化率は論理シミュレーションから取得する。前節の $gate_fail_k$ を FF_fail_i を用いて以下の式で算出する。

$$gate_fail_k = \max \left\{ \frac{FF_fail_i}{\sum_{k=1}^{k_{max}} (FF_gate_{i,k})} \right\} \quad (1 \leq i \leq N_{FF}). \quad (1)$$

式 (1) は、ある FF を終端とするパスに含まれるゲートが、その FF の故障率に等しく貢献する、という仮定に基づいている。ゲートが、複数の FF を終端とするパスに含まれる場合を考慮するために、max 演算を行っている。

3. 評価実験

3.1 評価環境

本研究では、ASA 前回路として Advanced Encryption Standard (AES) 暗号回路と OR1200 OpenRISC プロセッサを用いた。両回路の RTL ネットリストを NanGate 45nm Open Cell Library と商用ツールを用いて論理合成し、評価に用いた。OpenRISC 内の SRAM として、スタンダードセルメモリ [10] を用いた。OpenRISC の合成後ネットリストは 871,000 個の組み合わせ論理セル、589,800 個のラッチと 2,500 個の FF を持ち、AES は 16,470 個の組み合わせ論理セルと 530 個の FF から構成される。本評価では 2.3, 2.4 節の ILP を解くにあたって、Gurobi Optimizer 7.0 を用いた。このソルバを、OS が Red Hat Enterprise Linux 6 で 1024 GB のメモリを搭載した、2.4 GHz Xeon CPU マシンで実行した。実行時間は最大 2 秒であった。

有意な MTTF の算出には、現実的な遅延ばらつきの考慮が不可欠である。本評価では以下のばらつきを考慮した。

- 電源ノイズ：-50mV から +50mV までランダムに変動。
- 製造ばらつき：チップ内ランダムばらつきとチップ間グローバルばらつきの和で表現。両ばらつきの要因として、NMOS, PMOS トランジスタの閾値電圧とゲート長のばらつきを想定し、チップ内ばらつきでは NMOS, PMOS の閾値電圧の標準偏差を 30 mV、ゲート長の標準偏差を 2nm とした。チップ間ばらつきでは、NMOS, PMOS を 30 mV、ゲート長を 1nm とした。
- NBTI 劣化：[12] の実測劣化データに、T/D モデル ([11]) でフィッティングし、劣化特性を得た。劣化状態として、0 mV, 0.5 mV, 1 mV, 5 mV, 10 mV と 15 mV の 6 状態を用意した。状態数の十分性については今後の検討課題の一つである。

本評価では、ゲート遅延のばらつきの確率密度関数を生成し、[13] に代表される感度ベースの SSTA を実行した。各パスの遅延ばらつきの確率密度関数を Matlab2016b を用いて積分し、タイミング違反率を算出した。

OpenRISC のワークロードとして、MIBenchmark[14] から CRC32, SHA1, Dijkstra の 3 プログラムと 30 種類の入力データパターン (計 90 ワークロード) を用いた。AES のワークロードとして、1,000 種類のランダムテストパターンを用いた。図 6 に AES と OpenRISC の各 FF の活性化率の分布を示す。OpenRISC では活性化率が低く、分布が広がっているため、ASA がより効果的であると予想できる。

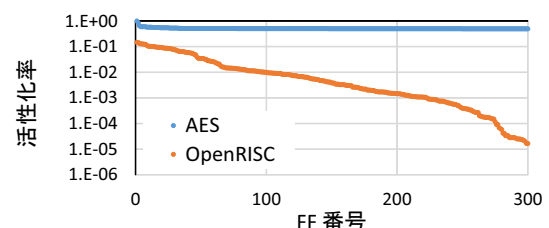


図 6 FF の活性化率



図7 クロック周期と電源電圧のトレードオフ曲線. (a) OpenRISC, (b) AES.

本評価では、 $MTTF_{const}$ を 1.00×10^{17} サイクルとした。これは、OpenRISC で 3.3 年、AES で 1.6 年の MTTF に相当する。次に、AES と OpenRISC に対して ASA を適用した。面積オーバーヘッドの制約として AES で 6.0%、OpenRISC で 1.0% をそれぞれ与えて、 $N_{ASA}^{max} = 90, 150$ をそれぞれ設定した。その後、ASA を適用した制御対象回路に TEP-FF を挿入した。TEP-FF 挿入の面積オーバーヘッドの制約を両回路共に 1.0% とし、 N_{TEP}^{max} を AES で 18、OpenRISC で 13 に設定した。TEP-FF 挿入時には、TEP-FF 内の遅延素子量を設定する必要がある。本研究では、100mV の電源ノイズによる遅延変動量に相当する遅延素子を挿入した。より良い遅延素子量の検討は今後の課題とする。

PVTa ばらつき下での MTTF と平均動作電圧を故障率見積もり手法 [9] により評価した。本評価では、EP-AVS のモニタ時間を 10^6 サイクルに設定した。つまり、 10^6 サイクルの間エラー予告信号が立ち上がらなかった際に、電源電圧を降圧するものとした。このモニタ時間は OpenRISC で 1ms、AES で 0.5ms にそれぞれ対応し、既存の電圧レギュレータ [15] の応答時間 ($1.6 \mu s$) と比較して十分長い。電源電圧として、1.20V から 0.80V まで 50mV 刻みで 9 種類を設定し、クロック周期は AES で 300ps から 800ps まで、OpenRISC で 600ps から 2000ps までスイープした。

3.2 評価結果

3.2.1 提案設計による、速度向上効果と V_{dd} 削減効果

図 7 に、 $MTTF_{const} = 1.00 \times 10^{17}$ サイクルの制約下での、最小平均動作電圧とクロック周期のトレードオフの評価結果を示す。黒色のプロットは従来の WC 設計、黄色と青色がそれぞれ、制御対象回路を最適化しない従来の EP-AVS と、最適化する提案 EP-AVS に対応する。ここで、従来の EP-AVS では 2.4 節の手法に基づき TEP-FF を挿入している。本項では、評価結果を以下の 2 つの観点から議論する; (1) 提案 EP-AVS により得られた V_{dd} 削減効果と速度向上効果、(2) 提案 EP-AVS と従来の EP-AVS の性能差。

まず、黒色と青色のプロットを比較する。図 7 より、提案 EP-AVS は目標の MTTF を満足しつつ、平均動作電圧とクロック周期を削減している。例えば、図 7(a) より、

OpenRISC では、クロック周期 1040ps において、従来の WC 設計は 1.20V 動作を要する一方、提案 EP-AVS は 0.95V で動作する。これは、20.8% の V_{dd} 削減効果に相当する。同様に、図 7(b) より、AES では、クロック周期 390 ps において、提案 EP-AVS は 1.11 V で目標の MTTF を達成し、7.5% の V_{dd} 削減効果を達成している。クロック周期の削減に注目すると、OpenRISC では 0.8V において 1910ps から 1260ps に (図 7(a))、AES では 0.8V において 720ps から 580ps に減少して (図 7(b))、それぞれ 34.0%、19.5% の速度向上効果を達成している。提案 EP-AVS の設計に要した面積オーバーヘッドは AES で 7.0%、OpenRISC で 1.4% であった。

次に、従来の EP-AVS と提案 EP-AVS を比較した。図 7 より、提案 EP-AVS は従来の EP-AVS から更に性能が向上している。例えば、提案 EP-AVS は、0.80V において、OpenRISC ではクロック周期を 1560ps から 1260ps に、AES は 610ps から 580ps に減少し、それぞれ 15.7% と 4.3% の速度向上効果を上積みしている。この上積みは ASA によるものであり、制御対象回路と電圧制御機構の一体最適化から更なる性能向上を享受できることを実験的に示している。ここで、図 6 に示すように、AES では多くの FF が活性化されており、セットアップスラックが 0 もしくは 0 付近の FF が高い故障率を持つ。これにより、AES の方が、OpenRISC に比べて ASA の効果が低くなっている。

3.2.2 ASA 後の PVTa マージン削減

次に、EP-AVS の PVTa マージン削減効果について議論する。ASA のみ適用した回路と提案 EP-AVS の性能を比較し、EP-AVS の性能向上効果が ASA により増大しているか評価する。図 8 に、OpenRISC での評価結果を示す。緑色のプロットが ASA のみ適用して WC で動作させた回路、青色が提案 EP-AVS である。図 8 より、0.8V において、提案 EP-AVS がクロック周期を 1620ps から 1260ps に減少させ、速度を 22.2% 向上していることが分かる。この速度向上効果は、前項の図 7(a) の 18.3% よりも大きい。以上より、ASA 適用後、EP-AVS が PVTa マージンをより多く削減していることを実験的に確認した。

ASA と EP-AVS が相乗的に性能を向上した要因として、

ASAによる、故障率と故障FF数の削減が考えられる。図9に、AESとOpenRISCにおけるFFの故障率を示す。ASA適用により、故障率と故障FF数が大きく減少していることが分かる。例えば、故障FF数はOpenRISCで92個から13個、AESで261個から187個に削減されている。これらの削減は、ASA後のTEP-FFの挿入を効率化し、挿入時の性能向上効果を高め得る。従って、ASAにより性能を向上しつつ、TEP-FF挿入を容易化できると考えられる。

3.2.3 故障率を考慮した、提案TEP-FF挿入手法の効果

最後に、FFの故障率を考慮してTEP-FFを挿入する効果について議論する。提案手法と、従来のスラックの降順でTEP-FFを挿入する手法で性能を比較した。図10に、OpenRISCでの比較結果を示す。本評価ではモニタ時間を 10^9 サイクルとした。図10より、提案手法が従来手法よりも長いMTTFを達成していることが分かる。また、従来手法が目標のMTTFを達成していないことも読み取れる。

4. 結論

本研究では、エラー予告ベース適応的電圧制御(EP-AVS)に着目し、電圧制御機構と電圧制御対象回路の一体最適設計手法を提案した。MTTFと平均動作電圧を定量的に評価したところ、提案設計回路は20.8%の V_{dd} 削減効果を達成した。

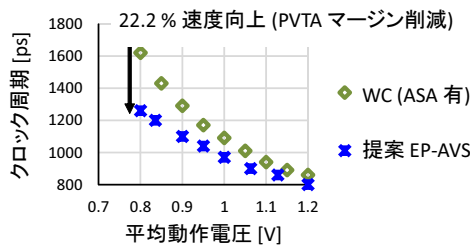


図8 ASA後の、EP-AVSによるPVTAマージン削減効果。

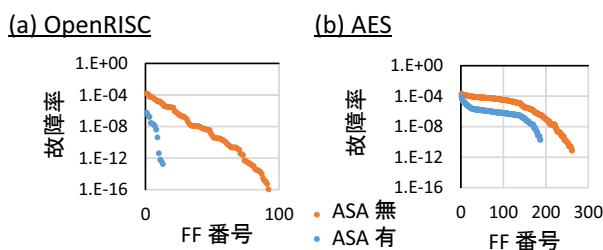


図9 ASA適用前後のFFの故障率。(a) OpenRISC, (b) AES。

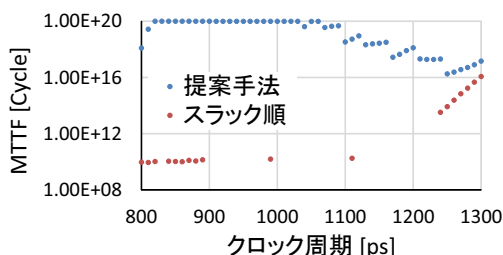


図10 スラック順と提案TEP-FF手法でのMTTF比較結果。

謝辞

本研究はSTARCとの共同研究による。また、一部アイコム財団による研究助成に基づく。

参考文献

- [1] S. Das et. al, "A self-tuning DVS processor using delay-error detection and correction," *IEEE Journal Solid-State Circuits*, vol.41, pp.792-804, 2006.
- [2] K. A. Bowman et. al, "A 45nm resilient microprocessor core for dynamic variation tolerance," *IEEE Journal Solid-State Circuits*, vol. 46, no. 1, pp.194-208, 2011.
- [3] M. Fojtik et. al, "Bubble Razor: Eliminating timing margins in an ARM Cortex-M3 Processor in 45 nm CMOS using architecturally independent error detection and correction," *IEEE Journal of Solid-State Circuits*, vol.48, no.1, pp.66-81, 2013.
- [4] S. Kim et. al, "Variation-tolerant, ultra-low-voltage microprocessor with a low-overhead, within-a-cycle in-situ timing-error detection and correction technique," *IEEE Journal of Solid-State Circuits*, vol.50, no.6, pp.1478-1490, 2015.
- [5] A. Benhassain et. al, "Timing in-situ monitors: Implementation strategy and applications results," *Proc. CICC*, pp.1-4, 2015.
- [6] T. Sato et. al, "A simple flip-flop circuit for typical-case designs for DFM," *Proc. ISQED*, pp. 539-544, 2007.
- [7] H. Fuketa et. al, "Adaptive performance compensation with in-situ timing error predictive sensors for subthreshold circuits," *IEEE Trans. VLSI Systems*, vol.20, no.2, pp.333-343, 2012.
- [8] Y. Masuda et. al, "Critical path isolation for time-to-failure extension and lower voltage operation," *Proc. ICCAD*, 2016.
- [9] S. Iizuka et. al, "Stochastic timing error rate estimation under process and temporal variations," *Proc. ITC*, 2015.
- [10] A. Teman et. al, "Controlled placement of standard cell memory arrays for high density and low power in 28nm FD-SOI," *Proc. ASP-DAC*, pp. 81-86, 2015.
- [11] B. J. Velamala et. al, "Compact modeling of statistical BTI under Trapping/De-trapping," *IEEE Trans. Electron Devices*, vol.60, no.11, pp.3645-3654, 2013.
- [12] H. Awano et. al, "Variability in device degradations: Statistical observation of NBTI for 3996 transistors," *Proc. ESSDERC*, pp.218-221, 2014.
- [13] C. Visweswariah, K. Ravindran, K. Kalafala, S. G. Walker and S. Narayan, "First-order incremental block-based statistical timing analysis," in *Proc. DAC*, pp. 331-336, 2004.
- [14] M. R. Guthaus, et.al., "Mibench: A free, commercially representative embedded benchmark suite," in *Proc. IEEE Workshop on Workload Characterization*, 2001.
- [15] Y. Li et. al, "A 0.45-to-1.2-V fully digital low-dropout voltage regulator with fast-transient controller for near/subthreshold circuits," *IEEE Trans. Power Electronics*, vol. 31, no. 9, pp. 6341-6350, 2016.