

Flash メモリ上の Key-Value Store のデータ構造のための IoT 向け低消費電力マイクロアーキテクチャの評価

馬場 裕之[†] 請園智玲[†] 佐藤寿倫[†]

福岡大学工学部[†]

1 はじめに

IoT (モノのインターネット) は, 多様な物体 (モノ) がコンピュータ制御によりインターネットに接続され, 我々の環境を取り巻く無数のモノ同士が相互の情報交換と制御を行う仕組みである.

コンピュータ制御によりインターネットに接続されるモノを一般的に IoT デバイスと呼ぶ. IoT デバイスは各自でセンサーを持ち, センサーが取得する情報をインターネット上に転送する機能を有する. 総務省は 2020 年には稼働する IoT デバイスが 500 億個を超える試算をしている [1] ことから, 個々の IoT デバイスの低消費電力化が課題となる.

本研究は IoT デバイス内のメモリに Flash メモリを使用し, Key-Value Store (KVS) のデータ構造でセンサーデータのデータベースを構築する際の低消費電力化に関して, マイクロアーキテクチャレベルの提案手法を示し, その効果を示す.

2 Flash メモリの電力特性とランダム書き込み

Flash メモリは従来のハードディスクと比較して機械駆動を必要としないことから, ハードディスクなどに比べ, 極めて高い参照速度を持ち, 参照時の消費電力が少ない特性を持つ. この Flash メモリの特性は IoT デバイスなどの組み込みシステムに高い適合性を示している.

しかしながら, Flash メモリは読み込み動作に比べ, 書き込み動作と消去動作に高電圧印加が要求されるため大きな電力を必要とする. また, 上書きをするときは必ず消去をした上で書き込み動作をしなければならない. この特性は, Flash メモリのアドレス上, 逐次的に書き込み動作を行う場合には, 書き込み単位サイズのシンプルなバッファを用意することで大きな問題とならないが, ランダムな書き込み動作が発生する場合, このバッファは十分なデータ量を保持

Evaluation of Low-Power Micro Architecture for Key Value Store Data Structure on Flash Memories

Hiroyuki BABA[†], Tomoaki UKEZONO[†], Toshinori SATO[†]
[†]Dept. of Electronics Eng. & Computer Sci, Fukuoka Univ.
 8-19-1 Nanakuma, Jonan-ku, Fukuoka 814-0180, JAPAN
 {t131260@cis, tukezo@, tsato@}.fukuoka-u.ac.jp

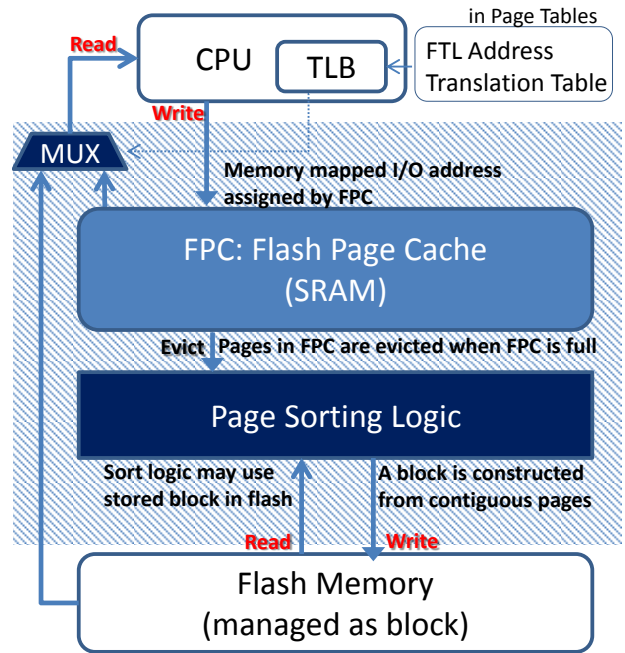


図1 提案ハードウェアの概要.

する前に書き込む必要が生じ, 書き込み/消去回数が増加する.

ランダム性をもったデータの書き込みで, Flash メモリへの書き込み回数を削減するためには, ある程度の時間, 書き込みデータをバッファリングし, まとめて大きな単位で Flash メモリに書き込む必要がある. 本研究は Flash メモリが KVS で使用される状況に限定することで, ランダム性のある書き込みを吸収し, データのシリアルライズを実現することで書き込み回数削減を実現する.

3 提案ハードウェア

本研究で提案するハードウェアを図1に示す. 本提案は従来の CPU と Flash メモリを I/O バスで接続した構造を対象とする. 図1に示した矩形背景は, 提案するハードウェアを示しており, CPU と Flash メモリの間には存在し, 両者の仲介として接続されていることを示している. このため, 提案手法は CPU 上で実行されるソフトウェアから見て透過性を持ち, 同時に Flash メモリの独自の書き込み制御操作を隠蔽できる.

CPU からのデータの書き込みは全て SRAM で構成され、ページ単位の管理粒度をもつ FPC(Flash Page Cache)と呼ばれるバッファに書き込まれ、データを読み出す場合は、FPC と Flash メモリから選択的に読み出される。FPC はライトバッファとして機能し、CPU からデータの書き込み要求が発生した順に FPC に書き込まれる。FPC に書き込まれたデータが FPC の上限容量に達した場合、アドレス的に連続したページを FPC と Flash メモリから集約し、ページ単位でソートを行った上で Flash メモリの書き込み単位（ブロック）で書き出す。

4 評価手法

本研究は図1で示した提案ハードウェアを想定したマイクロアーキテクチャ・シミュレータを開発し評価した。本稿の評価は提案手法がどの程度の書き込みと消去の操作を削減できるかを調査する。Flash メモリへの逐次的な書き込みのアドレス系列を複数用意し、時系列で発行アドレスを見た際にランダムにそれぞれのアドレス系列が選択され Flash に発行されるシミュレーションを行った。これは、センサーデータが複数存在し、それぞれのセンサーデータは KVS のデータ構造としてアドレス上、逐次的に保存するが、それぞれのセンサーはデータを時系列に見た場合にランダムに Flash メモリに書き込む状況を想定している。

シミュレータが想定した FPC はページサイズが 2KB、ブロックサイズが 128KB、FPC の容量が 1MB である。Flash メモリへの参照は最初に書き込みを 10 万回、書き込みが終了した後に、読み込みも同様に 10 万回発行した。シミュレータは全ての参照が発行された後に、Flash に対して読み込み・書き込み・消去の動作を行った回数を出力する。その回数をもとに、SPANSION 社の Flash メモリの消費電力パラメータを用いて、Flash が消費する電力を積算した。評価に使用したアドレス系列は2つである。

5 評価

図2にシミュレータによって積算した電力を示す。Y軸は電力(J)をX軸はシミュレーション構成を示す。X軸のNo FPCは提案手法を備えない場合のFlashメモリの消費電力である。FPCは提案手法を導入した場合のFlashメモリの消費電力である。積算値の内訳として、書き込みで消費した電力(Write)と読み込みで消費した電力(read)と消去で消費した電力(erase)がある。本評価では全てのWriteは上書きであることを

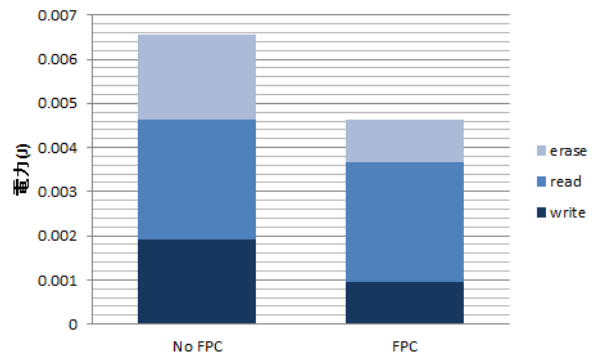


図2 提案手法の消費電力削減効果。

想定したため、書き込み操作には必ず消去がともなう。

提案手法の導入により、書き込みと消去の電力が削減されていることがわかる。提案手法はFlashメモリが消費する電力の約29%を削減した。しかしながら、内訳ごと評価結果を比較した場合、読み込みの電力が若干増大した。これは、提案手法なしの場合に比べ、読み込みの回数が増加したためである。提案手法はデータをシリアルライズする際にソートを行うが、ソート対象のブロックがFPC内に存在しない場合、Flashメモリからロードする。一つの書き込みブロック内に不十分なページ量で、複数回Flashメモリへ書き出す必要性が発生する場合、ソート回数が原因で、読み出し回数が増加する可能性がある。

4 まとめ

本稿はIoTデバイスがセンサーデータをKVSのデータ構造でFlashメモリに格納する際のFlashメモリ内で消費する電力を削減する手法をハードウェアレベルで提案し、その削減効果を評価した。評価結果から、約29%の電力削減効果が得られることが確認された。

今後の課題として、FPCの消費電力の評価が挙げられる。FPCはハードウェアで実現される特性上、それ自身が電力を消費する。Flashメモリの書き込み回数を削減し、低消費電力削減が実現できた場合でも、削減分をFPCが消費する可能性があることから、システム全体を視野に入れた場合、トータルの省電力が重要となる。今後はその評価を進める。

- [1] ICT化の進展がもたらす経済構造の変化,総務省平成27年版 情報通信白書 第2部,pp.292-325, 2015.
- [2] Jeremy Bennett. "Or1ksim User Guide."