

# 大規模 FPGA ボードの開発によるホログラフィ専用計算機 HORN-8 プロジェクト

伊藤 智義† 杉江 崇繁† 赤松 孝則† 木村 祐哉†  
川口 梨紗花† 西辻 崇† 角江 崇† 下馬場 朋禄†  
千葉大学 工学研究科†

## 1. まえがき

ホログラフィは物体光の波面をそのまま記録・再生できる唯一知られた技術であり、電子化することで究極の3次元テレビジョンになり得ると期待されている。ホログラムは、計算によって作成される Computer-Generated Hologram (CGH) を用いるが、この計算負荷が大きく、実用化のめどが立っていない。

3次元物体を  $N$  個の点群で表現すると、CGH 上の各画素は1式で計算できる。 $\alpha$  はホログラム上の点を、 $j$  は物体を構成する点を表わす。 $\lambda$  は参照光の波長である。CGH の画素数を  $M$  とすると、 $MN$  に比例する計算量が必要になることがわかる。

$$I(x_\alpha, y_\alpha) = \sum_j^N \cos \left[ \frac{2\pi}{\lambda} \sqrt{(x_\alpha - x_j)^2 + (y_\alpha - y_j)^2 + z_j^2} \right] \quad (1)$$

実用的な3次元映像を映し出すためには、ホログラムの表示に可視光の波長 (400–700 nm) 程度の画素ピッチが求められる。現在市販されている高精細 LCD (Liquid Crystal Display) パネルの画素ピッチは  $5 \mu\text{m}$  程度になってきており、近い将来には実用にも耐え得る高精細化が実現されるものと見込まれる。ただし、情報量は高精細化にともなって増大する。例えば、画素ピッチ  $1 \mu\text{m}$  で  $1 \text{ m} \times 1 \text{ m}$  サイズの表示デバイスの画素数は1兆になる。1億画素で構成された3次元画像の CGH を (ちらつきが出ないとされる) 15 fps (frames per second) で作成するには、1式を1秒間で  $10^{21}$  回行う必要がある。ペタ、エクサを超えたゼタスケールの計算機パワーである。

一方で、画像処理は並列分散システムに大変良く適合する。代表的な例が GPU (Graphics Processing Unit) である。CPU から切り離されてグラフィック処理専用になったことから急速な発展を遂げた。画像表示処理の大きな特徴は、画素間で相互作用がないことと、一度表示されたデータは破棄できることである。そのため、通常の並列計算では大きな問題になるメモリネ

ックが起こらない。また、精度は人間の目で律速するので、エラーに寛容である。このことは、電子ホログラフィによる3次元映像システムにも該当する。

そこで、私たちの研究グループでは、ハードウェアでの高速化をめざし、ホログラフィ専用計算機 HORN (Holographic Reconstruction) の開発による並列計算システムの研究を続けてきている。現段階はボードによる研究開発の途上にあるが、最終的な目標は図1のような形態である。表示デバイス付きの専用チップを開発できれば、高並列分散処理が実現し、大画面化しても計算負荷が大きくなるならない。

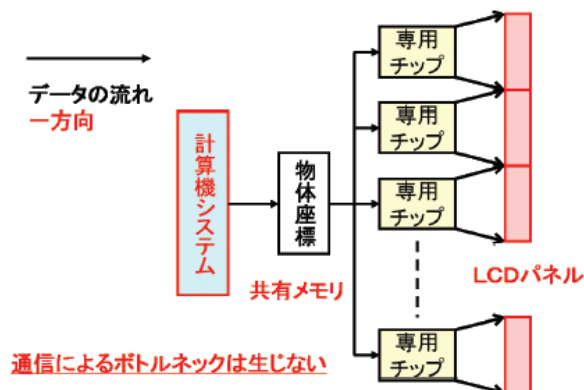


図1. ハードウェアによる並列分散システム

1992年に最初の専用システム HORN-1[1]を開発し、現在は HORN-8 システムの開発に取り組んでいる。大規模 FPGA ボードを独自に開発したのは、2004年の HORN-5[2]について2機めである。最新の HORN-8 プロジェクトについて、報告する。

## 2. HORN-8 ボード

本格的な開発は2013年に開始した。ボードの詳細設計 (ガーバデータ) を含めて、すべてグループ内で独自に行った。ハードウェア開発技術のノウハウを培うことも本研究の主要な目的の一つである。ボードの設計は杉江が行い、2015年に正常に動作することを確認した。ボードの様子は表1の通りである。

表 1. HORN-8 ボードの仕様

規格	PCI Express gen.1 x8
サイズ	220 mm × 130 mm
制御用 FPGA	Xilinx Virtex5 XC5VLX30T 1個
計算用 FPGA	Xilinx Virtex5 XC5VLX110 7個
動作周波数	250 MHz

設計時における Xilinx 社製 FPGA の最上位ファミリは Virtex7 であり, Virtex5 は 2 世代前になる. Virtex7 は 1 個あたり 100 万円を超えていたため, 開発の見通しがつかなかった. 私たちが HORN-8 ボードを自作する目的は, 並列化や組込み技術の研究開発である. そのためには, 複数個の大規模 FPGA を搭載したボードを複数枚作る必要があった. 使用した Virtex5 は 1 個あたり 10 万円で入手でき, 図 2 に示すように 10 枚作製することに成功した.

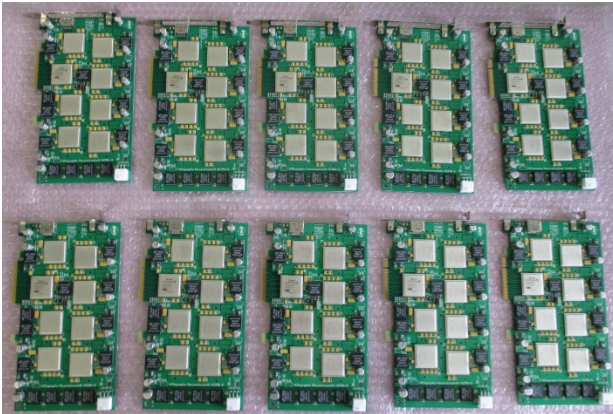


図 2. 作製した 10 枚の HORN-8 ボード

HORN-8 ボードは 250 MHz で動作することに成功した. そのため, 演算速度の面で Virtex5 が上位機種より大幅に劣る懸念はなくなった. 劣っているものは, 主として内蔵されているブロック RAM の容量である. ブロック RAM の用途は, 1 式の三角関数計算をメモリ参照にすることと, 物体点データの格納である.

三角関数については, 西辻を中心に開発した減算器 2 個, XOR 器 1 個のみで近似する手法を用いることで解決した[3]. ブロック RAM をすべて入力データに割り当てられることが可能になったが, それでも入力データ (3 次元画像) の総点数は 16,000 点に制約される. この問題は入力データを分割することで解決する. この研究は, 高知大の高田を中心に進めている[4].

### 3. HORN-8 ボードによる CGH 計算

図 3 は, PC (Personal Computer) に HORN-8 ボードを 1 枚接続したシステムである.

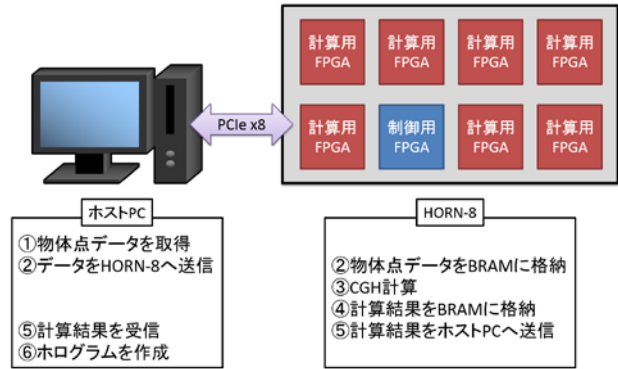


図 3. HORN-8 シングルボードシステム

CGH 回路の実装は, 川口, 木村, 赤松を中心に行っている. 下馬場を中心に開発した漸化式アルゴリズムを用いた[5]. 1 式を差分の形式に置き換え, ほぼ加算のみでパイプライン処理を可能にする. 1 ボード (7 個の計算用 FPGA) に 4,480 個の CGH 計算回路を実装することに成功し, 10,000 点で構成される 3 次元像の CGH を 0.03 秒 (30 fps) で作成した. これは, CGH の高速アルゴリズムを用いて Intel Core i7 で計算したときの 100 倍の速さである.

光学系を用いた再生結果を図 4 に示す. CPU と HORN-8 ボードで同様の映像が得られている.

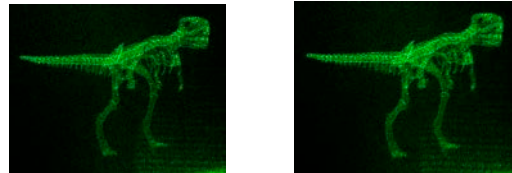


図 4. 再生像 (左) CPU (右) HORN-8

今後の展望としては, 以上の結果を踏まえてボードを複数枚用いた並列化を行い, 作成した CGH をダイレクトに表示デバイスに出力するシステムを構築する計画である.

本研究は JSPS 科研費 5240015 により行われた. ここに謝意を表す.

### 参考文献

- [1] T. Ito, *et. al.*, *Comput. Phys. Commun.*, 82, 104-110 (1994)
- [2] T. Ito, *et. al.*, *Opt. Express*, 13, 1923-1932 (2005)
- [3] T. Nishitsuji, *et. al.*, *Opt. Express*, 23, 32465-32470 (2015.)
- [4] H. Niwase, N. Takada, *et. al.*, *Opt. Express*, 22, 28052-28057 (2014)
- [5] T. Shimobaba and T. Ito, *Comput. Phys. Commun.*, 138, 44-52 (2001)