

アナログ回路に応用可能な RTNシミュレーション手法の検討

駒脇 拓弥¹ 藪内 美智太郎¹ 岸田 亮¹ 小林 和淑¹

概要: 近年の集積回路素子の微細化に伴い、ランダムテレグラフノイズ (Random Telegraph Noise: RTN) による信頼性低下問題が顕在化している。微細なプロセスにおいては RTN の影響の予測が必要である。charge trapping model (欠陥モデル) を用いて回路レベルでの RTN シミュレーション手法を検討し、アナログ回路への応用を目的とする。RTN によるしきい値電圧変動は、MOSFET のゲートに Verilog-A で記述した直流電圧源を接続することで実現する。単体の MOSFET のドレイン電流が時間的にランダムに変動し、RTN の影響を再現できる。複数の単体 MOSFET を含む回路では、トランジスタごとに電流の変動率が異なり、RTN の挙動がトランジスタによって変わることも再現できる。一方で、電流値が変動するタイミングでノイズが発生した。ノイズの大きさは、RTN 起因のドレイン電流変動値と比較した場合 BSIM で 142%、HiSIM で 14% と無視できない値であり、直流電圧源を接続する方法では限界がある。

Random Telegraph Noise Simulation Method for Analog Circuits

TAKUYA KOMAWAKI¹ MICHITAROU YABUCHI¹ RYO KISHIDA¹ KAZUTOSHI KOBAYASHI¹

Abstract: As device sizes are downscaled to the nanometer process, Random Telegraph Noise (RTN) becomes dominant. It is necessary to accurately estimate the effect of RTN. We propose the RTN simulation method for analog circuits. It is based on the charge trapping model. We replicate the RTN-induced threshold voltage fluctuation to connect a DC voltage source to the gate of MOSFET implemented by using Verilog-A. We confirm that drain current of MOSFETs fluctuates temporally. Temporal fluctuations of RTN are different for each MOSFET. Our proposed method can be applied to estimate the temporal impact of RTN including multiple transistors. However, noises are injected when a carrier captured or emitted. The amplitude of noises are 142% on the BSIM and 14% on the HiSIM. Those values are relatively large that can not be ignored.

1. 序論

近年の MOSFET の微細化に伴い、様々な問題が顕在化してきている。トランジスタの特性ばらつきはとりわけ重大な問題であり、高信頼性が求められる集積回路において深刻な影響を及ぼす。特性ばらつきは、大きく静的な特性ばらつきと動的な特性変動に分けられる [1]。静的な特性ばらつきは、製品の製造時にトランジスタの特性が決まり、チャンネル部分に不純物をドーピングする際に不純物の数がばらつくことが原因となる RDF (Random Dopant Fluctuation) などが挙げられる。一方で、動的な特性変動の一つであ

るランダムテレグラフノイズ (Random Telegraph Noise: RTN) による特性ばらつきもまた重大な問題となっている。

RTN とは MOSFET のゲートに電圧を印加したとき、トランジスタのしきい値電圧が時間にランダムに変化する現象である [2]。RTN は CMOS イメージセンサ [3]、フラッシュメモリ [4]、SRAM [5] といった集積回路において重大な影響を及ぼすことがすでに報告されている。ゲート面積を LW とすると RTN の影響は $1/LW$ にしたがって増大するため [6]、微細なプロセスにおける設計では RTN の影響を予測する必要がある。

本研究では RTN がアナログ回路に与える影響を評価するための手法を検討する。これまで回路レベルでの RTN

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

シミュレーションはデジタル回路においては文献 [7], [8] などすでに研究が進められているが, アナログ回路についてはまだ研究が進んでいないため, アナログ回路への応用を目的とする. 文献 [7] では MOSFET に生じた 1 つの欠陥について, しきい値電圧変動値 ΔV_{th} を時間ステップごとに計算し, 過渡解析する方法が用いられていた. しかし, 複数の欠陥を考慮した結果は示されていない. 実際の MOSFET には複数の欠陥が存在するため, 本稿では, 複数の欠陥に対応したモデルを用いて, 複数のトランジスタの RTN による時間的なしきい値変動を再現する手法を提案する.

本稿の構成は以下の通りである. 2 節で RTN の概要と回路シミュレーションへの応用を述べ, 3 節で回路シミュレーションに用いる RTN 発生用電圧源の動作について説明する. 4 節にてシミュレーション結果を述べ, 5 節で結論とする.

2. ランダムテレグラフノイズ (RTN) の物理モデルと回路シミュレーションへの応用

本節では, RTN の物理的なメカニズムと実際に回路シミュレーションに組み込む場合のメカニズムについて述べる.

2.1 RTN の物理的メカニズム

RTN とは図 1 のように MOSFET のゲート酸化膜中に生じた欠陥に, チャネルを流れるキャリアが捕獲・放出されることで, しきい値電圧が増減する現象である [2]. 酸化膜中の欠陥がそれぞれキャリアを捕獲・放出するまでの平均持続時間をそれぞれ τ_c, τ_e , これらをまとめて時定数 τ と呼ぶ. τ はゲート電圧に依存し, ゲートに印加される電圧が大きくなると τ_e が長くなり, τ_c は短くなるとされる [9].

1 つの欠陥におけるキャリアの捕獲・放出において, 図 2 のようにキャリアを捕獲するとしきい値電圧が高い状態, キャリアを放出すると低い状態という 2 値をとり, 1 つの欠陥におけるしきい値電圧の変動値 ΔV_{th_trap} は一定である [10]. 欠陥が複数存在する場合は, しきい値電圧は多段に変動する. この酸化膜欠陥でのキャリアの捕獲・放出による特性変動を charge trapping model (欠陥モデル) と呼ぶ. この欠陥モデルは BTI (Bias Temperature Instability) と RTN が同じ物理現象であるものとして取り扱っている [11]. 本研究ではこの欠陥モデルに基づいて, RTN 回路シミュレーション手法を提案する.

欠陥モデルでは MOSFET の欠陥数 n と欠陥のしきい値電圧変動値 ΔV_{th_trap} , 欠陥の時定数 τ が重要なパラメータとなる. 文献において, n はデバイスごとに異なり, ポアソン分布に従う [12]. 欠陥数の期待値を N とすると分布 $P(n)$ は式 (1) で表される.

$$P(n) = \frac{N^n e^{-N}}{n!} \quad (1)$$

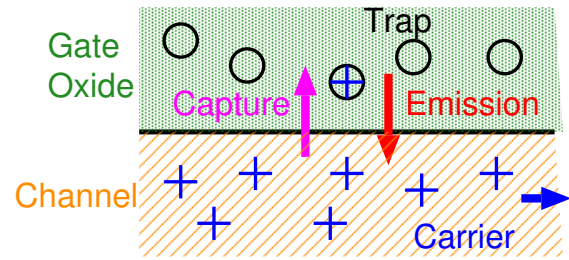


図 1: MOSFET における RTN の物理的メカニズム.

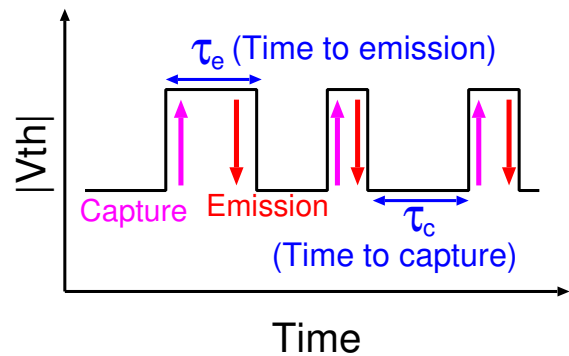


図 2: RTN によるしきい値電圧の時間的な変動の様子.

$\Delta V_{th_trap}, \tau$ は欠陥ごとに異なる. ΔV_{th_trap} は指数分布に, τ は対数等分布に従う [11][13]. V_{th_trap} は η を期待値とすると, その分布の PDF (Probability Density Function, 確率密度関数) は式 (2) で表される.

$$f_{single_trap}(\Delta V_{th_trap}, \eta) = \frac{1}{\eta} \exp\left(-\frac{\Delta V_{th_trap}}{\eta}\right) \quad (2)$$

本研究では, これらのパラメータが各分布にしたがうものとして値を乱数により生成する.

2.2 RTN の回路シミュレーションへの組み込み

τ はゲート電圧依存性を持つため, RTN シミュレーションにあたって, MOSFET のデバイスパラメータであるしきい値電圧を動的に変動させなければならない. ここでは MOSFET のモデルに BSIM (Berkeley Short-channel IGFET Model) と HiSIM (Hiroshima-University Starc IGFET Model) を用いる. BSIM の場合, SPICE ではデバイスパラメータを動的に変更することはできない. 図 3(a) のように BSIM で記述された MOSFET のゲートに直流電圧源を接続し, ゲートオーバードライブ電圧 $V_{OV} = V_{GS} - V_{th}$ を変化させることで擬似的に RTN を再現する [7]. この RTN 発生用電圧源は Verilog-A で記述する.

一方, HiSIM では図 3(b) のようにトランジスタモデルが Verilog-A で記述されているため, しきい値電圧を直接的に変更することができる.

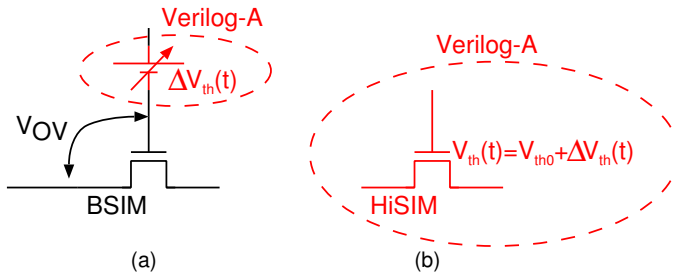


図 3: 単体の NMOSFET と RTN 発生用電圧源. BSIM(a) では MOSFET ゲートに Verilog-A で記述した RTN 発生用電圧源を接続し, V_{OV} を時間ごとに変更する. HiSIM (b) ではしきい値電圧の変動を Verilog-A で記述し, 動的にしきい値電圧を変更する.

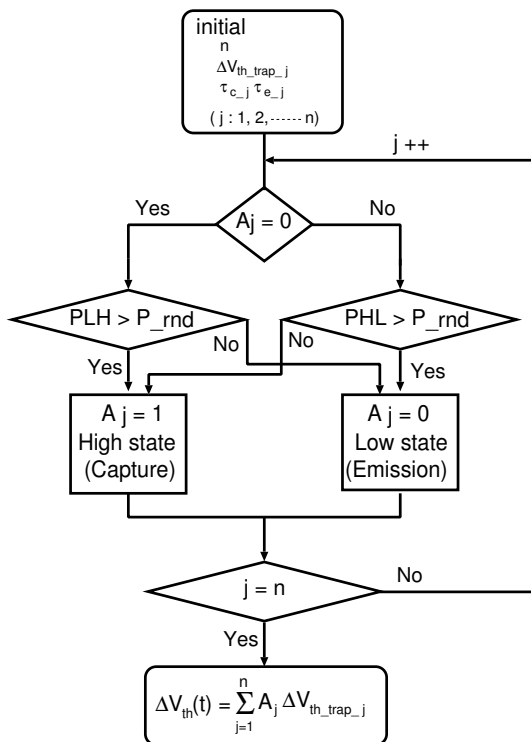


図 4: RTN 発生用電圧源の動作のフローチャート. 遷移確率 P_{LH} (P_{HL}) と確率 P_{rnd} を比較して欠陥の次状態を決定し, 各時刻におけるしきい値電圧変動値 ΔV_{th} を計算する.

3. RTN 発生用電圧源を用いた回路シミュレーション手法

RTN を擬似的に再現するための直流電圧源 (RTN 発生用電圧源) の動作について述べる. RTN 発生用電圧源は Verilog-A にて記述する. 動作の流れのフローチャートを図 4 に, RTN の計算に用いるパラメータを表 1 に示す.

まず MOSFET の欠陥数 n , 欠陥のしきい値電圧変動値 V_{th_trap} , 欠陥の時定数 τ を初期化する. ここではゲート長 $L = 60 \text{ nm}$, ゲート幅 $W = 1 \mu\text{m}$ の単体 NMOSFET のドレイン電流を過渡解析する. MOSFET のモデルは 65 nm FDSOI のものを用いる.

表 1: RTN の計算に用いるパラメータ.

変数	説明
L	ゲート長
W	ゲート幅
n	酸化膜の欠陥数
N	酸化膜の欠陥数の期待値
D	単位面積当たりの酸化膜欠陥数
ΔV_{th_trap}	欠陥ごとのしきい値電圧変動値
η	欠陥ごとのしきい値電圧変動値の期待値
s	欠陥ごとのしきい値電圧変動値の係数
τ_c	キャリアを捕獲するまでの時間
τ_e	キャリアを放出するまでの時間
T_{unit}	シミュレーションの単位時間
P_{LH}	キャリアの捕獲確率
P_{HL}	キャリアの放出確率

欠陥数 n はキャリアを捕獲している平均捕獲個数 N を期待値に持つ. 文献 [2], [12] を参考に, 単位面積当たりの欠陥数を $D = 4.0 \times 10^{-3} \text{ nm}^{-2}$ と仮定する. N は D とゲート面積の積であるので, $N = LWD = 240$ とする.

欠陥ごとのしきい値電圧変動値 ΔV_{th_trap} は指数分布に従う. その期待値 η は式 (3) のようにゲート面積に反比例する.

$$\eta = \frac{s}{LW} \quad (3)$$

ここで s は係数であり, 文献 [14] を参考に $s = 9 \text{ V} \cdot \text{nm}^2$ とする.

τ は $10^{-9} \sim 10^9 \text{ s}$ にわたって対数等分布する [13]. この分布に従って乱数によりトラップごとの τ を生成する. ΔV_{th_trap} と τ の相関の有無は明らかにされていないため, 本稿では無相関であるとして取り扱う.

キャリアの捕獲・放出の判定は, マルコフプロセスにしたがって決定する [7]. 欠陥がキャリアを放出してしきい値電圧が低い状態を Low, 欠陥がキャリアを捕獲し, しきい値電圧が高い状態を High とする. 図 4 中の A_j は j 番目の欠陥の捕獲状態であり High であれば 1, Low であれば 0 となる. Low のときに欠陥がキャリアを捕獲して High へと遷移する確率を P_{LH} とすると, High へと遷移せずに Low の状態が継続される確率は $1 - P_{LH}$ となる. 同様に, High のときに欠陥がキャリアを放出し, Low に遷移する確率を P_{HL} とすると状態が遷移せずに High が継続する確率は $1 - P_{HL}$ となる. 遷移確率 P_{LH} および P_{HL} は以下の式より決定される.

$$P_{LH} = 1 - \exp\left(\frac{-T_{unit}}{\tau_c}\right) \quad (4)$$

$$P_{HL} = 1 - \exp\left(\frac{-T_{unit}}{\tau_e}\right) \quad (5)$$

T_{unit} はシミュレーションの単位時間である. 欠陥ごとに τ は異なるため, 遷移確率も欠陥ごとに異なる.

この遷移確率と一様乱数から得た $0 \sim 1$ までの P_{rnd} を比較して欠陥の次状態を決定する。マルコフプロセスにより、各時刻ごとの欠陥の状態が決まると式 (6) によりしきい値電圧変動値 ΔV_{th} を求める。

$$\Delta V_{\text{th}} = \sum_{j=1}^k A_j \Delta V_{\text{th_trap-j}} \quad (6)$$

k はあるトランジスタの欠陥数であり、 $V_{\text{th_trap-j}}$ は j 番目の欠陥によるしきい値電圧変動値である。 ΔV_{th} をタイムステップごとに变化させて SPICE による過渡解析を行う。

4. RTN 起因のドレイン電流の時間的変動

本節では SPICE による過渡解析により、単体の NMOS-FET のドレイン電流の時間的変動を観測する。複数の NMOSFET を用意し、トランジスタごとに変動の様子が異なるか検証する。過渡解析は 1 ps のステップで $1 \mu\text{s}$ まで

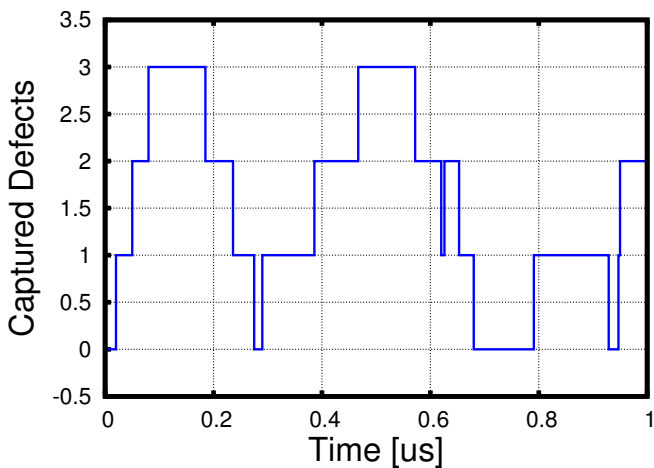
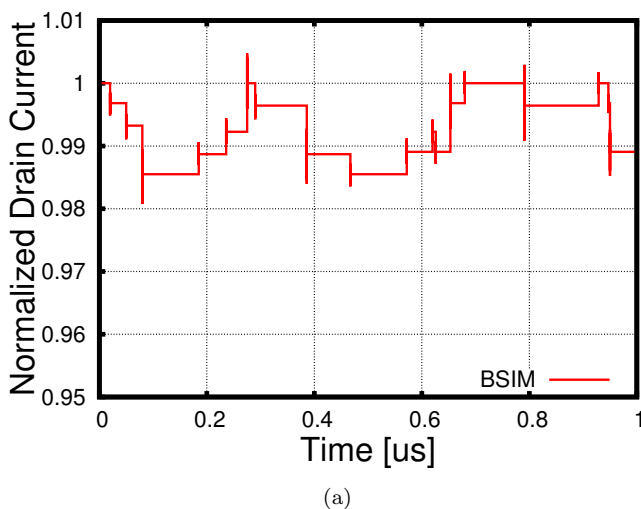


図 5: RTN 起因の捕獲欠陥数の時間的変化。



(a)

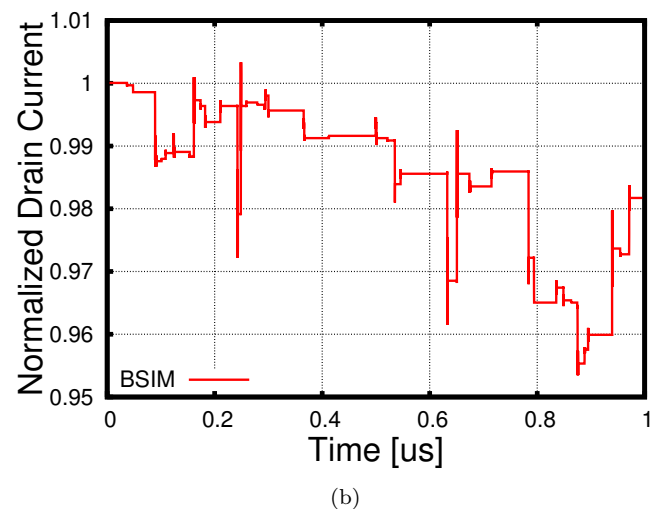
行う。ゲート・ソース間電圧 V_{GS} 、ドレイン・ソース間電圧 V_{DS} はともに 1 V とし、ソースとバックゲートはグラウンドに固定する。

BSIM で過渡解析を行ったある NMOS トランジスタのドレイン電流の時間ごとの捕獲欠陥数の変化を図 5 に、時間的変化のグラフを図 6 (a) に示す。縦軸は後に RTN による電流変動率を比較するために、RTN の影響を受けていない状態の電流値で正規化している。捕獲欠陥数が増減するタイミングにおいてドレイン電流値も変動しており、RTN の影響を再現できている。

一方で、電流値が変動するときにノイズが発生している。通常は RTN の影響を受けていない状態の電流値が最大であるにも関わらず、正規化したドレイン電流が 1 を超えているのはこのノイズのためである。ノイズの発生は、MOSFET のゲートに RTN を疑似的に発生させるための RTN 発生用電圧源を MOSFET の外部から接続していたことが原因だと考えられる。欠陥数が変わるタイミングにおいて、この外部電圧源の電圧値が離散的に切り替わることで MOSFET のゲート・ソース間やゲート・ドレイン間などの寄生容量により、ノイズが発生するためである。

図 6 (b) は図 6 (a) とは別のトランジスタのドレイン電流変動の様子である。図 6 (a) ではノイズを無視した場合のドレイン電流の変動率は 1.5% であるが、図 6 (b) では 4.6% となり、トランジスタごとに RTN の挙動が変わることも再現できている。

BSIM と同様の条件で HiSIM モシミュレーションを行う。図 3 に示したように HiSIM は MOSFET の外部から RTN 発生用電圧源を接続するのではなく、MOSFET のパラメータが Verilog-A で記述されているためしきい値電圧を動的に変更できる。そのため、BSIM とは異なりノイズが



(b)

図 6: 2 つの異なるトランジスタのドレイン電流の時間的変化。(a) は図 5 に従う。捕獲欠陥数が増減するタイミングでドレイン電流値も変動するが、同時にノイズも発生している。

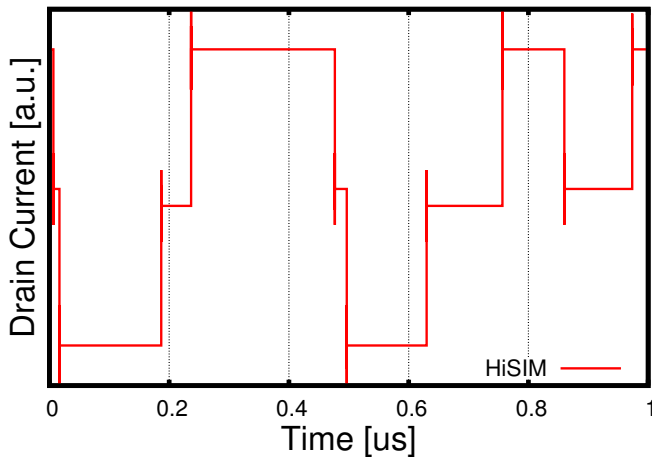


図 7: HiSIM におけるドレイン電流の時間的変動. BSIM と同じく捕獲欠陥数が増減するタイミングでドレイン電流値も変化するが、同時にノイズも発生している。

発生しないと期待していた。シミュレーションを行った結果を図 7 に示す。捕獲欠陥数が増減するタイミングにおいてドレイン電流値も変動しているが、BSIM のものと同じくそのタイミングでノイズが発生している。

図 6 (a) より、BSIM を用いた場合のノイズは単一欠陥による電流値変動に対して最大で 142% となり、RTN の影響よりも大きいノイズが乗っている。一方で、図 7 から HiSIM を用いたときのノイズは、同じく単一欠陥による電流値変動と比較するとおおよそ 14% になる。BSIM のもの比べると小さいが、無視できない大きさのノイズである。RTN 発生用電圧源を用いる手法は文献 [7] などで使用されていたものであるが、この手法でアナログ回路の RTN による影響を回路シミュレーションするには問題がある。

5. 結論

本研究では、アナログ回路への応用に向けた回路シミュレーションによる RTN シミュレーション手法の検討を行った。BSIM では、デバイスパラメータであるしきい値電圧をシミュレーション中に変化させることができないため、ゲートに RTN 発生用の外部電源を接続しゲートオーバードライブ電圧 V_{OV} を変化させることで対処した。HiSIM はトランジスタモデルのパラメータ自体が Verilog-A で記述されているため、RTN 発生用電圧源と同じ動作をする記述によりしきい値電圧を動的に変更できる。単体 NMOSFET の過渡解析により、BSIM、HiSIM とともにドレイン電流がトランジスタごとにランダムに変動する結果が得られた。電流変動は欠陥がキャリアを捕獲・放出するタイミングで起こるため、RTN による影響を再現することができる。複数の単体 MOSFET を含む回路でも、トランジスタごとに電流の変動率が異なり、RTN の挙動が変わることも再現できた。一方で、電流値が変動するタイミングでノイズも発生

した。ノイズによる電流変動値は、RTN による変動値と比較して BSIM で 142%、HiSIM で 14% と無視できない値であり、RTN 発生用電圧源を接続する方法では限界があることが判明した。

今後は、RTN 発生用電圧源によらない RTN シミュレーション手法を模索し、オペアンプやコンパレータといったアナログ回路において RTN シミュレーションを行う。

謝辞 本研究は JSPS 科研費 15H02677 の助成を受けて実施したものであり、本研究で用いたチップはルネサスエレクトロニクス社により試作されたものであり、東京大学大規模集積システム教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力により行われたものである。

参考文献

- [1] N. Weste and D. Harris, "CMOS VLSI DESIGN A circuits and systems perspective Forth edition" *Addison Wesley*, pp.120, 360-365, 2010.
- [2] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, P. Roussel, M. Nelhiebel, "Recent advances in understanding the bias temperature instability" *Electron Devices Meeting (IEDM), 2010 IEEE International*, pp.4.4.1-4.4.4, Dec., 2010.
- [3] Jun-Myung Woo, Hong-Hyun Park, Hong Shick Min, Y. J. Park, Sung-Min Hong and Chan Hyeong Park, "Statistical analysis of random telegraph noise in CMOS image sensors" *SISPAD*, pp.77-80, Sep., 2008.
- [4] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara and O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node" *JSSC*, pp.1362-1369, June, 2007.
- [5] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya and Y. Inoue, "Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM Vmin analysis" *VLSIT*, pp.95-96, June, 2010.
- [6] J. Franco, B. Kaczer, M. Toledano-Luque, P. J. Roussel, J. Mitard, L. Å Ragnarsson, L. Witters, T. Chiarella, M. Togo, N. Horiguchi, G. Groeseneken, M. F. Bukhori, T. Grasser and A. Asenov, "Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs" *IRPS*, pp.5A.4.1-5A.4.6, Apr., 2012.
- [7] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "Modeling of Random Telegraph Noise under circuit operation - Simulation and measurement of RTN-induced delay fluctuation" *ISQED*, pp.1-6, Mar., 2011.
- [8] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "The impact of RTN on performance fluctuation in CMOS logic circuits" *IRPS*, pp.1-6, Apr., 2011.
- [9] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya and Y. Inoue, "Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM Vmin analysis"
- [10] T. Matsumoto, K. Kobayashi and H. Onodera, "Impact of Random Telegraph Noise on CMOS Logic Circuit Re-

- liability” *CICC*, pp.1-8, Sep., 2014.
VLSIT, pp.95-96, June, 2010
- [11] B. Kaczer, T. Grassler, P.J. Roussel, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G. Groeseneken and H. Reisinger, “Origin of NBTI variability in deeply scaled pFETs” *IRPS*, pp.26-32, May, 2010.
- [12] M. Toledano, B. Kaczer, J. Franco, P. J. Roussel, T. Grassler, T. Y. Hoffmann and G. Groeseneken, “From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation” *VLSIT*, pp.152-153, June, 2011
- [13] H. Reisinger, T. Grassler, W. Gustin and C. Schlünder, “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress” *IRPS*, pp.7-15, May, 2010
- [14] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai and Y. Hayashi, “Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude” *VLSIT*, pp.54-55, June, 2009.