

低電圧動作に適したマルチプレクサツリー構成法

長岡 悠太^{1,a)} 石原 亨¹ 小野寺 秀俊¹

概要：マルチプレクサツリーはFPGAを始めとする様々なデジタル回路に搭載されている。今日のマルチプレクサツリーを実装するアーキテクチャとして一般的であるNMOSパストランジスタは、電源電圧の低下に対して顕著な性能悪化を示す欠点がある。本稿では、低電圧領域でも高速に動作するマルチプレクサの新たなアーキテクチャとしてトランスファゲートとトライステートインバータを組み合わせた構造を議論する。エルモア遅延モデルに基づく、パストランジスタやトランスファゲートを用いたマルチプレクサは遅延時間が段数に対して2次的に拡大する一方、トライステートインバータを用いたマルチプレクサの遅延時間は1次的に遅延が拡大する。これらの事実に基づき、2つのアーキテクチャを組み合わせることで単一構成のアーキテクチャよりも遅延時間を削減可能であることを解析的に示す。トランジスタレベルの回路シミュレーションの結果、提案アーキテクチャはトランスファゲートのみを用いた構成と比較して18.5%、トライステートインバータのみを用いた構成と比較して5.7%の遅延時間を削減した。また電力消費はトランスファゲートのみを用いた構成と比較して高々7.8%大きく、トライステートインバータのみを用いた構成より15.5%小さいことを確認した。

Designing of Multiplexer-Tree Appropriate for Low Supply Voltage

YUTA NAGAOKA^{1,a)} TOHRU ISHIHARA¹ HIDETOSHI ONODERA¹

Abstract: Multiplexer tree (MUX) is widely used in various digital circuits such as FPGA. Therefore there are strong demands for MUX trees which operate at low supply voltage. Widely used NMOS pass-transistor (PT)-based MUX tree has a disadvantage that indicates significant performance deterioration to a decline of a supply voltage. In this paper, we discuss an architecture for MUX tree which mixed a tristate inverter (TRI) with transfer gate (TG) that operates faster than single configured architecture at low supply voltage. According to Elmore delay model, a delay time of PT-based MUX or TG-based one increases quadratically along with the increase of a logic depth while that of TRI-based MUX increases linearly. Using these facts, we analytically show that mixed-architecture can achieve a less delay time than both of TG-based and TRI-based one. The simulation result shows delay time reduction in 18.5% than TG-based multiplexer tree and 5.7% than TRI-based by using the proposed architecture. The result also shows the proposed architecture increases power consumption by 7.8% than TG-based and reduces by 15.5% than TRI-based.

1. 序論

複数の入力信号から一つを選択して出力する機構であるマルチプレクサは、様々なデジタル回路で用いられている。通信や信号処理におけるハードウェアスイッチとしての用途のほかに、Field Programmable Gate Array (FPGA) などの論理回路において任意の論理関数を実装するルックアップテーブル (Look Up Table, LUT) として広く利用されている。真理値表の値をマルチプレクサの入力信号として与え、論理回路の入力をマルチプレクサの選択信号として与えることにより、任意の論理関数を小さなコストで構成可能である。近年ますます多様化するコンピュータ開発において少量多品種設計を支援するFPGAへの期待も高まっており、多くのFPGAの主要素であるマルチプレクサは性能の鍵となっている。

マルチプレクサのハードウェア実装として、従来から

NMOSパストランジスタのツリー構造が用いられてきた。同方式はPMOSパストランジスタを合わせたトランスファゲート方式と比較して、速度とエネルギーのバランスがよいと考えられてきた [1]。NMOSパストランジスタでは高レベル信号 (HIGH) の減衰がしきい値電圧に相当する量だけ生じ、遅延時間も大きくなる欠点があるが、電源電圧が十分に高い領域では問題とされなかった。しかし近年の消費エネルギー削減への要求はますます高まっており、電源電圧の低下がさらに推し進められている。電源電圧がしきい値近くまで低下すると、上記の欠点が顕著化し、NMOSパストランジスタの動作速度は大きく悪化する。対策の一つとして、トランジスタのしきい値電圧を低下させる手法が挙げられる [2]。具体的には、低しきい値トランジスタを用いる方法や、基板電圧を制御する方法が挙げられる [2]。ただし、しきい値電圧を低下させると漏れ電流が増大するため、静的消費エネルギーの増加が新たな課題となる。このため、低電圧動作時の漏れ電流を抑えるための研究も行われている [3]。一方でNMOSパストランジスタを代替

¹ 京都大学大学院情報学研究科

^{a)} yuta-nagaoka@vlsi.kuee.kyoto-u.ac.jp

するデバイスとして、NMOS と PMOS のパストラジスタを並列に合わせたトランスファゲートや CMOS ロジックによる実装が再び注目されている。これらのゲートは PMOS による動作の補完が行われるため、電源電圧の低下に伴う速度低下が NMOS パストラジスタよりも小さい。CMOS ロジックの一種であるトリステートバッファやスタティック CMOS 論理に基づくマルチプレクサは一般的に駆動する容量が大きく、パストラジスタやトランスファゲートと比較して 1 段あたりの遅延時間が大きい。その一方で、多数のゲートを連結した際の遅延時間増大が抑えられる特性を持つ。

本稿では代替回路構造として考えられる上記のデバイスの特性を比較し、大規模マルチプレクサを設計する際にマルチプレクサの規模を考慮して性能見積りおよびアーキテクチャ選択を行う手法および手法の有用性を示す。また、マルチプレクサをトランスファゲートおよび CMOS ロジックを適当な割合で混合して構成し、それぞれ単一種類でマルチプレクサを構成するよりも遅延性能を向上させる可能性があることを示す。

本稿の構成を以下に示す。第 2 章では関連研究と本稿の成果について述べる。第 3 章ではマルチプレクサを評価する指針の一つである遅延時間について述べ、回路アーキテクチャによってサイズ-遅延特性が異なること、複数種類の回路アーキテクチャを混合することで遅延性能を改善可能であることを示す。第 4 章では、FPGA のルックアップテーブルとして使用されることを想定した性能見積りを商用 65nm プロセスを用いて行い、アーキテクチャ混合型のマルチプレクサの有用性を示す。第 5 章で結論を述べる。

2. 関連研究と本稿の成果

2^n 入力 1 出力 (以後 $2^n:1$) の大規模なマルチプレクサは、最も基本的な 2:1 マルチプレクサをツリー状に配置することで等価な構造に分解することができる [4]。図 1 に 2:1 マルチプレクサを用いて $2^n:1$ マルチプレクサを構成した時の構造図を示す。

マルチプレクサの実装として NMOS のみを用いて構成されるパストラジスタと NMOS と PMOS の両方を用いるトランスファゲートの優劣については、これまで多くの議論がなされてきた。文献 [1] によると、PMOS のチャネル (正孔) 移動度は NMOS と比較して低く、2.5 倍のゲート幅を要する。パストラジスタをトランスファゲートに置き換えると ON 抵抗が半減する一方、接合容量が 3.5 倍以上に増大するため、抵抗と容量の積より遅延時間が 1.75 倍程度に増大するとの主張がされている。文献 [5] では、LUT の読み出し回路にパストラジスタおよびトランスファゲートを用いてマルチプレクサを実装した場合の面積及び動作速度についての議論が行われている。データパスの遅延時間はトランスファゲート方式を採用することに

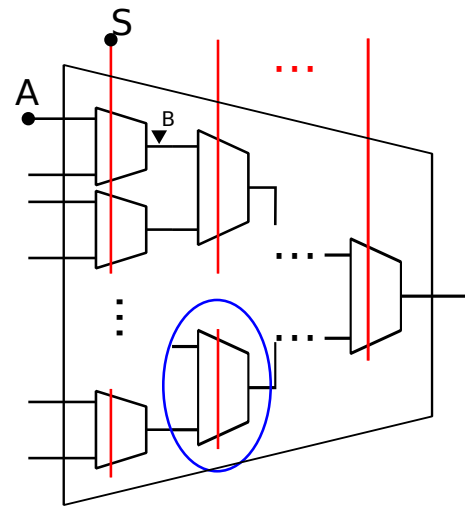


図 1 大規模マルチプレクサ構造。

よって 25%減少するのに対し、FPGA 全体の面積増大は 15%、エネルギー増大は 3.8%に留まるため、全体としてトランスファゲート論理が優れていると述べられている。

LUT ベースの FPGA 向けのマルチプレクサを低消費エネルギー化させる手法について、いくつかの研究が行われている。文献 [2] では、順方向バイアス印加を行うことによって電源電圧やプロセス縮小に伴うばらつき増大を補償しながらしきい値以下の電源電圧でも動作可能な LUT について議論している。文献 [2] 中では FPGA の電源電圧を定格の 0.8 V からしきい値以下の 0.3 V に低下させることによって、消費電力を約 80 分の 1 に、総消費エネルギーを 4 分の 1 に低減させることができると述べられている。

文献 [3] では漏れ電流を抑えることに着目した消費エネルギーの低減手法について議論している。LUT ブロックの選択信号を扱うバッファや入力信号を書き込む Write Block の一部を高しきい値トランジスタに置き換えることで、面積の増大を 3%、遅延の増大を 5%に抑えながら漏れ電流による消費エネルギーを 64%低減可能であると主張している。文献 [6] では、しきい値電圧以下で動作するプロセス設計にあたり、マルチプレクサを用いたメモリ読み出し構造について議論している。ITRS ロードマップ [7] に基づいた 0.18 μm プロセスにおいて、既存の 6T SRAM では 500 mV 以下で読み出しおよび書き出し共に不具合が生じる。一方トランスファゲート型マルチプレクサを用いたメモリ読み出し構造では、最悪のプロセスコーナーかつ電源電圧 100 mV であっても動作可能であると報告している。

本稿では、上記したパストラジスタおよびトランスファゲートに加えて、CMOS 論理回路の一つであるトリステートインバータを含めた回路アーキテクチャ検討を遅延の観点から行う。文献 [8] では、トランスファゲートと CMOS ロジックを混合したような新たな 2:1 マルチプレクサを提案し、トランスファゲートやトリステートインバータと性能を比較している。一方本稿では、2:1 マルチプ

レクサは一般的なアーキテクチャを用い、大規模なマルチプレクサの各ステージにおいて回路アーキテクチャを自由に変更する手法を提案する。マルチプレクサの各ステージにおいてパストランジスタロジックとスタティック CMOS ロジックを組み合わせることで、しきい値電源近傍を含めた幅広い電圧領域における遅延性能の向上を議論する。

本稿の貢献を以下にまとめる。

- 古典的なエルモア遅延モデル [9] に基づいて、マルチプレクサに用いられる回路アーキテクチャの遅延時間特性を示す。これにより、マルチプレクサの規模によって回路アーキテクチャ間の遅延性能の優劣が逆転することを明らかにする。
- 複数種類の回路アーキテクチャを組み合わせることで、大規模なマルチプレクサに対して、単一構成の回路アーキテクチャよりも優れた遅延性能を実現可能であることを解析的に示す。
- 本稿で示す指針にしたがって構成したマルチプレクサは、トランスファゲート単一構成によるマルチプレクサと比較して電源電圧が 0.5 V の点において、遅延時間を 18.5 % 削減することを商用プロセスを用いて確認した。トライステートインバータのみによるマルチプレクサと比較しても、電源電圧が 0.5 V の点において 5.7 % の遅延時間減少を確認した。
- 消費電力の評価を行った結果、提案したアーキテクチャはトランスファゲート型に対しては 7.8% の増加、トライステートインバータ型に対しては 15.5 % のエネルギー減少を確認した。

3. マルチプレクサの遅延時間特性と性能向上手法

本章では、マルチプレクサのサイズ-遅延特性が回路アーキテクチャに依存することを示す。次に、異なるアーキテクチャの混合による遅延時間の短縮について述べる。

3.1 マルチプレクサの回路アーキテクチャ

本稿で取り扱うマルチプレクサとは、2:1 マルチプレクサをツリー状に組み立てることで大規模化したものを指す。図 1 に示す通り、 $2^n:1$ マルチプレクサは n 本の選択信号入力を必要とする。次に、本稿で述べるマルチプレクサの遅延時間について定義する。クリティカルパスとして考えられるのは、出力から最も遠い選択信号 (図 1 中 S) が変化した時のパス 1 と、データ入力信号 (図 1 中 A など) が変化した時のパス 2 のいずれかである。いずれの場合においても、1 段目の 2:1 マルチプレクサを通過した後 (図 1 中 B) から出力までのパス 0 は同じである。パス 0 は 1 段小さいマルチプレクサのパス 1 と等価であるため、このパスをモデル化することで遅延時間のサイズ依存性を評価する。

2:1 マルチプレクサの実装方法として 3 つのアーキテク

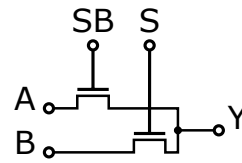


図 2 NMOS パストランジスタを用いた 2:1 マルチプレクサ。

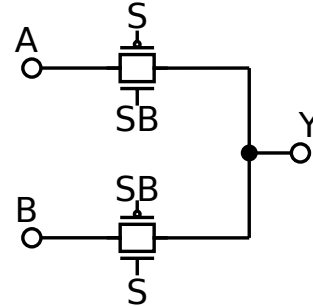


図 3 トランスファゲートを用いた 2:1 マルチプレクサ。

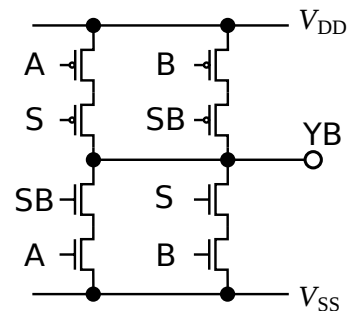


図 4 トライステートインバータを用いた 2:1 マルチプレクサ。

チャを挙げる。

- (1) NMOS のみのパストランジスタ (図 2)
- (2) トランスファゲート (図 3)
- (3) トライステートインバータ (図 4)

選択信号 S と SB は相補的であり、片方が LOW なら他方には HIGH が必ず入力される。パストランジスタとトランスファゲートは PMOS の有無以外は本質的に同じである。データ入力信号がトランジスタのドレイン-ソース間抵抗によって選択制御される。一方、トライステートインバータはデータ入力信号をゲートに与えてトランジスタを制御させ、電源線 V_{DD} , V_{SS} のいずれかが出力につながるような構造である。出力信号は入力信号に対して反転した論理値となる。ここで、選択されたデータ入力から出力までの経路を RC 回路として近似すると、パストランジスタおよびトランスファゲートとトライステートインバータとは異なる形になる。パストランジスタやトランスファゲートは C-R-C 構成の II 型に、トライステートインバータは入力容量と出力抵抗を持つ電圧制御電圧源のように表現することができる。ただし、本稿で定義する抵抗とは、パストランジスタおよびトランスファゲートの場合はチャネル抵抗のうち大きな値を、トライステートインバータの場合はプルアップまたはプルダウン抵抗のうち大きな値の

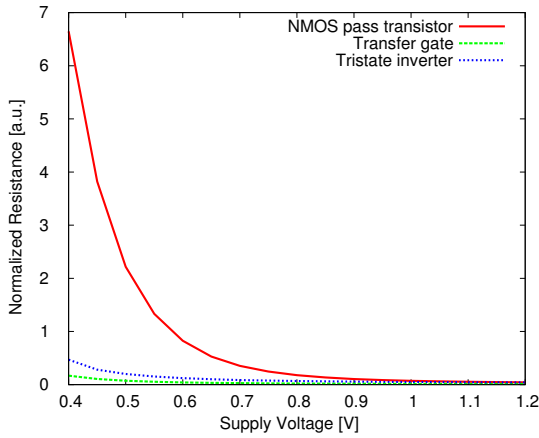


図 5 電源電圧の変化に伴う抵抗値の変動。

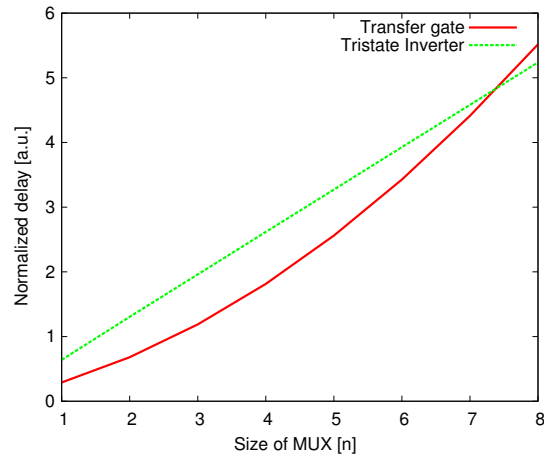


図 6 マルチプレクサの規模と遅延時間の関係。

ことである．この時の RC パラメータより，大規模マルチプレクサの遅延特性を考える．まず，それぞれの 2:1 マルチプレクサにおける電源電圧-抵抗特性を図 5 に示す．ただし，商用 65nm プロセスの通常しきい値電圧モデル，アーキテクチャ間で共通のゲートサイズにおける値を正規化して表示している．電源電圧を下げるに従って，パストラジスタの抵抗値が顕著に悪化する．

RC 集中定数回路の遅延時間を概算する古典的なモデルであるエルモア遅延モデル [9] によればデータパス上の抵抗に遅延時間が比例することから，パストラジスタのみを用いて構成されるマルチプレクサは低電圧化に対応できないことが明らかである．エルモア遅延モデルは，前述した回路構造に起因するマルチプレクサのサイズ-遅延時間の依存性が異なる事実も示唆している．図 6 にマルチプレクサの規模と伝播遅延時間の関係を示す．トランスファゲート型では (パストラジスタも同じ)，マルチプレクサの規模が大きくなるに従って 2 次的に遅延時間が増大するのに対し，トライステートインバータ型では遅延時間の増大が 1 次的である．マルチプレクサの規模が小さい領域ではトランスファゲート型のマルチプレクサのほうが高速に動作するが，規模の大きい領域ではトライステートインバータ型のほうが高速に動作するといったように，優劣が逆転する事実を示している．

3.2 アーキテクチャ混合型マルチプレクサによる遅延軽減

本節では，規模が小さいマルチプレクサでより高速に動作するトランスファゲート型の利点を生かし，大規模マルチプレクサでもトライステートインバータ型以上に高速な動作を可能にする回路アーキテクチャを検討する．データ入力には標準ゲート幅のインバータ 2 段が，選択入力には $\max\{2^{n-1}, 1\}$ 倍のゲート幅のインバータ 2 段が接続されている．トランスファゲートの抵抗を通過する電流が充放電する負荷容量を制限することにより，トランスファゲートの遅延時間増大を防ぐことができる．そこで適当な間隔でトライステートインバータ型を混合することにより，負

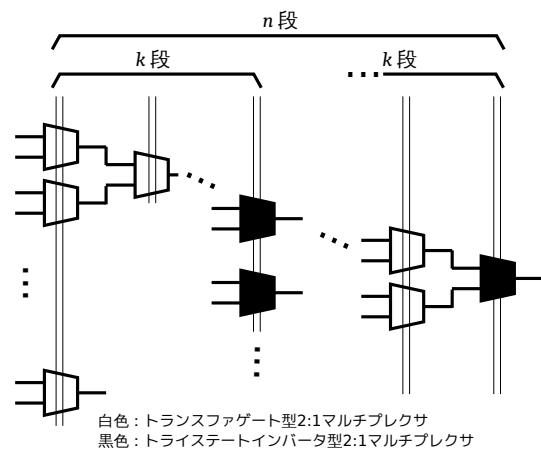


図 7 アーキテクチャ混合型マルチプレクサのイメージ図。

荷容量を低減する方法を考える． $2^n:1$ マルチプレクサ (n 段) において k 段につき 1 段だけトライステートインバータ型，残りをトランスファゲート型の 2:1 マルチプレクサで構成する構造を図 7 に示す．

このとき， n, k を一般化して遅延時間 D を定式化すると式 (1) のようになり， D は k についての関数となる．ただし， R_{TG}, C_{TGi}, C_{TGo} はそれぞれトランスファゲート型 2:1 マルチプレクサのオン抵抗値・入力端容量・出力側容量， R_{TI}, C_{TGi}, C_{TGo} はそれぞれトライステートインバータ型 2:1 マルチプレクサの出力抵抗・入力端容量・出力端容量である．また， $2^n:1$ マルチプレクサの出力端には C_L の容量が負荷として存在するものとする．

$$D = \frac{n}{k} R_{TG} \left(\frac{k(k-1)}{2} C_{TGo} + \frac{(k-1)(k-2)}{2} C_{TGi} + (k-1) C_{TRI} \right) + \left(\frac{n}{k} - 1 \right) R_{TRI} \{ (k-1) \times (C_{TGi} + C_{TGo}) + C_{TRI} + C_{TRIo} \} + \{ R_{TG}(k-1) + R_{TRI} \} C_L \quad (1)$$

ここで D の k に関する導関数が 0 となる k^* に最も近い自然数 k' は，合計 n 段のパスの遅延時間が最も小さくなるようなマルチプレクサの構成を示している．この k' が

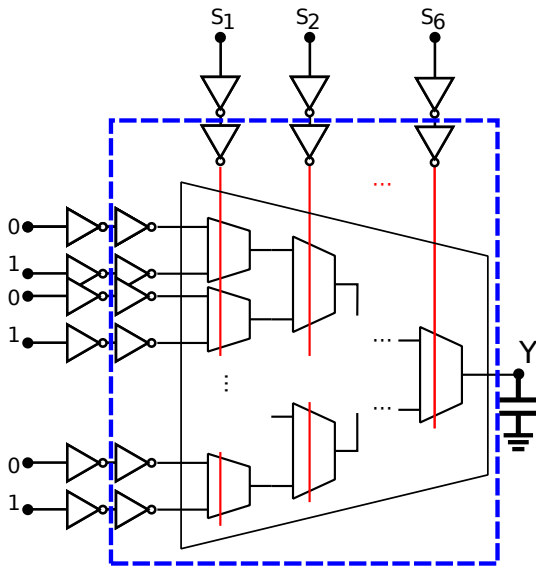


図 8 検証する対象の 64:1 マルチプレクサ，点線枠は電力測定対象範囲．

$0 < k' \leq n$ の領域にあるならば，複数種類のアーキテクチャを混合させることで単一種類アーキテクチャよりも性能を向上させられることになる．

$$k^* = \left\{ 2n \frac{C_{TG0}R_{TRI} + (C_{TRI} - C_{TG})(R_{TG} - R_{TRI})}{(C_{TG0} + C_{TGi})(nR_{TG} + 2R_{TRI}) + 2C_L R_{TG}} + \frac{C_L R_{TRI}}{R_{TRI}} \right\}^{\frac{1}{2}} \quad (2)$$

4. 商用 65nm プロセスにおける検証

本章では，第 3 章で検討した遅延モデルを，商用 65-nm プロセスの通常しきい値電圧トランジスタモデルを対象としたトランジスタレベルの回路シミュレーションにおいて検証する．

4.1 条件設定

図 8 に示す 64:1 マルチプレクサ (6 段) を，パストラジスタ型，トランスファゲート型，トライステートインバータ型，アーキテクチャ混合型の 4 つの方法で設計する．データ入力には標準ゲート幅のインバータ 2 段が，選択入力には $\max\{2^{n-1}, 1\}$ 倍のゲート幅のインバータ 2 段が接続されている．

本稿では，PMOS / NMOS トランジスタのゲート幅はアーキテクチャ間で共通とする．マルチプレクサには最終出力端に標準ゲート幅の 4 倍相当の容量を付加する．遅延時間は図 8 の選択信号入力 S2-S6 を固定し，選択信号入力 S1 から出力 Y までの 50% 伝搬遅延の最悪値とする．各デバイスの RC パラメータは 0.5 V における値を用い，アーキテクチャ混合型において低電圧動作をより強く意識した混合割合となるようにする．トライステートインバー

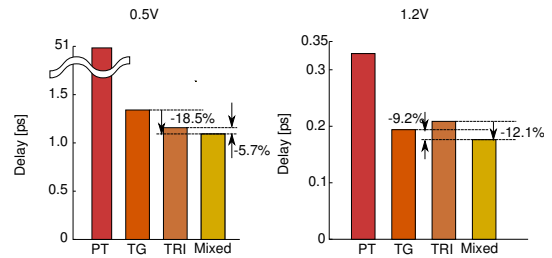


図 9 回路アーキテクチャによる遅延時間の比較，PT：パストラジスタ型，TG：トランスファゲート型，TRI：トライステートインバータ型，Mixed：回路アーキテクチャ混合型．

タの出力抵抗はプルダウン抵抗とプルアップ抵抗のうち大きな値を採用し，悲観的に予測を立てる．消費電力の検証方法について述べる．消費電力は入力 S1-S6 にランダムな 100MHz (マルチプレクサ遅延時間より十分大きい) のベクトルを 1000 パターン入力し，その時に図に点線枠で示される領域において消費された電力を測定する．

当検証では，混合割合を表す k' の決定方法として式 (1) にデバイスの RC パラメータを代入し解を求めた．その結果より， $k' = 3$ を当検証の混合型アーキテクチャにおける混合割合として採用する．

4.2 評価結果

回路アーキテクチャごとの 64:1 マルチプレクサの遅延時間を比較した結果を図 9 に示す．電源電圧の低下に伴い，パストラジスタ型マルチプレクサが急激に速度を低下させている．定格電圧の 1.2 V では，パストラジスタ型はトランスファゲート型より 69 % 大きな遅延時間となる．一方 0.5 V では，パストラジスタ型はトランスファゲートより 3700 % 遅い．

検証した限りすべての電圧領域において，アーキテクチャ混合型マルチプレクサが最も高速に動作する．トランスファゲート型，トライステートインバータ型，アーキテクチャ混合型それぞれのマルチプレクサにおける電圧に対する遅延時間変化を図 10 に示す．電源電圧 1.2 V では次点で高速なトランスファゲート型よりも 9.2 % 小さな遅延時間となる．一方電源電圧 0.5 V では，次点で高速なアーキテクチャはトライステートインバータ型となり，同アーキテクチャと比較して 5.7 % 遅延時間が小さい．0.5 V においてトランスファゲート型と遅延時間を比較すると，18.5 % の遅延時間削減が見られた．本稿ではゲートサイズを固定してアーキテクチャの検討を行った．そのため今回比較した混合型アーキテクチャよりも適切な回路アーキテクチャが存在する可能性がある．しかし，それぞれ 1 種類だけの回路アーキテクチャで設計するよりも遅延時間に関する性能を向上させられることが確かめられた．

消費電力の検証結果を図 11 に示す．提案した混合型アー

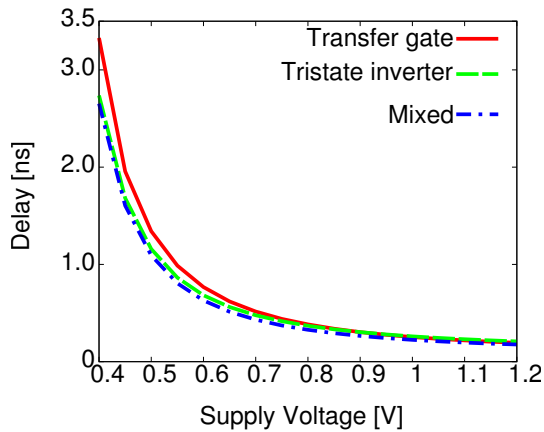


図 10 幅広い電源電圧範囲に対するマルチプレクサ 3 種の遅延時間変化 .

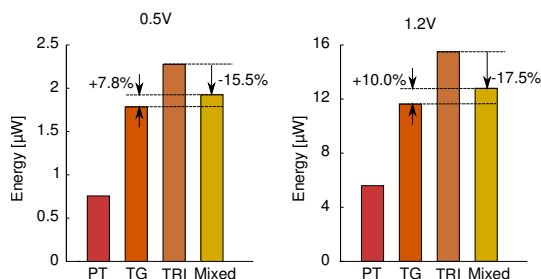


図 11 回路アーキテクチャによる消費電力の比較 .

キテクチャは電源電圧 0.5 V においてトランスファゲート型と比較して+7.8%, トライステートインバータ型と比較して-15.5%の消費電力となった. 電源電圧 1.2 V においてトランスファゲート型と比較して+10.0%, トライステートインバータ型と比較して-17.5%の消費電力となった.

パストラジスタ型のマルチプレクサは PMOS トランジスタを持たないためトランジスタ数が少なく, 消費電力が最も小さい. トランスファゲート型とトライステートインバータ型を比較すると, 2:1 マルチプレクサあたりのトランジスタが前者の 4 に対して後者は 8 である. 主にこの違いにより, 消費電力の差が生まれると考えられる. アーキテクチャ混合型はトランスファゲート型とトライステートインバータ型の中間の消費電力となるのも, トランジスタ数の違いによる説明が可能である.

5. 結論

デジタル回路における大規模マルチプレクサを構成する要素である 2:1 マルチプレクサとして利用可能なデバイスには複数の種類が挙げられる. 各デバイスを用いたマルチプレクサの遅延時間にはアーキテクチャごとにサイズ依存性があり, パストラジスタ・トランスファゲートを用いる場合は 2 次的に, トライステートインバータを用いる場合は 1 次的に遅延時間が変化をすることを示した. デバイスを適当な割合で混合することで, 単一種類のみを選択して設計するよりも高速な遅延性能を示すアーキテクチャ

が存在することを明らかにした. 商用プロセスにおいてこれを検証し, 0.5 V 動作時においてトランスファゲート単一構成によるマルチプレクサと比較して電源電圧が 0.5 V の点において合計消費エネルギーでは 7.8%の増加となったものの, 遅延時間を 18.5%削減することを確認した. トライステートインバータのみによるマルチプレクサと比較しても, 電源電圧が 0.5 V の点において 15.5%のエネルギー減少と 5.7%の遅延時間減少を両立させることを確認した.

謝辞

本研究は, JST, CREST の支援を受けたものである.

本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われた.

参考文献

- [1] P. Chow, S. O. Seo, J. Rose, K. Chung, G. Paez-Monzon, and I. Rahardja, "The design of a sram-based field-programmable gate array-part ii: Circuit design and layout," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 7, no. 3, pp. 321–330, Sept 1999.
- [2] M. Abusultan and S. P. Khatri, "Look-up table design for deep sub-threshold through full-supply operation," in *Field-Programmable Custom Computing Machines (FCCM), 2014 IEEE 22nd Annual International Symposium on*, May 2014, pp. 259–266.
- [3] A. Lodi, L. Ciccarelli, D. Loparco, R. Canegallo, and R. Guerrieri, "Low leakage design of lut-based fpgas," in *Proceedings of the 31st European Solid-State Circuits Conference, 2005. ESSCIRC 2005.*, Sept 2005, pp. 153–156.
- [4] U. Narayanan, H. W. Leong, K. S. Chung, and C. L. Liu, "Low power multiplexer decomposition," in *Low Power Electronics and Design, 1997. Proceedings., 1997 International Symposium on*, Aug 1997, pp. 269–274.
- [5] C. Chiasson and V. Betz, "Should fpgas abandon the pass-gate?" in *2013 23rd International Conference on Field programmable Logic and Applications*, Sept 2013, pp. 1–8.
- [6] A. Wang and A. Chandrakasan, "A 180-mv subthreshold fft processor using a minimum energy design methodology," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 310–319, Jan 2005.
- [7] "The International Technology Roadmap for Semiconductors (ITRS), System Drivers, 2009, <http://www.itrs.net/>."
- [8] S. Vijayakumar and B. Karthikeyan, "Mixed style of low power multiplexer design for arithmetic architectures using 90nm technology," in *Proceedings of the 12th international conference on Networking, VLSI and signal processing*. World Scientific and Engineering Academy and Society (WSEAS), 2010, pp. 83–87.
- [9] W. Elmore, "The transient response of damped linear networks with particular regard to wideband amplifiers," *Journal of applied physics*, vol. 19, no. 1, pp. 55–63, 1948.