4K-9

演算要素にカウンタ制御を付加した 動的再構成デバイスアーキテクチャの構築

A Dynamically Reconfigurable Device Architecture with counter controller unit in processor element

濱田 貴之 Takayuki Hamada　加島 啓太 Keita Kashima　北村 智広 Tomohiro Kitamura　浜辺 直輝 Naoki Hamabe　柴田 浩 Hiroshi Sibata

大阪工業大学 情報科学研究科 情報科学専攻
Department of Information Science and Technology,Osaka Institute of Technology
--- m1m06a22@info.oit.ac.jp ---

１．緒論

動的再構成デバイス（DRD：Dynamically Reconfigurable Device)とは、非常に短い時間で回路構成を再構成することが可能なデバイスである．特徴は目的とする処理系に合わせて、回路構成の高速な再構成が可能なことである．すなわち、１つのデバイスで専用回路レベルの処理効率を持った回路の実現が可能であることであり、さらにそれらの高速な切り替えが可能であるということである．

基本的なDRDのアーキテクチャは、演算要素が複数用いられており、それらの制御と配線機能による連動動作によって、柔軟性と機能性両方を得ることが可能になっている[1]．

DRDの詳細なアーキテクチャを構築し、その制御方式、配線と柔軟性についての考察を行った．

２．アーキテクチャ

動的な再構成を可能にするためには,対象とする処理アルゴリズムに対応したコンテキストのマッピングと、さらに再構成能力と切り替え時間を可能な限り短くできるアーキテクチャであることが条件である．

本研究のDRDは、演算要素群、データレジスタ、状態遷移装置、メモリ制御装置から構成される．

２－１．演算要素

演算要素は、PE（Processor Element）と呼ばれる．これは、演算機能と配線選別装置を持ち、複数のPEを二次元アレイ状に並べることによって、マッピングの可能な演算部となる[1]．

図１は、PEの構成要素を最小モジュール単位で示したものである．PEに必要な装置は、入力選別装置、ALU、レジスタ、出力選別装置、演算調整装置（Calculate Adjuster)と、それらへの全命令を格納する命令メモリであるInstructionメモリがある．さらに今回は、Instructionメモリの機能性を上げるために、エレメントカウンタ（Element Counter)を各PEに搭載した．

Instructionメモリには、あらかじめ各処理に対応した命令が格納可能であり、１つのマッピングには、一定の領域が対応している．領域の先頭へのポインタが変更されれば、マッピングの切り替えが起こったということにある．

２－２．データレジスタ

PEは１クロックで演算結果をPE内レジスタに格納でき、次のPEへの入力として扱うことが可能になっている．PE群の演算データフローを妨げないためには、１クロックごとに演算対象データが送信可能である必要がある．

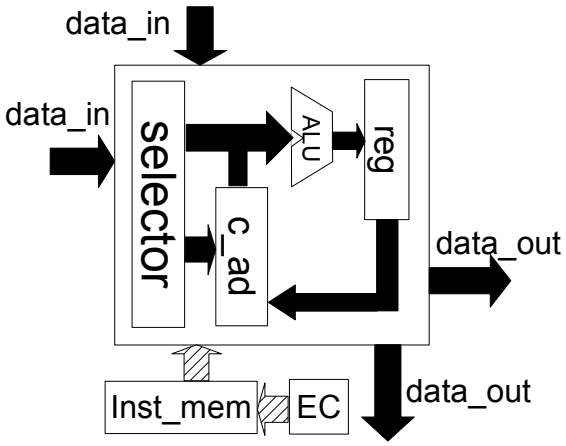
例えば、デバイスが演算中に出力先のレジスタが埋まったら、制御信号を送信して演算動作を止めるか、外部メモリへの演算結果データ退避を随時行うことでデータを保全できるが、前者は余分な処理時間やPE内データ保持のタイミングなどが問題となる．後者は外部メモリとの速度差なども考慮しなくてはならないためである．

本デバイスでは入出力装置にシフトレジスタを用いて、この問題の回避を試みた．

２－３．制御装置

演算要素群と、入出力装置は状態遷移制御装置で制御される．デバイスが演算時に取り得る状態としては、入力データレジスタへのデータロード、演算動作、出力データのストア、動的再構成があり、状態ごとに各モジュールに制御信号を送信する．他にも、短時間での再構成を行うためには、全PEと入出力装置に一元的に制御信号を送信できる構成でなくてはならない．この制御装置はSTC(State Transition Controller)と呼ばれる[2]．

STCは、PE群の他にも演算部のデータ用入出力レジスタ、データメモリ、さらにこの２つにデータが格納されるときに用いられるアドレス生成装置（Address Generator）への制御信号送信も行う．

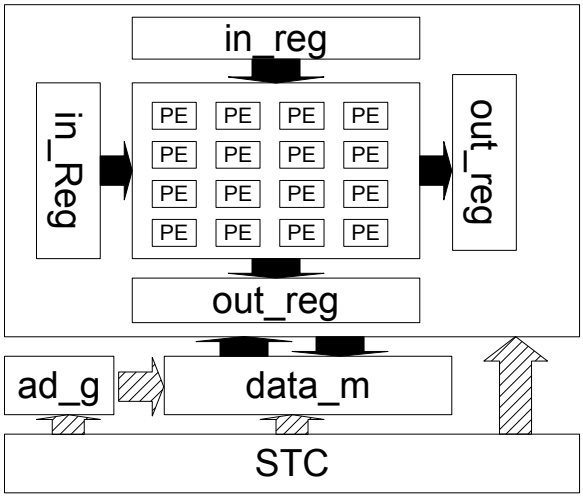


＊黒矢印：データ信号　　縞矢印：制御信号

図１．Processor Element構成図

３．演算動作

以上のモジュールを用いた構成の全体図を図２に示す．ALTERA 社のハードウェア開発ソフト QuartusⅡ で動作シミュレーションを行った．それにより、PE 群のマッピングによる連動動作による並列演算処理が可能であることを確認した．さらに、その中でも特に PE の配置として二次元シストリックアレイ状の構成を取っている本デバイスにおいて適している処理対象である行列積演算を行った[3]．本 DRD とハザードを考慮しないパイプライン CPU とで単純にクロック数で比較してみると、４×４の行列積演算処理は、１０２クロック必要であり、本デバイスでは演算に１４クロック、演算以外の再構成に掛かる時間や、データレジスタ制御などはそれぞれ１クロックで可能なので、通常の汎用 CPU と比べて演算効率において大きく優れているといえる．



＊黒矢印：データ信号　　縞矢印：制御信号

図２．DRD 全体図

４．考察

DRD アーキテクチャ構築において、動的再構成能力の決定要因として考えられる２つの点についての考察を行った．

４－１．制御方式

命令メモリを搭載した演算要素を用いた DRD の制御方式として、マルチプロセッサ方式とマルチコンテキスト方式がある[4]．マルチプロセッサ方式とは、命令メモリを各 PE が別々のアドレスで読み込むという方式であり、PE 動作を自由に扱うことが可能である．しかし、PE 数と命令メモリアドレスの積だけ制御ビット幅が増大してしまい、特に動的再構成時の制御の複雑化に繋がる．

今回のデバイスはマルチコンテキスト方式をベースにした設計を行った．こちらの方式は、PE 内の命令メモリアドレスはすべての PE で同じアドレスとなっている．ポインタ制御のみで動的再構成を可能にしているため、制御性が高い．さらにカウンタ制御によるアドレス操作機能を加えて、マルチプロセッサ方式の利点も取り入れることで、機能性と制御性を両立させることに成功した．

４－２．配線自由度と性能

PE と入出力バスとの接続構成は目的とするシストリックアレイの種類や、デバイスの目的とするマッピング能力によって変化する．今回構築した DRD では、PE データ入力は入力データレジスタの中で、縦か横の位置が同じであれば PE は入力として選別することができ、出力は位置的に近い縦２つか横２つの中から出力先を選別することができるようになっている．入出力の柔軟性を適度に高めることによって、PE の機能追加を抑えつつ、行列積演算や並列処理を高速に行えるようにしてある．

例えば、入出力レジスタと PE が隣接のみのデータの受け渡しを可能にした場合で今回の実験結果のような行列積演算を行えば、速度を低下させて処理を行うか、PE 内モジュール等の機能追加を行わなくてはならない．

他にも、DRD は PE の出力を他の PE の入力としているのだが、この時入力の選別対象を増やしても柔軟性は向上する．しかし、その配線増加量は PE の数に比例するので、デバイス規模によっては無視できないものとなる可能性が高く、さらに制御の複雑化も問題点にも成り得る．

柔軟性と配線の増大のトレードオフの関係を理解しておくことも、DRD 設計を行ううえで重要．な点であるといえる．

５．まとめ：DRD 設計

動的再構成デバイスは、通常の汎用プロセッサのようなアーキテクチャと全く異なっている．再構成によって多機能を実現するため、マッピングによっては、専用回路に比べて非常に無駄の多い構成となってしまうこともあるだろう．しかし、１つ機能マッピングにおける問題点の解決のために PE に機能追加を行うと、PE を多数搭載しているため回路規模の増大が問題となってくる．制御性・機能性・回路規模がに特に影響を互いに与えやすいなので、それらの関係を理解して設計しなくてはならない．

特に現在、DRD アプリケーション開発は考慮するべき制約が非常に大きく、まだ活発とは言い難い．制御性を高めることは、開発を進めるための重要な要素である．

参考文献

[3]末吉敏則、天野英晴：リコンフィギャラブルシステム、オーム社、pp.81-87、pp.145-149、pp.254-257 (2005).

[1]若林一敏、栗島亨、戸井崇雄、木村真人：DRP のデバイス・アーキテクチャ、Design Wave Magazine　2004 年 8 月号、pp62-68　、CQ 出版、(2004).

[2]木村真人、藤井太郎、吉田浩一郎、安住健一郎、矢部義一、戸川勝巳、山田順也、井沢義孝、佐々木僚子：動的再構成プロセッサ（DRP）、情報処理 11 2005 Vol.46 No.11 通巻 489 号、情報処理学会、(2005).

[4]天野英晴：再構成可能プロセッサ、情報処理 10 2005 Vol.46 No.10 通巻 488 号、情報処理学会、(2005).