

汎用性を考慮した GA・SA 併用アーキテクチャ
The combined architecture of GA and SA considered general

○ 川崎洋輔, 吉川雅弥, 寺井秀一
立命館大学 理工学研究科

Yosuke Kawasaki, Masaya Yoshikawa, and Hidekazu Terai
Graduate School of Science and Engineering, Ritsumeikan university

1. はじめに

遺伝的アルゴリズム (GA) やシミュレーティッド・アニーリング法 (SA) は最適化問題を解く手法の一つであり、多くの組み合わせ最適化問題に対して有効な手法である。GA は大域探索に優れた手法であるが系統的な局所探索を行うことができない。一方、SA は局所探索に優れた手法で大域探索を行うことができない。そこで、互いの短所を補完することができるハイブリッド探索が近年注目を集めている^[1]。

しかし、GA は多点探索であるがゆえに処理時間がかかり、SA も解を得るまでの計算量が非常に多いという問題が内在する。そのため、これらを併用したハイブリッド探索を実用的なアプリケーションに適用することを考えた場合、専用ハードウェアが重要となる。

そこで本研究では、各パラメータにたいして高い自由度を与え高速な最適解の探索を実現でき、様々な問題に対して評価回路を変えるだけで適用できる汎用性の高い GA・SA 併用アーキテクチャを提案する。

2. 提案回路の特徴

提案回路の特徴は評価回路を取り替えるだけで全ての GA・SA を使った問題に適用することができるということである。今回、ハンドシェイク型の制御方式を用いている。ここでは、それを自己制御と呼ぶ。それを実現するために回路の自己制御を行っている。自己制御というのは、各回路は前段の回路に対してデータの要求信号を出力する。前段の回路は要求信号がくるとデータを出力するというものである。これにより、一部の回路の入れ替えに伴う処理時間の変化の影響をなくすることができる。

その結果、評価回路を変えたとしても対応することができる汎用性の高いものになる。

今回、それを実証するためにフロアプラン問題と巡回セールスマン問題に適用した。

3. 回路構成

提案アーキテクチャは、世代管理回路、メモリコントローラ、評価回路、選択回路、交叉回路 (GA 時のみ)、突然変異回路で構成する。また、FPGA に実装するために、シリアル通信回路、ボード間通信回路を追加している。PC によってパラメータ値と初期個体生成、そして処理結果の受信を行う。回路ブロック図を図 3 に示す。

3.1. 個体表現

フロアプランの場合の個体はシーケンスペア^[2]に基づき、各ブロックの回転 (θ) およびアスペクト比、($\Gamma+$, $\Gamma-$) で構成する (図1)。回転・アスペクト比, $\Gamma+$, $\Gamma-$ はそれぞれ 8bit で、1 個体は $3n \times 8\text{bit}$ で表現される。

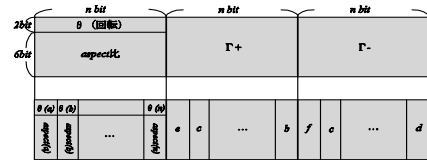


図1 個体表現 (n: ブロック数)

巡回セールスマン問題では、都市コードをそのまま遺伝子としている。

3.2. ハイブリッド方法

本研究では以下に示す GA と SA を組み合わせたハイブリッド探索を行う。最初に GA で処理を行い、その個体を素に SA を行うことが基本となる。しかし、GA の親の個体の改善を目的に途中で各個体を素に SA を用いて探索を行えるようにした。SA は GA の個体数が並列処理できるように設計した。

3.2.1. GA オペレーション

GA は探索のプロセスにおいて、解の候補を複数個用意し、それらを集団としてよりよい方向に導いてゆくことにあるという特徴がある。また、次のような選択手法を用いることで更に効率よく探索を行う。今回設定が可能な選択方法はエリート保存戦略、トーナメント戦略、適応度比例戦略、ルーレット戦略である。

3.2.2 SA オペレーション

シミュレーティッド・アニーリング法における初期個体は GA にて得られた個体群からエリート個体を設定個体数分選び、GA の突然変異回路を用いて変化させ、優良解を探索する。温度スケジュールは 1 次関数的に終了世代で 0 度になるように単純に落とすしていく。

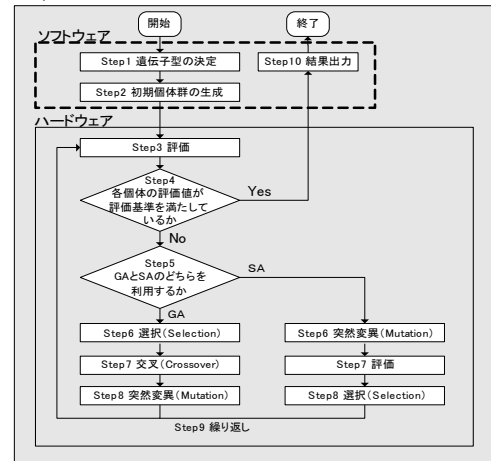


図2 フローチャート

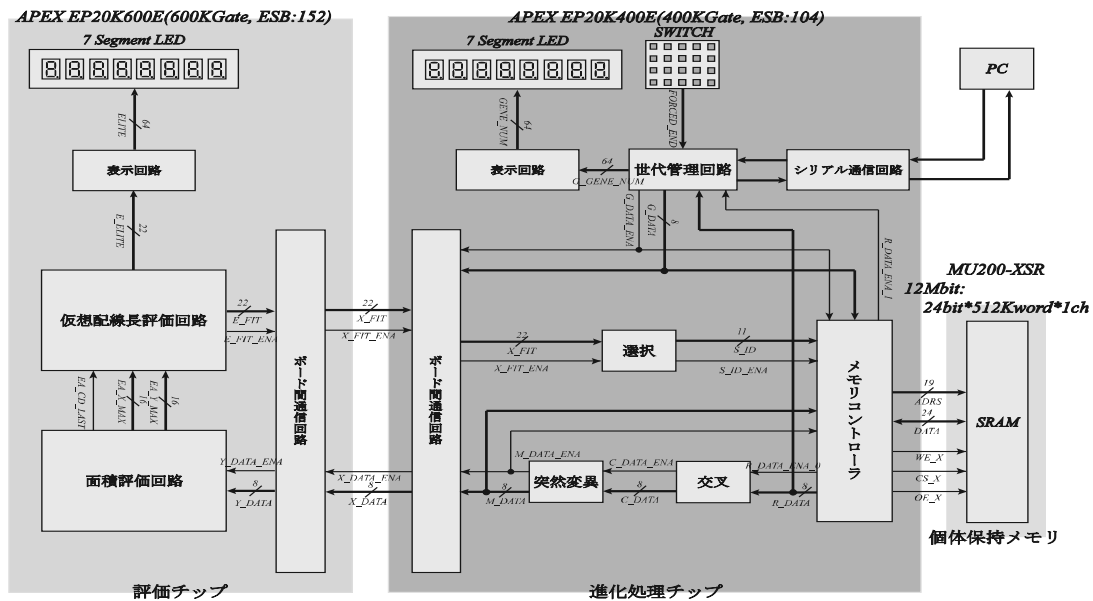


図 3 フロアプランシステムの回路ブロック図

4. 評価実験

フロアプランを行う場合において、目的関数に反映させたのはチップの面積と仮想配線長である。また、巡回セールスマン問題においては都市間を巡る総距離を反映させている。

フロアプランの時のGAのみのソフトウェアとの速度比較を表1に示す。

表1 ハードウェア・ソフトウェア速度比

ブロック数	処理時間(s)		速度比
	SW	HW	
10	10.69	3	3.56
30	37.04	6	6.17
50	88.49	10	8.85
100	298.76	21	14.23

ソフトウェアにおいてGAのみ、SAのみ、GA・SAハイブリッド探索を用いてフロアプランを行った結果を比較したものを表2に示す。

5. 考察

フロアプランを行う場合、ブロック数が増えるにつれて速度比が上がっている。さらに処理時間も実用的な時間であり良好な結果であるといえる。また、ソフトウェアにおいて、GAのみ、SAのみ、GA・SAハイブリッド探索を用いてフロアプランを行った結果を比較した。その結果、ハイブリッド探索が最も良好な結果になり、ハイブリッド探索の有効性を示すことができた。

表2 GA、SA、ハイブリッド探索の比較

	ループ数(万回)			所要時間 (s)	面積	総仮想 配線長
	GA	SA				
GAのみ	10	0	平均	2149	207401	184974
			最大	2207	215865	190481
			最小	2116	201236	177047
SAのみ	0	500	平均	1505	201035	185098
			最大	1528	209603	193761
			最小	1488	195458	175766
ハイブリッド探索	0.5	475	平均	1630	197476	183460
			最大	1701	201439	189716
			最小	1550	194737	178519

6. 今後の課題

さらなる高速化を求めているASIC化を行いたい。しかし、全ての回路を1チップ化するには規模的に現実的でないので部分的に回路を選んでチップ化したいと考えている。

7. 参考文献

- [1] 廣安知之, 三木光範, 小掠真貴, 岡本祐幸 遺伝的交叉手法を用いた並列シミュレーティッド・アニーリング法の検討 情報処理学会論文誌 Sep 2002 vol. 43 pp70-79
- [2] 中谷真吾, 小出哲士, 若林真一, 八田浩 広島大学工学部 A VLSI Floorplanning Method Based on An Adaptive Genetic Algorithm DA シンポジウム 1999 pp.137-142.