

## シフトレジスタを用いたフィルタ処理用プロセッサの設計

奥村 滋人† 浜辺 直輝† 小島 正典† 柴田 浩†  
 †大阪工業大学 情報科学部

### 1. まえがき

音声などの信号を処理する場合、CPU とは別に信号処理専用の回路が必要になる。そこで、CPU でのフィルタ処理が可能で、サンプリング周期内の空き時間を利用してモーターなどのメカニカルコントロールや組み込みマイコン制御が可能ならば、アナログ信号処理の System on Chip 化を図ることができる。そこで、フィルタ処理をプロセッサで高速に行えるアーキテクチャを提案し、音声のバイアス記録のエンファシス用フィルタとして用いて、その有効性を確認する。

### 2. CPU でフィルタ処理を行うには

デジタルフィルタをプロセッサで働かせるには、図 1 に示す data store・data load のようなメモリへのアクセスと、積和演算処理が遅延用メモリの段数分必要になる。そのため、伝達関数が複雑になるほどフィルタ処理に要する時間が長くなる。

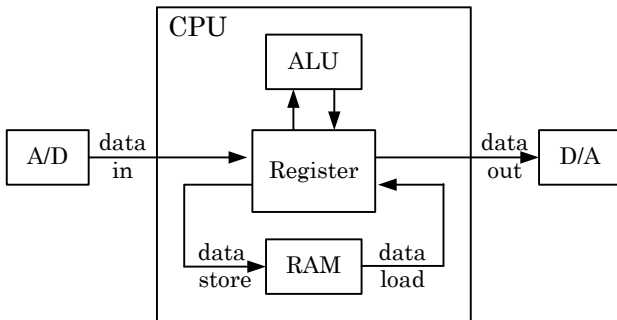


Fig.1 Basic processor

処理時間の短縮を図るため、CPU に内蔵されている汎用レジスタとは別に、図 2 のように遅延データの転送専用としてシフトレジスタを加える。このアーキテクチャを採用することにより、メモリへの遅延データの転送を行う必要がなくなり、フィルタ処理が高速に行えるようになる。

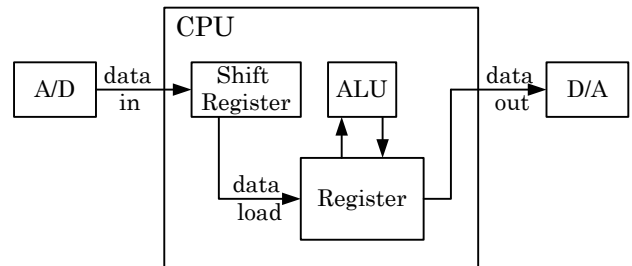


Fig.2 Filter processor system

### 3. 評価に用いたフィルタの原理

VHS 型 VTR や CD などの音声信号を記録する場合、高周波数帯域のノイズが増える。このため、あらかじめ高周波数帯域のゲインを上げた状態で録音し、再生時に元のゲインに戻す処理を行うとノイズが低減される。

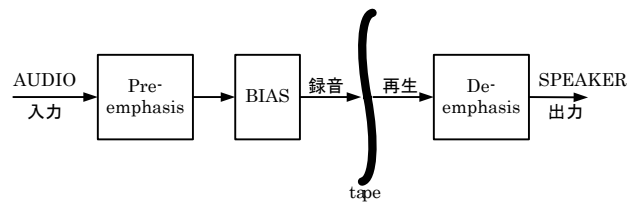


Fig.3 Emphasis

音声信号処理では、再生時のディエンファシス特性が ICE 規格にて規格化されており、その周波数特性  $G$  は以下の式で表される。

$$G = \frac{1 + j\omega/\omega_n}{1 + j\omega/\omega_p} \quad |G| = \sqrt{\frac{1 + (f/f_n)^2}{1 + (f/f_p)^2}}$$

$|G|$  の零点  $f_n$ 、極  $f_p$  はそれぞれ以下の式で計算される。

$$f_n = \frac{1}{2\pi \cdot t_1} \quad f_p = \frac{1}{2\pi \cdot t_2}$$

IEC 規格により、 $t_1 = 120\mu\text{s}$ 、 $t_2 = 3180\mu\text{s}$  として計算すると、零点・極での周波数がそれぞれ、

$$f_n = 50.05\text{Hz}, \quad f_p = 1.326\text{kHz}$$

であることがわかる。

On the design of the processor added Shift-register for high speed Filter processing

†Faculty of Information Science, Osaka Institute of Technology

零点・極で上記の周波数となるような周波数特性をもつデジタルフィルタをプロセッサ上で動作させ、フィルタプロセッサの動作確認とする。

フィルタ処理を行いやすくするため、 $|G|$ の近似を行う。

分母はアナログ回路で設計し、分子については $z$ 変換の伝達関数 $G_n$ で近似することでディエンファシス特性を持つフィルタを構成した。

$G_n$ では、ナイquist周波数である15.75kHz以下の振幅が折り返しノイズとして加わってしまうため、15.75kHzでノッチがかかるノッチフィルタを合成した。

以下に $G_n$ の伝達関数を示す。また、 $G_n$ のシグナルフローを図4に示す。

$$G_n = (1 + z^{-1})(7 - 8z^{-1} + 2z^{-2})$$

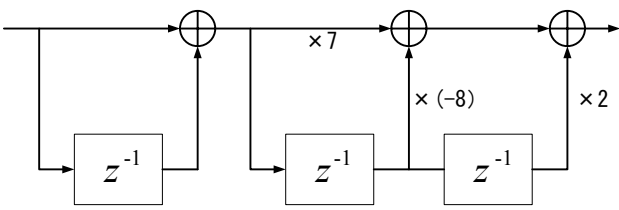


Fig.4 Signal flow

#### 4.FPGA を用いての検証

提案したアーキテクチャをもつCPUをFPGA上で実現した。

入力信号にはファンクションジェネレータを用いて発生させたsin波を使用した。FPGAを通過して得られた結果をD/A変換器に通し、オシロスコープで確認したものとシミュレーション結果を比較した。

分子 $G_n$ の特性を比較したものを図5に示す。

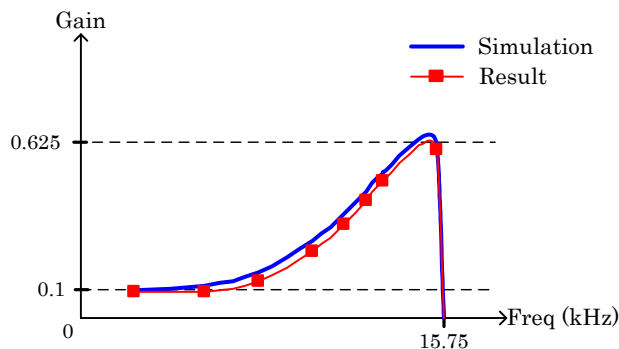


Fig.5 Experimental results

また、アナログ回路で構成した分母部分を合成し、ディエンファシス特性のフィルタとして機能させたフィルタプロセッサの総合特性を図6に示す。

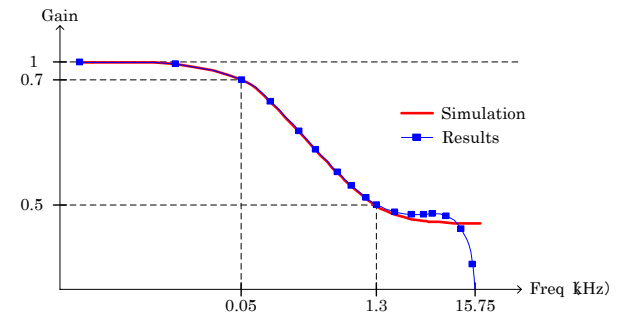


Fig.6 Comprehensive characteristic

CPUのフィルタ処理にかかる時間は、以下の図7に示すとおりシフトレジスタを用いることで処理時間が1/2に短縮された。また、処理にかかる命令ステップ数も半分以下に抑えられた。

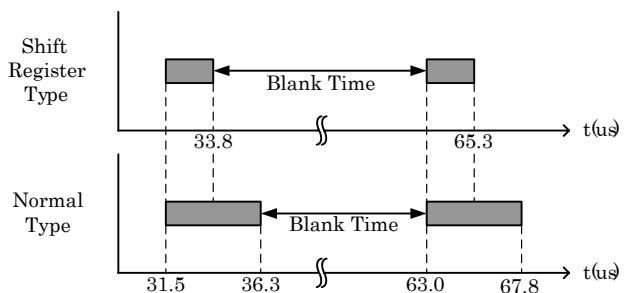


Fig.7 Comparison of processing time

#### 5. むすび

シフトレジスタを採用することによってフィルタ処理に要する時間が短縮され、フィルタ処理を高速に行えていることが確認できた。このため、サンプリング間隔31.5usの大半をフィルタ処理以外の動作に割り当てることができる。また、デジタルフィルタの処理に関して、シミュレーション結果と同等の実験結果が得られることを確認した。