

グリッチによる消費電力に関する考察

金沢 正博 北原 健 南 文裕
(株)東芝 セミコンダクター社

1. はじめに

近年の LSI の微細化・大規模化と共に、LSI の消費電力が増加し、低消費電力設計の重要性が増してきている。低消費電力設計においては、電力最適化技術はもちろんのこと、最適化の指針を決める電力解析技術とその精度も重要なファクタである。

本稿では、ゲートレベル消費電力解析での見積もり誤差の原因となりうる「グリッチによる消費電力」について調査実験を行ったので、その結果について報告する。

2. グリッチ、およびスイッチングの完全性について

通常、1 サイクル内では、各ゲートの出力は“0”または“1”の値に決定されるが、ゲート出力値が最終的に決まるまでに 1 回以上の充放電の発生することがある。この現象をグリッチと呼び、充放電のために電力が消費される。

さらに、グリッチによる充放電は、ゲート出力が、完全にスイッチングする場合と不完全にスイッチングする場合とに分けられる。以下、その違いを図 2 の 2 入力 NAND 回路を例にとり、ゲートレベル解析とトランジスタレベル解析との比較を交えて説明する。

実デバイスにより近いトランジスタレベル解析においては、完全に充放電が行われる「完全スイッチング」の場合(図 1 の一点鎖線)もあれば、中間電位になった後に元に戻る「不完全なスイッチング」(図 1 の破線)の場合もありうる。しかし、通常のゲートレベル解析では、“0”と“1”の間の中間というものはモデル化されず、スイッチングに関しては、充放電が完全に行われる「完全スイッチング」(図 1 の 3)か、スイッチングが発生しない(図 1 の 1 と 2)か、の 2 通りの場合のみをモデル化している。このため、不完全なスイッチングについては、ゲートレベルの消費電力解析では精度良く解析できない恐れがある。特に、ゲートレベルで消費電力を過少に見積もってしまうことは、実際の設計では大きな問題に発展しかねない。次章以降では、モデルの差異が電力解析結果に与える影響について実験を通して考察する。

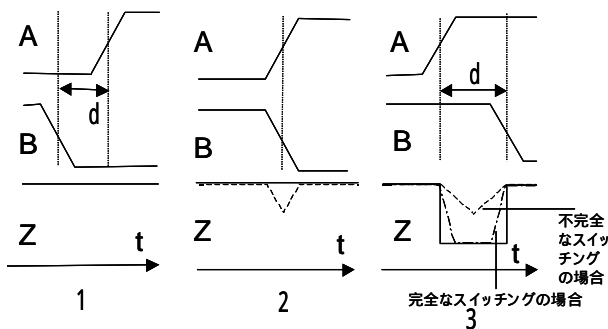


図 1

3. グリッチによる消費電力の解析実験

3.1 単一セルでのグリッチによる消費電力解析実験

入力端子 A と B での信号電位が $V_{dd}/2$ となる時刻に間して、その時刻差 d を様々に変えてみたときの消費電力解析について述べる。

ここに、図 1 の 1 は、スイッチングが起こらない場合であり、 d は負数(マイナス)で表現する。 $V_{dd}/2$ となる時刻が重なる図 1 の 2 の状態では、 $d = 0$ である。また、図 1 の 3 のようにスイッチングが起こる場合には、 d は正数(プラス)で表現する。

3.1.1 実験方法

グリッチ動作の実験では、図 2 のような回路を解析対象とし、具体的には、0.13 μ m プロセスにおける 2 入力 NAND セルを用いた。

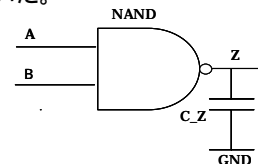


図 2

ゲートの消費電力は入力 SLEW と出力容量に大きく依存するため、この 2 つのパラメータをふって、SPICE 解析による実験を行った。

本実験では、入力端子の SLEW 値は、A、B とともに同じとし、0.1ns、0.2ns、0.5ns、1.0ns、2.0ns、3.0ns の数値で実験した。また、それぞれに対して、出力の容量 C_Z を 10fF、20fF、50fF、100fF に設定した。入力波形は 2 章で述べたものを使った。

3.1.2 実験結果と考察

図 3 に、典型的な実験結果を示す。この図は、出力容量 $LOAD$ が 10fF で、SLEW を変化させた場合の結果を表したものである。X 軸には、A と B の $V_{dd}/2$ の時刻の差 d をとり、Y 軸には、消費電力をとっている。

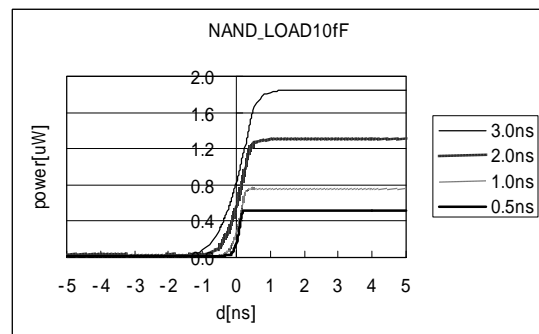


図 3

この図を見るとわかるように、 d がある程度大きい負の値のときは、スイッチングは発生せず、動的電力は消

費されない。一方、dがある程度大きい正の値のときは、完全なスイッチングが発生するので、一定の電力を消費する。

また、消費電力値は、右端の完全スイッチングのときが一番多く、全て単調増加になっているのが分かる。これは、「不完全スイッチングのときの消費電力が、完全スイッチングのときのそれよりも大きくなることがない」ことを示している。

次に、d = 0の場合について着目する。ゲートレベル電力解析では、スイッチングがないとみなされるため、グリッチによる電力消費はないことになる。しかし、トランジスタレベル解析では、グリッチによって電力を消費する結果となる。特に、入力 SLEW が大きい 2.0ns、3.0ns の時には、不完全スイッチングが発生する d の範囲が大きくなる。結果的に、消費電力の過少評価するケースが増える。別の言い方をすれば、入力 SLEW が大きいと、そのゲートについて消費電力を少なく見積もってしまう可能性が大きくなり、注意が必要である。

3.2 複数のセルによるグリッチの消費電力実験

3.2.1 実験方法

複数のセルが縦列接続された回路において、実験を行った。問題を単純化するため、図4のようなものを対象回路として用いた。

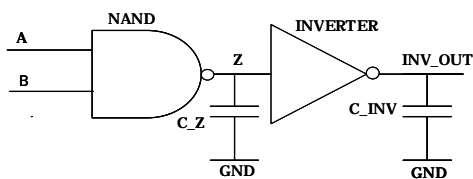


図4

前段側のセルとしては、前節と同様の2入力 NAND セルを用い、後段側のインバータセルのサイズは、NAND セルと同等とした。NAND セルに対する入力 SLEW、出力容量は、単一セルでの実験条件と同様とした。インバータの出力容量 C_INV は、20fF とした。

NAND セルの出力 Z が不完全スイッチングとなった場合、インバータの入力信号が中間電位になり、インバータセルにおいて貫通電流が大量に流れる可能性がある。この実験により、次段への影響を含めた不完全スイッチングによる消費電力が、完全スイッチングによる消費電力を超えることがあるかどうかを調べられる。

3.2.2 実験結果と考察

入力 SLEW が 3.0ns、NAND の出力容量が 50fF の時の、NAND の消費電力とインバータの消費電力の和、すなわちトータル消費電力を、図5に示す。

実験結果から、NAND とインバータの縦列接続回路においても単一セルの場合と同様に、トータル消費電力としては、「不完全スイッチングのときの消費電力値が、完全スイッチングのときのそれよりも大きくなることがない」ことが分かった。

ここでインバータの消費電力に注目する。図5において、右端が完全スイッチングをした場合の消費電力であるが、それより手前側に、期間は短い完全スイッチングよりも消費電力が上回るタイミングの地点が存在する。

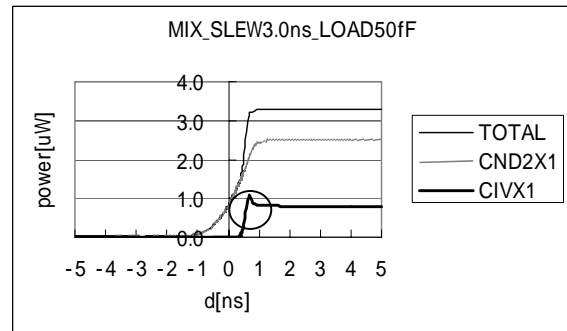


図5

	10fF	20fF	50fF	100fF
0.1ns	1.00	1.00	1.00	1.00
0.2ns	1.00	1.00	1.00	1.00
0.5ns	1.00	1.01	1.02	1.05
1.0ns	1.01	1.03	1.10	1.17
2.0ns	1.13	1.17	1.25	1.31
3.0ns	1.27	1.30	1.36	1.40

表1

完全スイッチングのインバータ消費電力を1としたとき、不完全スイッチングでのインバータ消費電力が最大になったときの消費電力の割合をみると、表1のようになる。この表から、SLEW が大きい場合、または負荷が大きく SLEW もある程度大きい場合に、不完全スイッチングが完全スイッチングを上回ることがあることがわかる。

もちろん、SLEW について、2.0ns、3.0ns は、非常に大きな値であり、0.5ns ないし 1.0ns 以下となるように SLEW をコントロールできれば、上記のようなことは起こらないようにできる。すなわち、SLEW 値が大きくならないように適切にコントロールすることが、ゲートレベルでの消費電力の見積もりにおいても、その精度を向上させる効果がある。

4. まとめ

グリッチが発生する場合の消費電力について単一セルで実験し、不完全スイッチングの消費電力が完全スイッチングの消費電力を上回ることがないことを確認した。

また、グリッチが発生するセルの後段にセルを接続しても同様に、ほとんどの場合、トータル消費電力に関して、不完全スイッチングが完全スイッチングを上回ることがないことを確認できた。

例外として、入力 SLEW が大きい場合で、不完全スイッチング時の電力が完全スイッチング時のそれを上回る現象が特定のタイミングで起こった。こうした現象を回避するためには、0.5ns ないし 1.0ns の SLEW になるようにデザインをコントロールすることが、重要であるといえる。このことは、ゲートレベルでの消費電力解析の精度を向上させる上でも重要である。SLEW を一定以下にコントロールすれば、グリッチによる消費電力を完全スイッチングするものとみなして電力解析を行うことで、消費電力の過少見積もりを回避できる。

SLEW コントロールは、タイミング収束でも重要なファクタであるが、ゲートレベルでの消費電力解析の精度を向上させる上でも重要である。