

画像処理プラットフォーム RASH-IP(1)

- ハードウェア構成

浅見廣愛[†], 山岸陽[†], 今井照久[†], 滝本哲也[†], 天野一彦[†], 中川雅博[†], 佐藤裕幸[†][†]三菱電機(株)

1 はじめに

FPGA(Field Programmable Gate Array)は、最新デバイステクノロジーの適用により高速化・大規模化の進展が著しく、その利便性・柔軟性と処理性能の高さから、特に信号処理や画像処理等の分野で幅広く利用されている。我々はFPGAの特性に注目し、複数のFPGAを使用した可変構造型計算機として、FPGAベース並列マシン RASH (Reconfigurable Architecture based on Scalable Hardware)を開発し[1]、DES(Data Encryption Standard)を始めとする秘密鍵暗号の鍵探索処理が高速に行えることを実証した[2]。また、合成開口レーダ(SAR, Synthetic Aperture Radar)の画像再生処理への適用検討等を行った[3]。

デバイステクノロジーの進歩によりFPGAは更に大規模・高速化しており、従来より大きなデータを高速に処理可能になった。我々は、RASHでの開発経験を踏まえて、これらの新たなデバイスを用いてHDTV(High Definition Television)画像等の動画像をリアルタイムで処理することを目的としたプラットフォームについての検討を行った。今回、この画像処理用プラットフォームをFPGAベース並列マシンRASH-IP(RASH for Image Processing)として開発したので報告する。

2 RASHの構成

RASHはCompactPCI(Peripheral Component Interconnect)基板を使用した演算ボードを基本構成要素としている。演算ボードには、1石10万ゲート規模相当のSRAMタイプのFPGAである、ALTERA社のFLEX10K100A-1(240ピンQFP)が8個搭載されている(図1参照)。

各FPGA間は32bitの信号線でメッシュ/リング状に接続されている。これにより、2石以上のFPGAを使用して1つの機能を実現するような場合や、機能ブロック間の処理データをパイプライン的に流すような構成も可能となる。このような用途を考慮して各FPGAには共通のグローバルクロックが供給

RASH-IP: A high-speed platform for image processing (1)- Hardware of RASH-IP -

Hiroai Asami, Akira Yamagishi, Teruhisa Imai, Tetsuya Takimoto, Kazuhiko Amano, Masahiro Nakagawa, Hiroyuki Sato

Mitsubishi Electric Corporation

5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

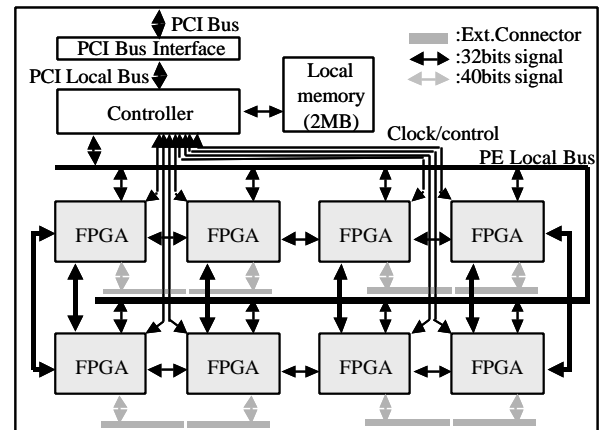


図1 RASHのボード構成

される。また、各FPGAでの独立した処理を可能にするために各々のFPGAには個別にローカルクロックが供給される。グローバル/ローカルクロックは約4.9MHz~60MHzの16種類から選択できる。

また、各FPGAはコントローラとバス接続(32bit)されており、コントローラには演算ボードに搭載されたPCIバスインタフェース回路と2MBのSRAMのローカルメモリが接続されている。FPGAの回路情報はローカルメモリを経由してロードされる。

また、演算ボードの各FPGAからは直接40bitずつの信号線が拡張ボードコネクタに接続されており、ドータカードの増設により機能拡張が可能である。

3 RASH-IPのハードウェア構成

RASH-IPのボードの構成を図2に示す。

RASH-IPのボードではVME基板(6Uサイズ:233.35mm×160mm)を使用し、ALTERA社のFPGAであるStratix(EP1S25-6)を6個搭載した構成とした。RASH-IPでは、6個のFPGAのうち、1つを制御用、1つを画像データ送受信用、4つを画像処理用として使用する。

また、RASH-IPでは、VMEコネクタの他に、PMCコネクタを2個と専用のLVDS17対平行IOを4チャンネル、そしてシリアルIOを2チャンネル搭載する。PMCコネクタのうち、1つは画像データの入出力用として使用し、もう1つはCPU搭載等のPMCカード用として使用する。専用の平行/シリアルIOは、ボードを複数枚使用する場合にボード間でのデータ転送用として使用する。

ボード上には、バスはPCIバスと制御用の32bit

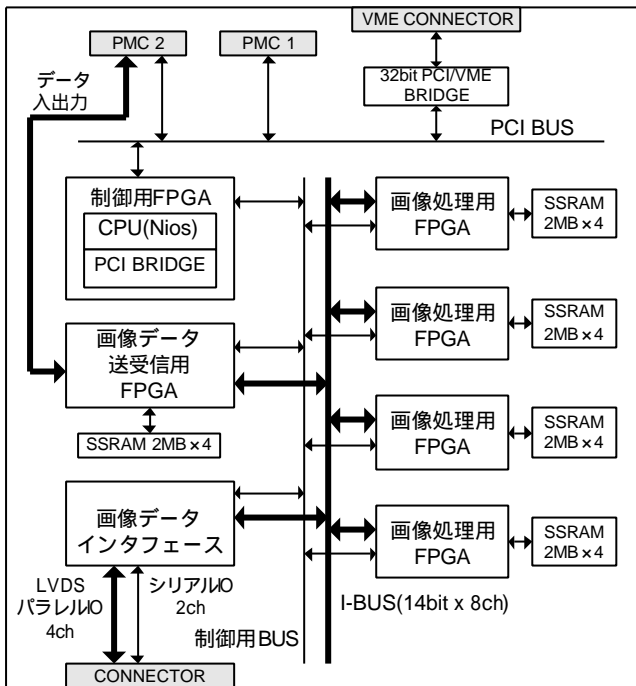


図 2 RASH-IP の演算ボード構成

ローカル CPU バスが 1 本ずつあり、14bit の画像データ転送用バス (I-BUS と呼称) が 10 本用意されている。ローカル CPU バスは、6 個の FPGA に接続されており、制御用 FPGA からの制御データの送受信を行う。I-BUS は、画像データ送受信用 FPGA と画像処理用 FPGA 間のデータ転送用に使用される。また、PCI バスは、PMC コネクタ、制御用 FPGA と直接接続されており、VME コネクタからの VME バスとブリッジを介して接続されている。

メモリは、各画像処理用 FPGA とデータ送受信用 FPGA に 2MByte の同期 SRAM を 4 個搭載した。

制御用 FPGA には CPU コア (ALTERA 社 Nios) を搭載し、パラメータの演算や条件分岐による制御をボード内で行える構成となっている。また、CPU に演算性能が要求される場合には、PMC コネクタに CPU 搭載の PMC カードを接続して PMC カードからの制御・演算を行うことや、VME バスを通して外部の HOST VME ボードからの制御を行うことができる。このようにして処理に応じて柔軟に対応できるような構成となっている。

4 RASH-IP と RASH の比較

RASH と RASH-IP の主な相違点を表 1 に示す。RASH-IP では、画像処理に特化して以下の機能を強化した。

- オンボードメモリ容量
- ボード間のデータ転送性能
- 内部バス転送性能

また、以下の機能を省いた。

表 1 RASH と RASH-IP の構成比較

	RASH	RASH-IP
使用 FPGA	FLEX10K100A-1 x 8	EP1S25-6 x 6
FF 数 / FPGA	4992 個	25,660 個
FF 数 / ボード	39K 個	150K 個
RAMbit 数 / FPGA	24,576 bit	1,945Kbit
RAMbit 数 / ボード	192K bit	11,670Kbit
ボード形状	CompactPCI(6U)	VME(6U)
Interface	32bit PCI (PCI9080)	32bit VME / 32bit PCI (Universe)
メモリ	SRAM 2MB	同期 SRAM2MB x 20
内部結線	32bit 非同期バス リング、メッシュ各 32bit	32bit 非同期バス 14bit 非同期バス x 10
拡張 Interface	各 FPGA から 40bit	PMC コネクタ x 2 LVDS17 対 x 4ch シリアル 2ch

- FPGA 間のリング・メッシュ状接続を削除
- 各 FPGA から拡張インタフェースへの直接接続を削除。

動画の処理では大容量のメモリが必要である。また、処理によっては、高速なリード/ライト動作が必要となる場合がある。このため、RASH-IP ではリード/ライト切り替え時のデッドサイクルが無いことを特徴とする同期 SRAM を採用し、これを計 40Mbyte 搭載した。また、画像データ転送は、主に IO (画像データ送受信用 FPGA、画像データインタフェース) と、各画像処理用 FPGA 間で行われると考え、リング・メッシュ接続をやめ、10 本の I-BUS でデータ転送を行う構成とした。メモリ、I-BUS を補強したことで、各 FPGA から拡張インタフェースへの直接接続は不要と考え、削除した。

5 まとめ

以上、新デバイスを用いて画像処理を対象としたプラットフォーム RASH-IP のハードウェア構成について報告した。今後、実際の画像処理による性能評価等を行う予定である。

参考文献

- [1] 中島, 他: “FPGA ベース並列マシン RASH の概要”, 第 58 回情報処理学会全国大会, 1H-08, 1999-3.
- [2] 浅見, 他: “FPGA ベース並列マシン RASH での DES 暗号解析処理の改良”, 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol.41, No. SIG 5 (HPS 1), pp.50-57, 2000-8.
- [3] 浅見, 他: “FPGA ベース並列マシン RASH での SAR 画像再生処理の適用”, 情報処理学会研究報告 2001-ARC-144 (SWoPP2001), pp.19-24, 2001-8.