

# 5P-4 VHDL による装置設計 CAD の開発

平松 文子† 清水 岳彦‡

†：富士通（株） ‡：富士通キャドテック（株）

## 1. はじめに

通信機器の装置設計は、マルチメディアの発達による装置の大規模化・高速化の進展に伴って、システム仕様の複雑化・検証期間の長大化が問題となっている。

しかし、従来の設計手法では、LSI 外部仕様が確定しなくては PCB 回路設計が開始出来ないこと、装置レベルシミュレーションは PCB 回路設計終了後であること、部品情報中心の回路図面では大規模 ASIC が搭載されていると機能が見えず、設計の後工程で発生した不具合のリカバリに非常に時間がかかること、など容易に解決できない課題がある。

今回、これらの課題に対応し設計期間短縮／設計品質向上を目的として、VHDL を使用した装置設計 CAD システムを開発したので報告する。

## 2. システム概要

全体構成図を図 1 に示す。本システムの特徴は、PCB 回路設計において、回路図エディタを使用した図形エントリ設計ではなく、HDL 言語（VHDL）を使用した言語設計を行うところにある。論理を持たない物理情報は、別途スクリプト（部品情報指示など）により付加し、設計結果として PCB 回路ネットリストを出力する。これを VHDL-PCB 回路変換システムと呼ぶ。

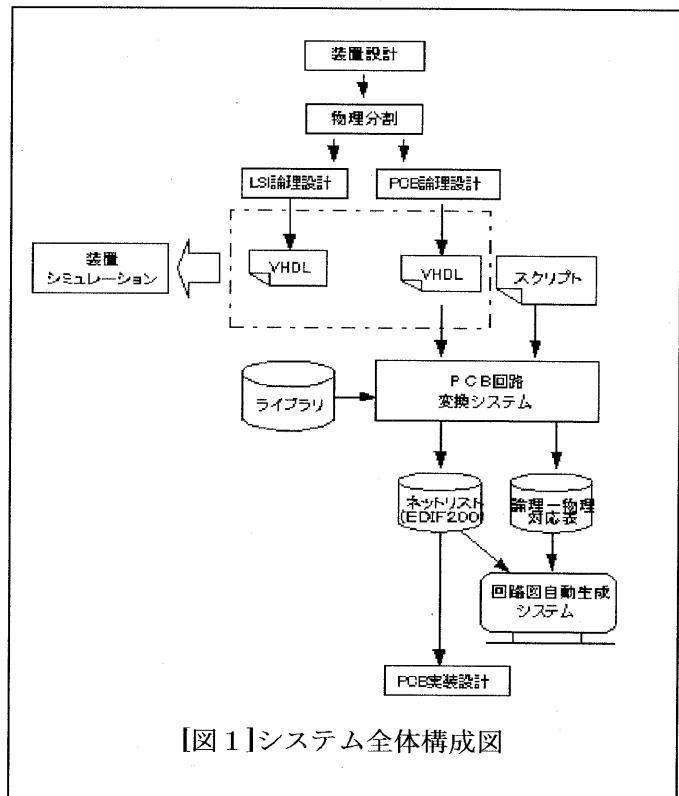
設計結果は、回路図自動生成システムを通じて回路図面上で確認する。

### 2-1 VHDL-PCB 回路変換システム

VHDL-PCB 回路変換システムでは、素子間の接続を記述した VHDL とスクリプトを入力とし、PCB 回路ネットリスト（EDIF200）と論理—物理対応表（VHDL 記述された名称（＝論理）と PCB 回路変換後の名称（＝物理）の対応表）を出力する。

#### 【主要機能】

- (1) 素子への部品／部品ピン割付



【図 1】システム全体構成図

(2) 設計基準やピン特性、動作周波数などにより決定可能なダンピング抵抗・バッファ・終端回路などの自動追加／複数ピン・複数信号への一括条件付与  
 スクリプト記述は、VHDL 情報を中心とした記述を行う。  
 そのため、論理を伴わない LSI 設計変更による周辺回路への影響を考える必要がない。

結果、以下 2 点の効果を確認した。

- (a) VHDL 情報を中心としたスクリプト記述により、LSI 設計において部品情報が確定していない状態でも PCB 回路設計を開始することが可能
- (b) PCB 論理回路としての VHDL が PCB 回路設計の最初の段階で存在するため、装置レベルシミュレーション（論理検証）を早期に行うことが可能

## 2-2 回路図自動生成システム

回路図自動生成システムでは VHDL-PCB 回路変換システムの出力結果である、PCB 回路ネットリスト（EDIF200）と論理-物理対応表を、入力データとする。

### 【主要機能】

- (1) 論理-物理対応表による回路図面上での VHDL 情報切り替え表示・検索
  - (2) ダンピング抵抗やバッファなど、設計条件によって自動追加される以前の論理パス表示・検索
- これらの機能により以下の効果が得られる。
- (a) PCB/LSI 設計から一貫して VHDL 情報を中心に設計を進めることが可能
  - (b) 紙ベースではなく、画面上での設計結果確認・検索が可能

## 3. 適用例・適用結果

適用した装置の PCB 回路規模を表 1 に示す。使用部品数はパソコン 390 個を除くと 514 個となるが、設計者が意識する部品数は VHDL 記述した部品 53 個（約一割）であり、本手法による設計の容易さを示す結果となっている。

図 2 は従来の設計手法による設計期間、図 3 は本手法適用時の設計期間である。2-1,2-2 で述べた効果により、PCB 回路設計期間・システム論理検証期間の前倒しを実現したことが明確にわかる。

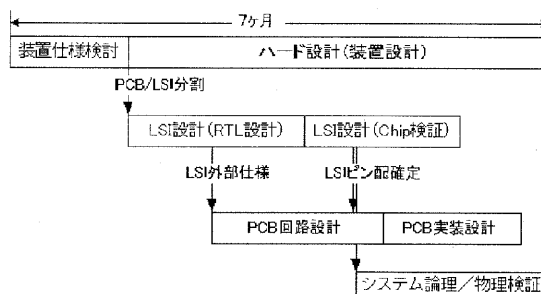
## 4. まとめ

適用した通信機器装置は、機能のほとんどが LSI に組み込まれたため、PCB 回路に含まれるアナログ要素が少ないものであった。本システムは、このような装置への適用に非常に効果の高いシステムであると言える。

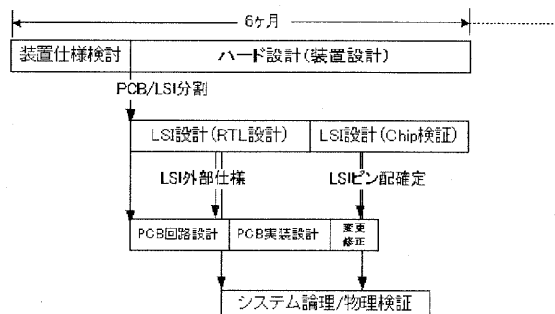
	VHDL	PCB回路(EDIF)
部品数	53	904
ネット数	983	1298

SCRIPT記述量:約4800行(部品割付部分:約2200行)

【表 1】適用装置の PCB 回路規模



【図 2】従来の設計手法による設計期間



【図 3】本手法適用時の設計期間