

アナログデジタル混在回路の検証、テスト手法

3W-07

田中淳也 星直之 橘田光弘

三菱電機(株)

1 はじめに

半導体の製造技術の進歩により、電子機器製品のキーデバイスである LSI は、ますます大規模化/複雑化/システム化が進んできている。また、大規模化、DRAM 内蔵化、CPU コア内蔵化だけでなく、アナログ・デジタル混在化によるシステム LSI 化が必須になってきている。そのため、従来の設計手法では設計が困難、検証期間が膨大、テストが困難等の設計クライシスが従来より叫ばれており、解決策として高位言語ベース設計、HW/SW 協調設計、IP ベース設計等の取り組みが進められている。

本稿では、この中で大規模アナログ・デジタル混在 LSI に的を絞って、アナログ・デジタル混在回路の開発で課題となっている「検証」と「テスト」についての一手法とその適用事例について報告する。

一般的に、アナログ・デジタル混在回路ではアナログ部とデジタル部をそれぞれ分離して独立に検証・テストを行うが、システム化により I/F 回路、アナログ・デジタル相互の制御に関して十分な検証・テストが困難になってきている。本稿では、アナログ回路のデジタルモデル化及びバウンダリスキャン方式の応用により、これらの課題を解決する一手法について報告する。

2 アナログ・デジタル混在回路の検証手法

2.1 アナログ・デジタル混在回路検証の課題

アナログ・デジタル混在 LSI は、図 1 に示すように、デジタル回路部周辺にはアナログ回路部が機能的に配置されており、デジタル回路部の入出力信号はアナログ回路部と接続され、一部が LSI 外部入出力に接続されている。そのため、検証においては、以下の課題があげられる。

- ①アナログ・デジタル I/F 回路部、アナログ・デジタル相互の制御に関しての検証が困難。
- ②Mixed Signal シミュレータによるアナログ回路部、

I/F 部、デジタル回路部を含めたシミュレーションは、シミュレーション時間が膨大であり、現実的な開発期間では困難。

2.2 アナログ・デジタル混在回路の検証手法

これらの課題を解決するため、アナログ回路部、アナログ・デジタルの I/F 回路部をデジタルモデル化した簡易検証モデルを作成し、さらに LSI 外部周辺回路をモデル化した検証用テストベンチ、検証環境を構築した。これにより、LSI 全体及び、LSI 周辺回路をデジタル回路として模擬し、図 1 に示すように、デジタルシミュレータを用いてのチップレベルでの機能検証を実現した。

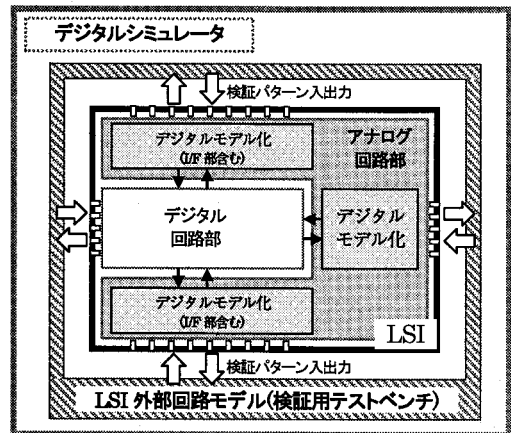


図 1: 機能検証方式

今回の検証手法により、上記 2.1 の課題を解決することができ、大規模なアナログ・デジタル混在 LSI 開発において現実的な開発期間内で効率的な検証の実現が可能となった。さらに、アナログ・デジタル I/F 回路部、アナログ・デジタル相互の制御に関する精度の高い検証により I/F 回路部の仕様だけでなく、アナログ回路部の仕様、デジタル回路部の仕様の整合性の検証も開発の上流段階からの適用が可能となり、品質向上につながった。

3 アナログ・デジタル混在回路のテスト手法

3.1 アナログ・デジタル混在回路テストの課題

デジタル回路内部のランダムロジック部に関しては全面的にスキャン設計を採用することにより、検出率 100% のテストが実現可能である。しかし、アナログ回路部のテスト（アナログ・デジタル相互の制御）及び、アナログ・デジタル I/F 回路部に関するテストが困難である。

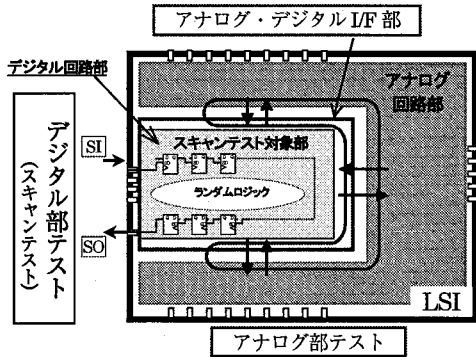


図 2：デジタル回路部のテスト手法

3.2 アナログ回路部のテスト手法

今回のアナログ・デジタル混在 LSI では、アナログ・デジタル相互に影響する制御回路があり、アナログ回路を独立に動作させる為にデジタル部で制御できる構成を盛り込んでいる。

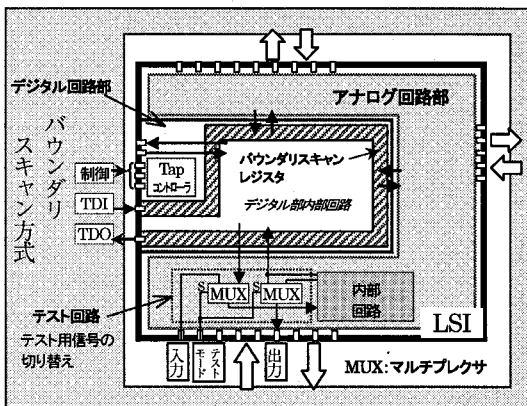


図 3：アナログ回路部のテスト手法

具体的には、システム上（基板上）でのテスト/診断の目的だけでなく、アナログテスト時にも利用できるように IEEE1149.1 準拠(1)のバウンダリスキャン方式を図3に示すように応用、適用した。通常、バウンダリスキャン回路における BSR(バウンダリスキャンレジスタ)

は、LSI の入出力バッファ部分に配置するが、今回は図3のように、デジタル回路内部（周辺部）に配置し、アナログ回路部への制御信号入力及び出力信号サンプリング可能となるように構成した。

これにより、アナログ回路部のテストを独立して行うことができ、さらにアナログ・デジタル相互の制御に関するテストもバウンダリスキャン回路によって行うことが可能となった。

3.3 アナログ・デジタル I/F 回路部のテスト手法

デジタル側の I/F 回路部のテストは、上記 3.1 及び 3.2 で説明したデジタル回路内部のスキャン回路とバウンダリスキャン回路を組み合わせ動作させることにより行う。

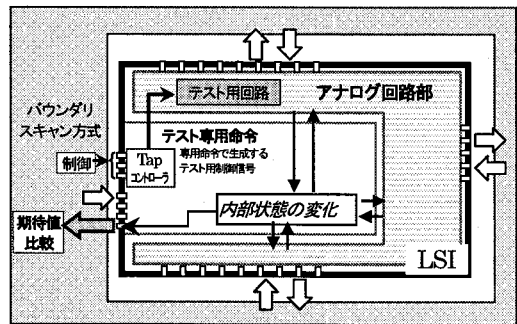


図 4：I/F 回路部のテスト手法

一方、アナログ側の I/F 部回路のテストは、2.2 で説明した検証パターンから I/F 回路部の検証パターンを切り出してテストを実施できるようにした。さらに、LSI 外部からの信号入力では制御できないアナログ側の I/F 回路(例えば、ミリ秒オーダで動作する低速度回路や内部の故障検出回路など)に対しては、バウンダリスキャン回路上でテスト専用命令を定義し、アナログ回路をこの命令で制御する手法を適用した。これにより、アナログ・デジタル I/F 回路部は機能面で 100% テストの実現が可能となった。

4 まとめ

大規模アナログ・デジタル混在 LSI において、本報告の取り組みにより精度の高い機能検証及び検出率の高いテスト実現が可能となった。

【参考文献】

[1]IEEE Standard Test Access Port and Boundary Scan Architecture(IEEE Std 1149.1-1990)