

発表概要

SH-3 向け TLB プリロード手法の提案

山崎 智 広^{†1} 千葉 雄 司^{†2} 土居 範 久^{†1}

本発表では SH-3 において TLB ミスを軽減する方法を検討する。TLB (Translation Look-aside Buffer) とは、仮想メモリやメモリ保護の実現を支援するためのハードウェアであり、メモリアクセスの際に、論理アドレスに対応する物理アドレスやアクセス権限を調査した結果をキャッシュする役割を果たす。しかし、容量の制約から、全論理アドレスに対応する物理アドレスやアクセス権限をキャッシュすることはできず、キャッシュミス (TLB ミス) が発生することがある。TLB ミスが発生した際には、アドレス変換情報やアクセス権限を検索する必要が生じ、実行性能が劣化する。そのため、TLB ミスを削減する手法が重要になる。TLB ミスを削減する手法の 1 つにプリロードがある。これは、アクセスされるページを予測し、あらかじめアドレス変換情報やアクセス権限を TLB にロードする手法であり、過去に予測方式がいくつか提案されている。過去に提案されている手法はプリロードするエントリを 1 つ、または 2 つに固定しているが、本論文では、より多くのエントリをプリロードすることで性能を改善する方法を示す。プリロードするエントリを増やすと、予測が外れた際の影響が大きくなるが、この問題への対策として、提案技法では、予測が困難な場合にプリロードを行わないことで予測にともなう処理を削減する。組み込み機器向けのベンチマークソフトである MiBench の一部など 13 種類のプログラムを用いて評価した結果、提案手法を用いることでプリロードを行わないものに比べ、TLB ミスの回数を平均で約 60%削減でき、実行時間を約 7%高速化できた。

Proposal of TLB Preloading Techniques for SH-3

TOMOHIRO YAMAZAKI,^{†1} YUJI CHIBA^{†2}
and NORIHISA DOI^{†1}

In this presentation, we propose a technique to reduce TLB miss overhead on SH-3. TLB (Translation Look-aside Buffer) is a part of the hardware for virtual memory and memory protection support and caches address translation and protection information, but cannot cache whole such information because of its capacity limitation. Therefore, sometimes a cache miss (TLB miss) happens

and then the information is retrieved causing overhead. One of the techniques to reduce this overhead is TLB entry preloading. This predicts the logical address to be accessed in the future and loads address-translation and protection information for the address to the TLB. Preloading techniques proposed so far load one or two TLB entry per TLB miss, but we propose techniques loading more entries. Predicting more entries does not improve performance if prediction fails, and thus we also propose techniques not to preload when prediction is difficult. We implemented a TLB miss exception handler using our technique and compared it to a TLB miss exception handler that does not use preloading techniques, and the benchmark result of 13 programs including a part of MiBench showed that the proposed techniques reduced TLB miss count by 60% and improved performance by 7% on average.

(平成 20 年 3 月 17 日発表)

^{†1} 中央大学大学院理工学研究科情報工学専攻
Information and System Engineering Course, Graduate School of Science and Engineering, Chuo University
^{†2} 中央大学研究開発機構
Research and Development Initiative, Chuo University