

## 会話型プリント基板設計システム†

西岡 郁夫<sup>††</sup> 栗本 卓治<sup>††</sup> 西田 久生<sup>††</sup>  
山本 誠司<sup>††</sup> 白川 功<sup>†††</sup> 尾崎 弘<sup>†††</sup>

本論文では、デジタル用プリント基板の配線設計を自動化するために開発したシステムについて述べている。

本システムの特徴は、

- (1) グラフィック・ディスプレイを介した「会話型設計システム」とし、バッチ処理による自動配線結果を人間が判断、修正し、再び自動配線ルーチンへ戻すフィードバック機能を備えていること。
  - (2) シグナル・ネットの削除、追加など設計の一部変更が容易に対処できること。
  - (3) 経路探索アルゴリズムとして線分探索法と迷路法を備え、配線の前段で線分探索法、後段で迷路法を用いたこと。
- などであり、システムは PDP 11/34 をホストコンピュータとし、TEKTRONIX 4014 をグラフィック・ターミナルとして構成した。

本文では配線手法と会話型配線修正処理を中心に報告する。

### 1. ま え が き

回路の高密度化にともないプリント基板の設計自動化の重要性はますます高まりつつある。この設計問題のうちで、産業用 2 層プリント基板の自動設計については従来から多くの手法が提案されており<sup>1)~3)</sup>、特に大型電算機や交換装置など基板や搭載部品の標準化・規格化の進んだ分野ではすでにいくつかのシステムが実用化されている。しかしながら標準化・規格化の困難な分野も多く、そこでは依然として多くの設計が人手に委ねられているのが実情である。

そこでこのように標準化・規格化の困難な分野でも有効に活用しうる「会話型設計システム」を開発したのでここにその概要を報告する。

### 2. システムの概要

#### 2.1 システムの特徴

筆者らは本システムの開発以前に大型電算機を用いたバッチ処理配線プログラムを作成した経験があるが<sup>4)~6)</sup>、それに関連して次の事柄が指摘される。すなわち、バッチ処理であるため配線結果が 100% にならなかった場合には人手によるデータの変更作業がはん

雑であり、省力化、コストダウンの観点から問題がある。一方、従来の配線プログラムでは処理順序が後になる結線をあらかじめ考慮しつつ配線処理を進めていくということは困難であり、しかも一度決定した経路は以下の結線に際し障害物として取り扱うため未結線のピンを発生させることが多い。

これらの分析に基づき、本システムの開発に当り下記の特徴を持つよう基本設計を行った。

#### ① システムの柔軟性:

- a. グラフィック・ディスプレイを介した「会話型設計システム」とし、バッチ処理による自動配線結果を人間が判断、修正し、再び自動配線ルーチンへ戻すフィードバック機能を備えること。
- b. データの削除・追加など設計の一部変更が容易に行えること。

② 人手が介入するので、できるだけミスのおこりにくい簡潔な処理手順を持ち、ミスが生じた場合のチェック機能を備えたシステムであること。

③ システムに拡張性を持たせ、ソフトウェア群の管理が容易に行えるように機能別にプログラムをモジュール化すること。

#### 2.2 ハードウェアの構成

ハードウェアの構成を図 1 に示す。使用したコンピュータは PDP 11/34 (32kW, 1W=16bits) であり、外部メモリとして 1.2MW の磁気ディスクおよび MT を備えている。また、記憶容量を 64kW とし、7MW の磁気ディスクを装備することにより、マルチプログラミング処理も可能である。グラフィック端末

† An Interactive Layout System for Two-Layer Printed Wiring Boards by IKUO NISHIOKA, TAKUJI KURIMOTO, HISAO NISHIDA, SEIJI YAMAMOTO (CAD Center, Engineering Division, Sharp Corp.), ISAO SHIRAKAWA, and HIROSHI OZAKI (Department of Electronic Engineering, Osaka University).

†† シャープ(株)技術本部 CAD センター

††† 大阪大学工学部電子工学科

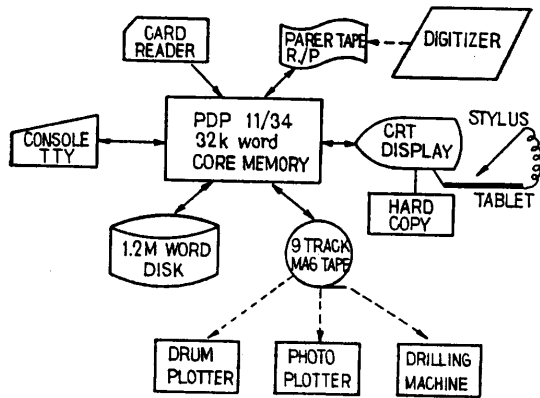


図 1 ハードウェア構成

Fig. 1 Hardware Configuration.

としては TEKTRONIX 4014 型 CRT と 4953 型タブレットを装備して「会話型設計システム」を構成している。

2.3 ソフトウェアの構成

ソフトウェアの構成を図 2 に示す。本システムのデータ・ファイルは、(a)入力データを格納する原始データ・ファイル (Source File), (b)ピン座標, 接続データおよび配線ルーチンや修正ルーチンで生成した線分, 点データを格納するマスタ・ファイル (Design Data Base), (c)フォトプロッタ, NC ボール盤などに直結するデータを格納するアートワーク・ファイル (Artwork File) の 3 種類から構成される。図 2 に示したように, 線分探索法処理ルーチン (LINE) と迷路法処理ルーチン (MAZE) はいずれもマスタ・ファイルを取り巻く独立したバッチ処理のルーチンとなっ

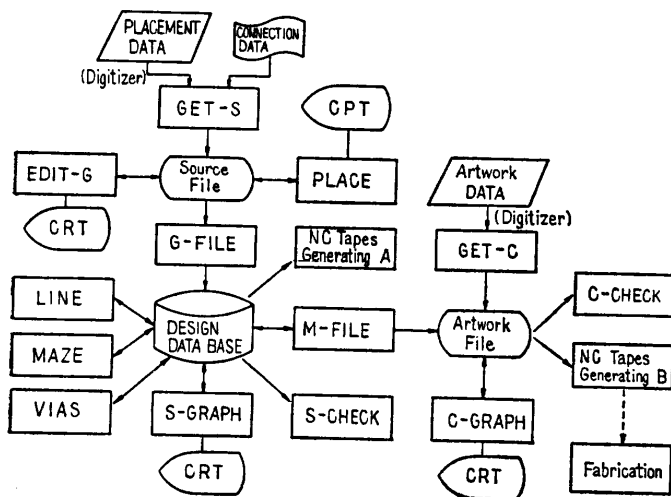


図 2 ソフトウェア構成

Fig. 2 Software Configuration.

ており, 設計処理手順は配線状況を考慮してオペレータが適当に選択することが出来る。通常は線分探索ルーチンに続いて迷路探索ルーチンを実行する。この段階で 100% の配線率が得られない場合には結線不可ピンを中心に配線状況を検討し, 配線修正ルーチン (S-GRAPH) により経路の変更を実施し, そのうち, 改善された状況の下で, 先に結線不可として残されたピンについてのみ迷路探索ルーチンをリランする。この配線パターンの修正とそれに続く迷路法リランの繰り返しはユーザの満足の得られるまで続行される。

標準的な操作手順は図 3 に示されているが, ここで迷路探索ルーチンが生成する経路はあらかじめオペレータが概略の予想が出来ることが望ましく, このため生成される経路に「クセ」のある迷路法を用意して使い分けることを可能にしている。さらに, 本システムでは部品配置は与えられるものとしているが, 特に部品の再配置を必要とする場合には会話的に修正を進めることができる部品配置修正処理ルーチン (PLACE) を備えている。図 2 における S-CHECK は配線検査ルーチンであり会話型配線修正処理で混入するかもし

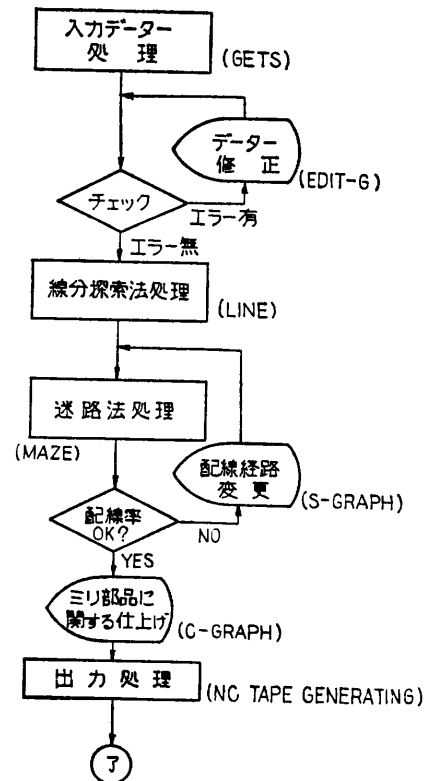


図 3 一般的な処理フロー

Fig. 3 General Flowchart.

表 1 図2における各ルーチンの機能

Table 1 Function of each routine in Fig. 2.

ルーチン名	機 能
GET-S	入力データから Source File を作成
EDIT-G	Source File の会話型修正ルーチン
G-FILE	Source File のチェックと Data Base への変換処理ルーチン
M-FILE	バックアップ・ファイルの入出力, 配線データの合成, 接続データの変更, リスト作成などデータ・ベースの管理
LINE	線分探索法処理ルーチン
MAZE	迷路法処理ルーチン
VIAS	不要なスルーホールを削減ルーチン
S-GRAPH	配線経路の会話型修正ルーチン
C-GRAPH	アートワーク・ファイルの会話型修正ルーチン. 規格外部品に関する修正作業を実行する. 最少1/100ミリの格子設定が可能
S-CHECK	S-GRAPH 実行中に発生しうるオープン故障およびショート故障の検出ルーチン
C-CHECK	C-GRAPH 実行中に発生しうるスペーシング故障を検出する
PLACE	部品配置の会話型修正ルーチン
GET-C	ディжитाइズ・データからアートワーク・ファイルを直接作成する
NC Tapes Generating A, B	ペンプロッタ, フォトプロッタ, ドリリングマシンへの NC テープ作成

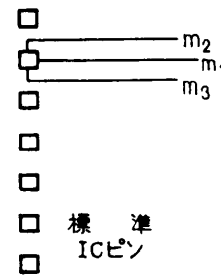
れないミスを検出するためのもので,

- (1) 異なるシグナル・ネット\* 間のショート・ミス (スルーホールの隣接ミスも含む)
- (2) 同一シグナル・ネットにおけるオープン・ミスを検出する. なお図2における各ルーチンの機能については表1に示した.

### 3. 配線手法の概要

本システムで用いた配線手法は前述のように線分探索法と迷路法とから成る. いずれの手法においても経路探索処理は後述する規則で定められた順序に従ってシグナル・ネット単位に進められる. 一般に, 線分探索法は探索処理速度が速く, しかも配線達成率も高い

- \* 同一信号点に属し互いに接続されるべき端子の集合をシグナル・ネットという.
- \*\* 基板全面を1.27ミリのグリッドに分割し, ICの隣接するピン(2.54ミリ間隔)の間に1本の配線を設定する.
- \*\*\* 配線領域のうち255×255格子の面積に相当する分まではインコアで処理し, これを越える分については磁気ディスクを用いたページング処理をおこなっている.
- \*\*\*\* ここで標準 IC が縦長方向に配置されていることが前提とされており, 処理順序および左右に延長しうる距離を考慮して  $m_1, m_2, m_3$  のいずれか1つを選択する.
- \*\*\*\*\*  $\phi$  は空集合をあらわす.



有力な手法である<sup>2),10)</sup>. 本システムでも平均してほとんど80~90%の結線は線分探索ルーチンで達成されている. つぎにここで用いた線分探索法と迷路法の概要について述べる.

#### 3.1 線分探索法

配線領域を最大511×511格子\*\*とし, 1基本格子(セルと呼ぶ)の情報を1ビットに対応させたビットマップを基板の両面分(以下では部品実装面をA面, 他方をB面と呼ぶ)設ける\*\*\*. このセルにピン, スルーホール, 線分が存在するとき対応するビットに「1」をセット, それ以外は「0」をセットしてビットマップを作成する. このビットマップを参照・更新しながら経路探索を実行する. また, プログラムサイズを最小限に抑えるため経路決定問題を「点对点」の配線問題に帰着させ, 3端子以上の経路決定に際しても同じ「点对点」のルーチンを繰返し使用することにより処理手順を簡略化した. ただし, 後に示す処理手順で判るようにこの簡単な処理手順の中で, 多端子ネットワークにおける「点对線」配線を容易に実現している. まず処理手順の中で用いる記号を定義する.

定義1: 着目するシグナル・ネットに含まれる端子  $t_i$  の集合を  $T$  とし, 各  $t_i$  の座標を  $(x_i, y_i)$  とする.

定義2:  $t_i$  について,  $(x_i, y_i), (x_i, y_i-1), (x_i, y_i+1)$  からそれぞれA面において水平方向に生成し得る線分のうちで処理順序を考慮して適当な1本\*\*\*\*をレベル0の線分といい,  $l_0(t_i)$  で表わす.

定義3:  $l_0(t_i)$  上の各セルよりB面において垂直方向に生成しうる任意の線分をレベル1の線分といい,  $l_1(t_i)$  で表わす.

定義4:  $l_1(t_i)$  上の各セルよりA面において水平方向に生成しうる  $l_0(t_i)$  以外の任意の線分をレベル2の線分といい,  $l_2(t_i)$  で表わす.

定義5: 2端子  $t_\alpha, t_\beta$  間の配線経路の決定に際し, レベル0の線分のみによりつくられる配線経路を  $W_0(t_\alpha, t_\beta)$ , レベルが1以下の線分だけでつくられる配線経路を  $W_1(t_\alpha, t_\beta)$ , レベルが2以下の線分で作られる配線経路を  $W_2(t_\alpha, t_\beta)$  という.

以上の定義にもつぎ線分探索は次の手順で実行する. ここで, いまだ結線されていない端子を未接続端子, すでに結線された端子を接続端子と呼び, それぞれの端子の集合を  $US, CS$  とする.

操作1:  $US \leftarrow T, CS \leftarrow \phi$ \*\*\*\* とする.

操作2: 未接続端子  $t$  を  $US$  より選び出して接続

端子と仮定し、 $US \leftarrow US - \{t\}$ ,  $CS \leftarrow CS + \{t\}$  として操作3へ進む。もし  $t$  が存在しない時は操作5へ飛ぶ。

操作3:  $t_u \in US$  に関し、 $t_c \in CS$  に対して  $l_0(t_c)$  と接続可能な  $l_0(t_u)$  あるいは  $l_1(t_u)$  またはすでに配線経路として存在している  $l_1(t_c)$  と接続可能な  $l_0(t_u)$  をすべての  $t_c \in CS$  について探索し、もしあれば、追加線分長が最短の経路を選んで  $W_0(t_u, t_c)$  あるいは  $W_1(t_u, t_c)$  として登録し、 $t_u$  を接続端子とする。すなわち、 $US \leftarrow US - \{t_u\}$ ,  $CS \leftarrow CS + \{t_u\}$ 。すべての  $t_u$  について操作3を繰り返して操作4へ進む。

操作4:  $US$  が空なら操作5へ進む。そうでなければ  $t_u \in US$  に関し、 $t_c \in CS$  に対して  $l_1(t_c)$  と接続可能な  $l_2(t_u)$  またはすでに配線経路として存在している  $l_2(t_c)$  と接続可能な  $l_1(t_u)$  をすべての  $t_c \in CS$  について探索し、もしあれば、追加線分長が最短の経路を選んで  $W_2(t_u, t_c)$  として登録し、 $t_u$  を接続端子とする。すなわち  $US \leftarrow US - \{t_u\}$ ,  $CS \leftarrow CS + \{t_u\}$ 。すべての  $t_u$  に関して操作4を繰り返し、もし  $CS$  に含まれる接続端子が  $t_u$  だけの場合は  $CS \leftarrow CS - \{t_u\}$ ,  $US \leftarrow US + \{t_u\}$  として操作2へ戻る。そうでなければ操作5へ進む。

操作5: 生成された  $W_0(t_u, t_p)$ ,  $W_1(t_u, t_p)$ ,  $W_2(t_u, t_p)$  をマスタ・ファイルに出力し、この時点で未接続の端子は結線不可として次のシグナル・ネットに進む。  
〔操作終了〕

以上の記述から明らかなように、この線分探索ルーチンは「点对点」配線において3個以内の水平線分と2個以内の垂直線分とからなる経路を発見することを目的としている。

線分探索法は探索処理速度が速く、しかも配線達成率も高いが、配線経路が混み合ってきた場合には、生成される経路のパターンに制限があるため結線可能であるにもかかわらず結線不可とする場合もありうる。そこで、すでにかかなりの密度の配線が存在するという状況のもとでより複雑なパターンの経路を探索するための配線手法が必要となる。次に、この目的のために本システムで用いた迷路法について説明する。

### 3.2 迷路法<sup>11)~15)</sup>

本システムで用いられた迷路法は文献 11), 14) に基づいたものであるが、その適用に際しては次のような配慮がなされている。すなわち、未結線シグナル・ネットが単一の時には、もし物理的に結線可能であれば必ず解は得られる。しかしながら、複数組の未結線

表2 4種類の迷路法について  
Table 2 Four types of MAZE routine.

ルーチン名	制限内容
MAZE 1	制限なし
MAZE 2	MAZE 1の結果から違反線分*のうち可能な部分を正常層に移す。
MAZE 3	得られた経路中の違反線分の長さが指定値を越えた場合にこれを配線不可とする。
MAZE 4	経路の探索領域を、注目するネットがカバーする矩形領域より X, Y 方向に指定値だけ拡張した領域内に限定する。

\* A (B) 面上の水平 (垂直) 線分を正常線分, A (B) 面上の垂直 (水平) 線分を違反線分と呼ぶ。

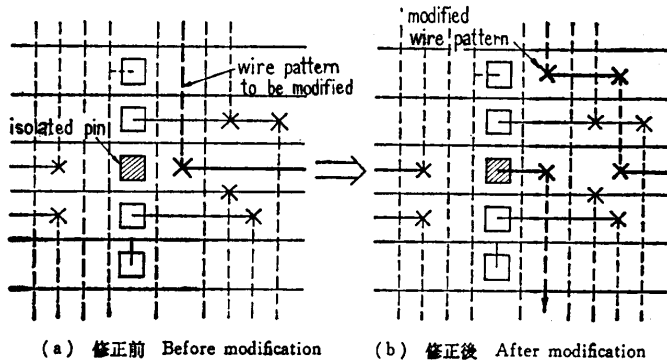
シグナル・ネットについては物理的にはすべて結線可能であるにもかかわらず、実際には先に処理されたネットで生成された不適当な経路が障害となり、後の結線が不可となることが起こる。このことを極力避けるために、生成される経路に各種の「クセづけ」の可能な迷路探索ルーチンを用意した(表2参照)。もちろん、ある配線状況のもとで1つの未接続ネットに着目した場合には「クセ」を解除した時には結線可能なものが「クセづけ」のために結線不可になることがある。そのかわり、1つのネットで生成された経路が他の多くのネットの障害となることを予防することができる。表2に示した各種のクセづけ処理はそれぞれ独立のプログラム・モジュールとなっており、オペレータが配線状況を検討して自由に選択できる。このことは会話型設計システムの利点の1つであり効果を上げている。

### 3.3 配線データの処理順序<sup>8), 9)</sup>

配線データの処理順序は配線率の良否を大きく左右する。本システムでは、(1) 処理順序に関してユーザが経験的な知恵を与えられる時にはそれを可能とすること、(2) それ以外の場合ここで用いた線分探索法に適したようにプログラムで処理順序を決定すること、などの配慮をした。特に(2)の処理順序決定に際しては線分探索法がネット単位に処理を進めることを考慮し、各ネットに含まれる端子をおおう最小矩形領域の面積を端子数で除した値により昇順に処理順序を決定した。この順序決定法が本システムの配線手法において効果を上げることが実験的に確かめられている。

## 4. 会話型配線修正ルーチン

会話型配線修正ルーチンの目的は配線処理において障害となる経路を変更することと、設計最終段階において規格外部品に関するキメ細かい仕上げ作業を実行することである。前者の処理ルーチンを S-GRAPH,



(a) 修正前 Before modification (b) 修正後 After modification

図4 未結線ピンを囲む障害を取り除くための修正作業の例

Fig. 4 An example of modification for the current wire pattern in order for the isolated pin to get out of the blockage.

後者を C-GRAPH と呼ぶ。(図2 および表1 参照)。特に S-GRAPH は自動配線ルーチンで 100% の配線率が得られなかった時に威力を発揮する。この場合オペレータはグラフィック・ディスプレイ上で結線不可ピンを中心に配線状況を検討し、現段階での配線パターンに対して適切な経路変更をおこなう。一例を図4に示した。図(a)では斜線を施したピンは他のネットの配線に妨げられてこの点から escape できない。(図で実線はA面、破線はB面の線分を、×印はスルーホールを示している。)そこで、太線で示したネットに着目して、たとえば図(b)のように変更すると、斜線のピンはこの点から escape することが可能となる。場合によっては、より広範囲な領域での変更が必要であるが、多くの場合はピン周辺の変更で充分である。いずれにしても escape することが確認できれば実際

の配線は迷路法探索ルーチンへ戻しておこなう。この経路変更→迷路法リランの一連の操作は満足な配線が得られるまで繰り返しておこなうことができる。S-GRAPH で用意したエディット・コマンドは40種に及び<sup>8)</sup>、次のような機能に大別される。

- (1) 画面の拡大, 縮小, 移動, 消去
- (2) 任意の線分, ピン, スルーホールの選択
- (3) 選択された線分, ピン, スルーホールの移動, 除去
- (4) 任意の線分, ピン, スルーホールの追加
- (5) シグナル・ネットの追加, 除去および指定したシグナル・ネットに属する線分, ピン, スルーホールの表示などである。

一方 C-GRAPH は外部端子やスイッチ類などに多いミリ規格部品に対する微細な修正作業に用いるため最小 1/100 ミリ単位の座標指定や線幅・ランド径の実体表示が可能のほか、フォトプロッタ作画時のアパーチャ径や NC ボール盤のスピンドル径の指定、変更などの機能を備えている<sup>8),9)</sup>。

### 5. 部品配置修正ルーチン<sup>7),9)</sup>

本システムでは部品配置は与えられたものとして扱っているが高密度実装の基板においては部品配置の良否は配線率に決定的な影響を与える。そこで、配線率が低い場合に部品配置を再検討し、配置の改良をおこなう「会話型部品配置修正ルーチン」を用意した。このルーチンでは、(1) Minimum Spanning Tree (MST)

表3 実施例

Table 3 Implemented results.

Board No.	Board Size (inch)	Wiring Area (inch <sup>2</sup> )	No. of Pins	Module Density (inch <sup>2</sup> /IC)	No. of Nets	No. of From-To Pairs	Wiring Performance (%)			
							LINE	1st MAZE	Rerun of MAZE	TOTAL
1	9.5×9.1	65.4	1092	0.84	137	190	82.11	15.78	2.11	100
2	12.3×11.6	130.9	2283	0.80	220	338	74.26	17.46	8.28	100
3	6.1×11.4	57.1	1306	0.61	190	335	76.12	18.51	5.37	100
4	9.5×10.9	66.9	1196	0.78	123	169	78.70	15.38	5.92	100
5	9.5×10.9	98.9	1487	0.93	106	169	78.11	14.79	7.10	100
6	10.3×9.0	83.7	1160	1.01	294	530	91.32	8.68	0	100
7	9.5×11.0	43.2	456	1.33	68	101	97.03	2.97	0	100
8	12.3×12.8	141.6	1768	1.12	260	507	97.44	2.56	0	100
9	12.4×11.7	119.9	1496	1.12	237	407	73.71	17.69	8.60	100
10	12.3×11.6	112.5	1665	0.95	319	652	90.49	6.90	2.61	100
11	12.5×12.5	119.8	1811	0.93	287	517	74.85	18.38	6.38	99.61
12	8.5×12.9	93.7	1105	1.19	218	316	87.66	8.86	3.48	100
13	9.5×11.5	82.8	1457	0.80	316	604	78.97	16.23	4.80	100
14	12.4×12.0	124.1	2270	0.77	263	467	83.08	8.57	7.75	99.36
15	12.4×11.6	128.1	1617	1.11	345	635	78.74	14.96	6.30	100

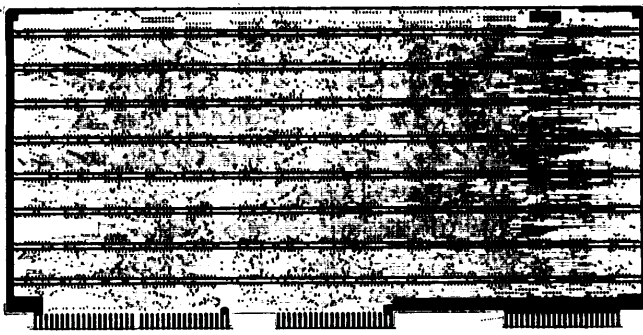


図 5 (a) 描画パターン (第1層)

Fig. 5 (a) Artwork pattern on the first layer.

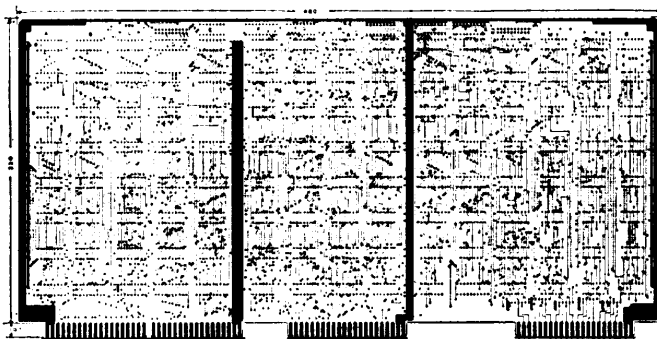


図 5 (b) 描画パターン (第2層)

Fig. 5 (b) Artwork pattern on the second layer.

による仮想総配線長 (直角距離) の計算と表示, (2) 指定した部品に関するシグナル・ネットに対する MST による仮想配線の表示, (3) 部品配置の偏りを評価するための配線密度分布の折線グラフ表示, など部品配置の良否をグラフィック・ディスプレイ上で評価し, 改良することを可能とした。

## 6. 実施例

最後に本システムの実施例を表 3 に示す。表において Wiring Area とは基板全面積 (Board Size) から配線禁止領域を引いた領域, すなわち自動配線領域の面積である。また Module Density は総ピン数を 14 で除した 14 ピン IC 換算数を用いて求めている。表では本システムの実施例のほんの一部を示したに過ぎないが平均的な例を選んである。この中で配線率が 100% に満たない例が 2 例あるが, いずれも 2 度目の迷路法リランで打ち切ったものである。最終作画例を図 5 に示した。

## 7. むすび

本文では, 2 層プリント配線基板の会話型設計システムについて, そのシステム構成と配線手法の概要を説明した。

本システムは自動配線設計手法としてパッチ処理の線分探索法と迷路法を用いる一方, グラフィック・ディスプレイを用いた「マン・マシン」会話型設計システムを構成することにより機動性・融通性に富んだ極めて配線能力の高い設計システムを実現した。

最後に本システムの製作過程において有益な御助言を頂いた大阪大学工学部尾崎研究室の皆様へ感謝します。また, 本システムの重要な部分である「ピン間 2 本配線処理ルーチン」, 「スルーホール削減ルーチン」などのプログラム開発に従事して頂いたシャープ中研の千葉徹氏, 永川俊明氏に感謝します。さらに本システムの開発にあたり御援助を頂いたシャープ中研の鈴木部長, 産業機器事業本部の三坂部長に感謝します。

## 参考文献

- 1) Hashimoto A. and Stevens J.: Wire Routing by Optimizing Channel Assignment within Large Aperture, Proc. Design Automation Workshop, pp. 155-169 (1971).
- 2) Mikami K. and Tabuchi K.: A Computer Program for Optimal Routing of Printed Circuit Conductors, IFIP Congress, pp. 1475-1478 (1968).
- 3) Hightower D. W.: A Solution for Line-routing Problem on the Continuous Plane, Proc. Design Automation Workshop, pp. 1-24 (1969).
- 4) 坂本, 千葉, 井手, 白川, 尾崎, 山村, 杉田, 西岡, 栗本: プリント基板自動配線プログラム OSACA について, 信学会, 回路とシステム理論研資, CST 74-58 (1974).
- 5) 坂本, 千葉, 白川, 尾崎, 杉田, 栗本, 西岡: プリント自動配線システム OSACA, 情報処理, pp. 486-493 (1976).
- 6) Sakamoto A., Chiba T., Shirakawa I., Ozaki H., Sugita S., Kurimoto T., and Nishioka I.: OSACA; A System for Automated Routing on Two-layer Printed Wiring Boards, USA-JAPAN Design Automation Symposium, pp. 100-107 (1975).
- 7) 西岡, 栗本, 西田, 久保, 永川, 白川, 尾崎: ミニコンを用いたプリント回路基板自動配線システム, 信学会, 回路とシステム理論研資, CST

- 76-77 (1976).
- 8) 西岡, 栗本, 西田, 山本, 久保, 白川, 尾崎: ミニコンを用いたプリント基板自動配線設計システム, 情報処理設計自動化研資, DA 32-1 (1977).
- 9) Nishioka I., Kurimoto T., Nishida H., Shirakawa I., and Ozaki H.: A Minicomputerized Automatic Layout System for Two-layer Printed Wiring Boards, Proc. Design Automation Conference, pp. 1-11 (1977).
- 10) 山村, 白川, 尾崎: 二層プリント基板上の配線問題に対する線分探索法の一手法, 信学論, 57 A, pp. 671-678 (1974).
- 11) 千葉, 井手, 白川, 尾崎: 二層配線に対する迷路法の一手法, 信学論, 59 A, pp. 247-253 (1976).
- 12) 千葉, 白川, 尾崎: 配線問題における迷路法が多層基板適用への拡張, 信学論, 60 A, pp. 33-40 (1977).
- 13) Lee C. Y.: An Algorithm for Path Connection and Its Application, IRE Trans. EC-10, pp. 346-365 (1961).
- 14) Geyer J. M.: Connection Routing Algorithm for Printed Circuit Boards, IEEE Trans. CT-18, pp. 95-100 (1971).
- 15) Rubin F.: The Lee Path Connection Algorithm, IEEE Trans. C-23, pp. 907-914 (1974).

(昭和52年8月10日受付)

(昭和54年5月17日採録)