

電力モデルを用いた汎用 CPU V850 の電力最適化

奥原 颯† 藤田 悠† 天野英晴†

†慶應義塾大学大学院理工学研究科

1 はじめに

新しいFD-SOI デバイス、Silicon on Thin BOX(SOTB) MOSFET はボディバイアスを調節する事により基板バイアス効果を用いて低電力化を達成する事が出来る [1]。そこで、SOTB を用いて試作されたチップの電力最適化を行う手法を提案する。本稿ではマイクロコントローラ V850[2] が要求する周波数を達成させた上で、電力の最小化を行う。

2 SOTB MOSFET

SOTB MOSFET の断面図を図 1 に示す。SOTB は FD-SOI デバイスの一つで、10nm 程度の極薄酸化膜上にトランジスタが形成される。ドーパントレスであるため、閾値ばらつきが低減され、低電圧化に適したデバイスとなっている。特に重要な特徴として、SOTB MOSFET はボディバイアスの効果が従来の Bulk MOSFET と比較して効果的に現れるため、ボディバイアス制御に適したデバイスである。ここで、ボディバイアス制御は、MOSFET のボディバイアス電圧 (nMOS は V_{BN} 、pMOS は V_{BP} とする) を調節する事である。表 1 にボディバイアス制御をまとめる。

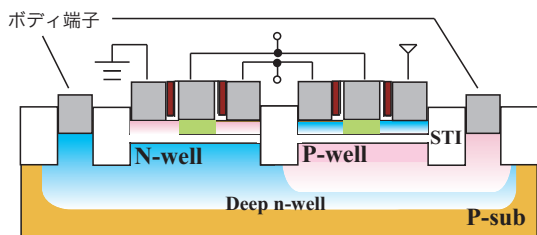


図 1: SOTB MOSFET の断面図: (a)pMOS (b)nMOS

表 1: Body Bias の効果

	フォワード	リバース	ゼロ
V_{BN}	$V_S < V_{BN}$	$V_S > V_{BN}$	$V_S = V_{BN}$
V_{BP}	$V_S > V_{BP}$	$V_S < V_{BP}$	$V_S = V_{BP}$
効果	リーク:増、周波数:増	リーク:減、周波数:減	

3 電力モデル

一般に、LSI の電力は

$$P_{all} = I_{leak}V_{DD} + \alpha_{at}fCV_{DD}^2, \quad (1)$$

で表すことができる。ここで、 V_{DD} は電源電圧、 I_{leak} はリーク電流、 α_{at} は活性化率、 C は容量で f は周波数である。本式を要求周波数 f を与えた上で、最小化することが目的である。MOSFET のリーク電流はサブスレッショルドリーク電流 I_{sub} 、ゲートトンネルリーク I_{gate} 、GIDL I_{gidl} 、pn 接合リーク電流 I_{pn} によることが知られている [3]。ここで、ドレインおよびソースからボディにながれる pn 接合リーク電流は SOTB の構造により除去され、GIDL は無視出来るほどに小さい。そこで、今回は I_{sub} および I_{gate} を考慮する。この 2 つのリーク電流は電源電圧 V_{DD} とボディバイアス電圧 V_{BN} 、 V_{BP} の指数関数である。そこで I_{leak} を

$$I_{leak} = I10^{AV_{DD}+BV_{BN}}, \quad (2)$$

とモデル化する。 A 、 B は電源電圧およびボディバイアス電圧の係数、 I は指数項のための係数である。本モデルでは nMOS のボディバイアス電圧を V_{BN} 、pMOS のボディバイアス電圧を V_{BP} として、nMOS と pMOS で等量のボディバイアスを与えるとして nMOS のボディバイアス電圧のみを記述している。

リーク電流と異なり、スイッチング電力は活性化率 α_{at} と容量 C 、周波数 f 、そして V_{DD}^2 の積で求めることができる。従って、スイッチング電力はそのまま用いる。汎用 CPU は一般にリーク電力が支配的なメモリ部分とスイッチング電力が支配的なコア部分の 2 つの要素からなる。従って、コアとメモリで最適な V_{DD} および V_{BN} は異なる。 V_{DD} を 2 つの領域に分割した場合、レベルシフタを境界面に要するため、その分だけ電力のオーバーヘッドが生じてしまう。これを防ぐため最適点の違いにはボディバイアスをコアとメモリで分割する。従って、 V_{DD} は同電圧を与え、ボディバイアスはコアとメモリで独立に制御出来るとし、CPU の電力モデルは

$$\begin{aligned} I_{allmodel} &= I_{core} \times 10^{A_{core}V_{DD}+B_{core}V_{BN}} \\ &+ I_{mem} \times 10^{A_{mem}V_{DD}+B_{mem}V_{BN}M} \\ &+ (\alpha_{at}C)_{core}fV_{DD} + (\alpha_{at}C)_{mem}fV_{DD}. \end{aligned} \quad (3)$$

Power optimization methodology based on simple power models for a low power micro controller

†Hayate Okuhara †Yu Fujita †Hideharu Amano

†Graduate School of Science and Technology, Keio University

のようにモデル化することができる。

ここで、式(3)は電力の算出は可能だが、システムが要求性能が満たせるか否かを示す式となっていない。そこで、 α -乗則をもちいて最高動作周波数を

$$f_{max} = F \frac{(V_{DD} - V_{TH0} + K_{\gamma} V_{BN})^{\alpha}}{V_{DD}}, \quad (4)$$

として表す。ここで、 V_{TH0} はゼロバイアスとした際の閾値電圧、 K_{γ} は閾値電圧のボディバイアス特性における係数である。式(4)を

$$V_{BN} = \frac{\left(\frac{V_{DD} f_{max}}{F}\right)^{\frac{1}{\alpha}} - (V_{DD} - V_{i0})}{K_{\gamma}}. \quad (5)$$

のように変形し式(3)に代入する事で、要求性能を考慮した電力モデルとなる。提案モデルは V_{DD} の関数となるため、まず与えられた周波数に対して電力を最小とする V_{DD} を求め、その後、式(5)を用いてボディバイアス電圧を求める事が出来る。

本モデルの係数を理論的に求めることは現実的ではない。これは、コアのデザインやメモリのサイズによって異なるためである。そこで、チップの実測を行い、その値を元に係数を算出する。チップの実測はこの係数を求めるために行えば良く、要求性能に対してしらみつぶしに最適点を探索することなく電力の最適化を行う事が出来る [4]。

4 最適化

対象とするチップはマイクロコントローラ V850-Star の実チップである。V850 の RISC 命令セットを持つ5段パイプライン CPU で乗算、飽和演算、ビット演算が追加されている。コア部は 46.2K ゲートからなり、命令メモリおよびデータメモリは 128KB からなる。チップの実測により得られた係数を表2に示す。これらの係数と要求性能をモデル式に代入して、図2のように電力の最小点を算出する。

算出した電圧と、実際に実チップで動かすことが出来た電圧の比較を表3で行う。提案モデルは近似を行っているため、誤差を持つが、電源電圧において6%程度の誤差で実際に動作させることが可能であった。

次に電力の削減効果について述べる。メモリとコアを標準の電源電圧 $V_{DD}=0.4V$ としてメモリとコアの V_{BN} を $0.2V$ から $-0.4V$ までしらみつぶしに探索し最適化を行った場合と、提案手法の最適化との比較を行う。図3に比較結果を示す。要求性能が 22MHz である場合、しらみつぶしに探索した場合が $0.9725mW$ であった。しかし、提案手法により最適化した場合の電力は $0.8939mW$ で 91.19% に電力を削減した。さらに、要求性能が 47MHz であるとき、しらみつぶし探索で得ら

表2: 室温におけるモデル式の係数

	CORE	MEM
I	2.5876×10^{-4}	3.0523×10^{-3}
A	0.51921	0.45172
B	1.7926	2.1563
F	3.7121×10^8	5.5363×10^8
K_{γ}	1.1104×10^{-1}	6.8157×10^{-2}
α_{core}	6.2478×10^{-11}	1.3669×10^{-10}

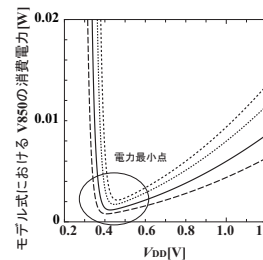


図2: 電力モデルにおける最小点の算出

表3: 実測値との誤差 [V].

Frequency	Calculated value	Measured value
22MHz	$V_{DD} = 0.408$	$V_{DD} = 0.434$
	$V_{BN} = -0.50325$	$V_{BN} = -0.503$
	$V_{BNM} = -0.7186$	$V_{BNM} = -0.720$
30MHz	$V_{DD} = 0.427$	$V_{DD} = 0.452$
	$V_{BN} = -0.41637$	$V_{BN} = -0.420$
	$V_{BNM} = -0.65859$	$V_{BNM} = -0.659$
40MHz	$V_{DD} = 0.452$	$V_{DD} = 0.481$
	$V_{BN} = -0.32696$	$V_{BN} = -0.326$
	$V_{BNM} = -0.60577$	$V_{BNM} = -0.606$
47MHz	$V_{DD} = 0.469$	$V_{DD} = 0.500$
	$V_{BN} = -0.27302$	$V_{BN} = -0.274$
	$V_{BNM} = -0.57900$	$V_{BNM} = -0.579$

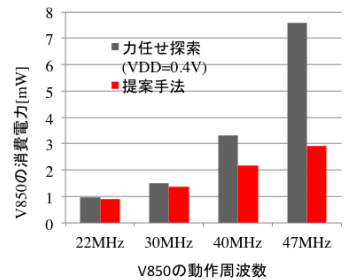


図3: 電力の比較

れた電力は $7.596mW$ であったが、提案手法の電力は $2.902mW$ で 38.2% に電力を削減した。すなわち提案手法は人手によってしらみつぶしに探索出来る範囲外に最適点がある場合に、最適な電源電圧およびボディバイアス電圧を求めることが可能である。

5 おわりに

本報告では SOTB を用いて実装されたチップに適用可能な電力最適化手法を提案した。最適化の結果、6%程度の誤差で最適な電圧の組み合わせを求めることが可能で、プロセスの標準電源電圧でボディバイアスをしらみつぶしに探索し最適化する場合と比較して、最大で 61.8% の電力を削減した。

謝辞

本研究は、JSPS 科研費 (S) ビルディングブロック型計算システムに関する助成を受けたものである。

参考文献

- [1] Takashi Ishigaki, et al. Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET. *Solid State Circuits Technologies*, Jacobus W. Swart (Ed.), pp. 146–156, 2010.
- [2] K.Kitamori, et. al. Power optimization of a micro-controller with Silicon On Thin Buried Oxide. In *SASIMI2013*, pp. 68–731, Oct.
- [3] David Money Harris Neil H.E. Weste. *CMOS VLSI Design A Circuits and Systems Perspective*. Addison Wesley, 4 edition, 2010.
- [4] Hayate Okuhara, et. al. An Optimal Power Supply And Body Bias Voltage for a Ultra Low Power Micro-Controller with Silicon on Thin BOX MOSFET. In *Proceedings of ISLPED*, pp. 207–212, July 2015.