

束データ方式に基づく非同期回路の遅延自動設定手法の提案

江原 宏紀[†] 松本 敦[†]

群馬工業高等専門学校[†]

1. はじめに

束データ方式は、非同期パイプラインの設計法の1つである[1]。同期式と同様のデータパス部を使用するため、設計が容易である。束データ方式では、制御信号線に遅延素子を挿入することで確実なデータ転送を保証している。しかし、実際に必要な遅延時間は、配置配線及び組合せ回路の性能変動に大きく依存する。そこで、本研究では、束データ方式の非同期回路に可変遅延素子を使用し、この回路に対して適切な遅延設定を自動的に行なう手法を提案する。

2. 束データ方式

束データ方式の非同期回路は図1のように、ラッチ、組合せ回路、C素子、遅延素子で構成される。C素子は、すべての入力値が一致したときにその値を出力し、それ以外の場合は出力を保持する回路で、待ち合わせ動作に用いられる。図1の回路は以下のように動作する。ただし、左側のC素子をC1、右側をC2とし、初期状態のC素子は出力が立下がっているとする。また、各C素子の出力は書込み信号、前段への応答信号、後段への要求信号として使用される。

- (1) ReqP を立上げる。
- (2) C1 の出力が立上がる。
- (3) ReqP を立下げる。
- (4) C1 の出力が遅延素子を通り、C2 に到達する。
- (5) C2 の出力が立上がり、C1 の出力が立下がる。

Automatic delay-setting method in asynchronous circuits based on bundled-data implementation

[†] Hiroki Ebara and Atsushi Matsumoto

National Institute of Technology, Gunma College

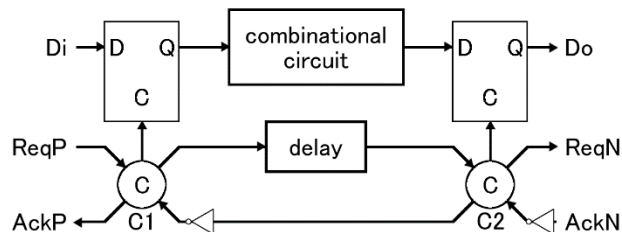


図1：束データ方式の回路構成

- (6) AckN を立上げる。
- (7) C2 の出力が立下がる。
- (8) AckN を立下げる（初期状態に戻る）。

3. 提案手法

非同期パイプラインの各ステージに対して、テストパターンを用いた遅延テストを行なう。テストに対応させるため、図2のように、遅延素子とラッチの部分に変更を加えた。

3.1. 可変遅延素子

制御部の遅延時間を調整可能にするために、可変遅延素子を用いる。可変遅延素子は、図3のように、遅延素子とマルチプレクサで構成することができ、選択信号によって入力-出力間の遅延時間を選択することができる。

3.2. レジスタ

テストパターンの書込みやテスト結果の読出し

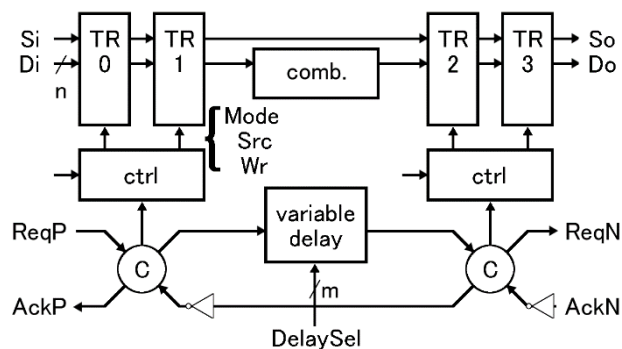


図2：テスト対象回路

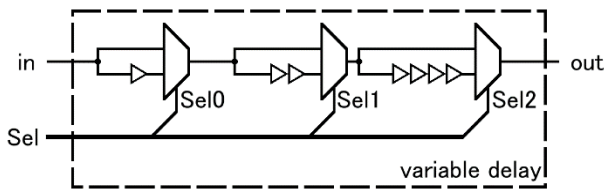


図 3：可変遅延素子の構成

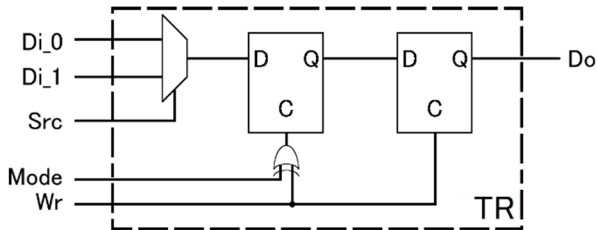


図 4：テスト用レジスタの構成（1 ビット）

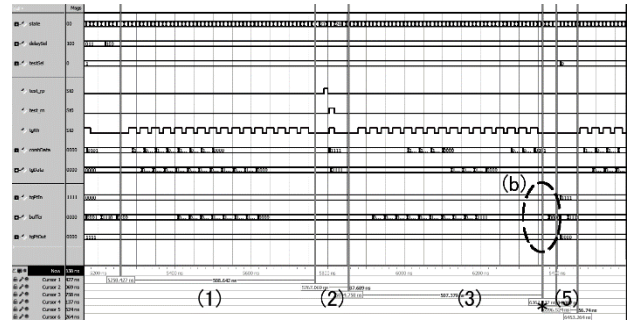
を行なうために、図 4 に示すレジスタ(TR)を用いる。TR は、Mode 信号で動作の切換え(ラッチ/FF), Src 信号でデータ入力の選択ができ、Wr 信号で書き込みを行なう。図 2 では、2 つの TR と、状態を制御する回路が束データ方式の 1 つのラッチに対応している。また、テスト用のスキャンパスを構成している。

3.3. テスト制御回路

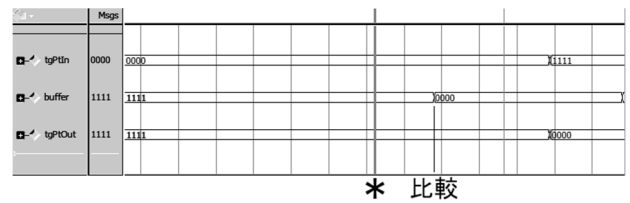
テスト制御回路では、あらかじめ定義されたテストを全て実行し、遅延設定を行なう。各テストは、入出力テストパターンとテスト対象ビットの組で定義される。また、ビット列とレジスタの対応を定義しておく。ここで、入力パターンは、テスト実行時に遅延故障が検出できるものを設定する必要がある^[2]。

各テストは、以下のような手順で行なわれる。

- (1) 対象回路に入力パターンを書込む。
 - (2) 対象回路を動作させ、遅延テストを行なう。
 - (3) 動作結果を読み出し、出力パターンと比較する。
 - (4) 動作結果と出力パターンが一致しない場合は、遅延時間を増加させ、再度テストを行なう。
 - (5) 正常な結果の場合は次のテストに移行する。
- また、レジスタの状態が、(1)及び(3)ではスキャンFF, (2)ではラッチまたはFFとなるように、制御信号を生成する。



(a)：動作 1 回の全体図



(b)：比較部分拡大

図 5：シミュレーション結果

4. シミュレーション

テスト対象回路(図 2 で $n=4, m=3$ とし, comb. に遅延素子を使用した回路)及びテスト制御回路を Verilog HDL で記述し, ModelSim によるゲートレベルシミュレーションを行なった。入力パターンは, TR0 が 1111, TR1 及び TR2 が 0000 となるものを使用し, TR2 の動作結果と出力パターンを基に遅延設定を行なった。

シミュレーションの結果の一部を図 5 に示す。(a)は動作 1 回の全体図で, (b)は上から順に, TR2 の入力パターン, 動作結果, 出力パターンを, 比較動作前後で拡大したものである。比較直前(*印)の動作結果及び出力パターンが一致しており, 適切な遅延時間を設定できていることがわかる。

今後は, 応用的な回路に対して提案手法を適用した場合の回路面積や消費電力の評価を検討する。

参考文献

- [1] J. Sparsø, et al., Principles of Asynchronous Circuit Design: a systems perspective. Kluwer Academic Pub, 2001.
- [2] 梶原誠司, 温暁青: 論理 LSI に対するテスト技術の現状と課題, Journal of SEAJ, No. 87, pp. 38-41, 2003.