

3D-NoC トポロジにおける消費エネルギー・平均最短距離最適化

中原 浩† 安戸 僚汰† 松谷 宏紀† 鯉淵 道紘‡ 中野 浩嗣†† 天野 英晴†
 †慶應義塾大学大学院 ‡国立情報学研究所 ††広島大学

1 はじめに

Network-on-Chip(NoC) [1] はチップをタイルごとに分割して、タイル間の通信をルータを用いてパケット通信を行うことで、従来のバスと比較して高いバンド幅・並列性を実現する。近年では、チップ内のコア数の増加から、Through Silicon Via(TSV)を代表とする3次元積層技術と組み合わせた3D-NoCについての研究も盛んである。3D-NoCのトポロジには基本的に3D Meshが考えられてきた。これは、配線の配置が最も単純で実装がしやすいというメリットがあるが、トポロジ上の平均最短距離においてはあまり優れていない。一方、ランダムトポロジ [2] を代表とする不規則なトポロジは、平均最短距離に優れるが消費エネルギーが大きい。本論文では、3D-NoCのトポロジにおいて、ランダムトポロジを初期状態として最大配線長の制限下で性能・消費エネルギーを最適化する手法を示す。

2 パラメータの定義

最適化するにあたって、以下の4つの値を最適化アルゴリズムの入力とする。

1. 最大許容配線長 L
 配線長を1タイル長を単位長として、隣接するルータ同士のマンハッタン距離と定義する。また最大配線長を任意のルータとそのルータに隣接するルータとのマンハッタン距離の最大値として定義する。最大許容配線長 L は、トポロジの最大配線長は必ず L 以下になるということと定義する。最大許容配線長を最適化の入力として取る理由としては、最大配線長の配線を通る時の遅延がクリティカル・パスとなり、ルータの動作周波数が低くなってしまいう可能性があるからである。
2. 次数 K
 各ルータが隣接するルータの数。ルータの面積やスルーputに影響する。
3. ルータ数 N
 ネットワークのサイズを意味する。
4. 積層するチップ枚数 C

次に、トポロジ最適化の目的として以下の3つの値を最適化することを考える。 G を NoC 上のトポロジと定

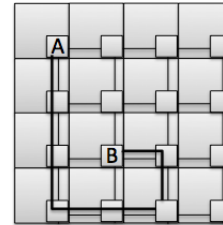


図 1: メッシュにランダムリンクを二本追加したトポロジ

義する。1つ目に直径 $D(G)$ でグラフの最長距離を表す。2つ目に ASPL $A(G)$ でトポロジの平均最短距離を表す。この2つのパラメータはどちらもネットワークの遅延に大きく影響する。

3つ目に平均消費エネルギー E_{avg} とする。一般に3D-NoCのトポロジで消費されるエネルギーは、ルータ・配線・TSVの3つが主要な要因となっている。不規則トポロジでは直径・ASPLが小さくなる代わりに、実際に移動するタイル長が長くなったり、TSVの使用回数が多くなってしまいい結果的に消費電力が大きくなってしまふ。例えば、図1のようなメッシュに太線のようなランダムリンクを追加した場合を考える。ルータAとルータBはメッシュ上の経路を通ると、経由するルータ数が3個、移動する距離が3タイルとなる。一方で、ランダムリンク上の経路を通る場合、経由するルータの数は2個に減っているが、一方で移動する距離は7タイルとなる。不規則トポロジでは、このような傾向からメッシュよりも消費エネルギーが大きくなってしまふ傾向にある。

3 トポロジ最適化アルゴリズム

2章で定義した入力と目的関数を用いて、最適化を行い、その結果としてトポロジの情報を出力する。今回のアルゴリズムでは、直径が最小となるトポロジの中で、ASPLと平均消費エネルギーの積が最小となるようなトポロジを最適化されたトポロジとする。正確には、グラフ G が G' より最適化されているとは、 $D(G) < D(G')$ である、または $D(G) = D(G')$ かつ $f(G) < f(G')$ が成り立っていることと定義する。ここで、 $f(G)$ は ASPL と平均消費エネルギーの積であり、以下の式で表される。

$$f(G) = A(G) \cdot E_{avg}(G) \quad (1)$$

具体的には以下のアルゴリズムを用いてトポロジを最適化する。トポロジが制約を満たすとは、最大配線長が L 以下で次数が K であるようなトポロジのこととする。

3D-NoC Topology Optimization for Average Energy Consumption and Average Shortest Path Length

†Hiroshi Nakahara †Ryota Yasudo †Hiroki Matsutani ‡Michihiro Koibuchi ††Koji Nakano †Hideharu Amano
 †Keio University ‡National Institute of Informatics ††Hiroshima University

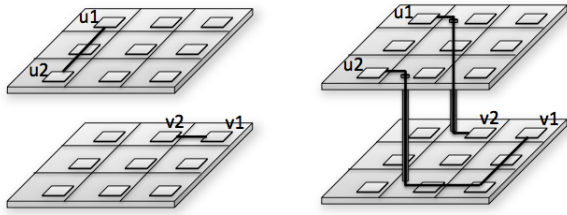


図 2: 積層チップ二枚のときの配線の付け替えの例

- ステップ 1: 初期状態として, 制約を満たすトポロジ G を作成する.
- ステップ 2: G からランダムに 2 つの配線を選択する. 付け替えたトポロジが制約を満たしていれば, 付け替え後のトポロジを新たな G とする. これを複数回繰り返す.
- ステップ 3: G からランダムに 2 つの配線を選択する. 付け替えた後のトポロジを G' とするとき G' が制約を満たし, $D(G) < D(G')$ または $D(G) = D(G')$ かつ $A(G) > A(G')$ のとき, G' を新たな G とする. これを複数回繰り返す.
- ステップ 4: ステップ 3 と同様に, ランダムに 2 つの配線を付け替えた後のトポロジを G' とするとき G' が制約を満たし, $D(G) < D(G')$ または $D(G) = D(G')$ かつ $f(G) < f(G')$ のとき, G' を新たな G とする. これを複数回繰り返す.
- ステップ 5: ステップ 3-4 を複数回繰り返す.

配線の付け替え例を図 2 に示す. この図のように配線付け替え後にはルータ間の距離が長くなってしまふ場合がある. ステップ 4 で最適化が終了したら, ステップ 3 に戻る. これを複数回繰り返した中で, 最も $f(G)$ が小さくなったトポロジ G を出力とする. これがトポロジ最適化アルゴリズムの一連の流れとなる.

4 評価

トポロジ最適化によって生成されたトポロジの評価を行う. 評価環境として, AMD Opteron Processor 6128 上で C 言語で実装したプログラムを用いた.

チップ内ルータ数 16, チップ積層枚数 4 枚の計 64 ルータにおけるトポロジ最適化の結果を図 3 に示す. 次数 K , 最大許容配線長 L で最適化されたトポロジを $\text{opt}(K,L)$, ランダムトポロジを $\text{rand}(K,L)$ と表す. 評価では 3 次元メッシュと条件を合わせるために, 次数は 6 のものを選択した. ランダムトポロジは 3 次元メッシュと比較して消費エネルギーが $L = 2$ のときで 30.2%大きくなっていたのに対し, 最適化されたトポロジでは消費エネルギーが 3 次元メッシュより 4.9%, ランダムトポロジより 27.0%小さく出来たことが分かる. ランダムトポロジには, 配線長が L 以内で無作為に配線をつなぐが, 最適化アルゴリズムでは消費エネルギーを考慮して配線長

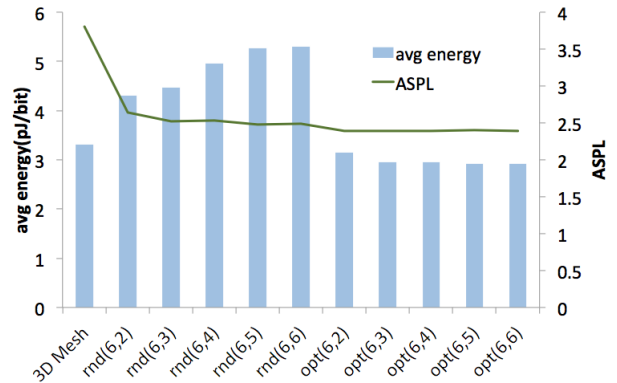


図 3: 最適化されたトポロジの ASPL と平均消費エネルギーの評価

が小さくなるようにしていったことが理由として考えられる. また, ASPL については 3 次元メッシュよりも 37.3%小さくなっており, さらにランダムトポロジよりも 10.8%小さくなっている. これは最適化アルゴリズムではランダムトポロジを初期状態として, そこからさらに最適化を加えていくため, ASPL を小さく出来たからである.

5 結論

本論文では三次元積層チップにおける NoC のトポロジにおいて, 最大配線長制限下での ASPL・平均消費エネルギーを最適化する手法を提案した. この手法によって作成されたトポロジでは, 三次元メッシュと比較して ASPL において 37.3%, 平均消費エネルギーにおいて 4.9%, ランダムトポロジと比較して, ASPL において 10.8%, 消費エネルギーにおいて 27.0%改善することができた.

謝辞

本研究の一部は JSPS 科研費 (S) ビルディングブロック型計算システムに関する研究の助成を受けたものである.

参考文献

[1] William J. Dally and Brian Towles. Route Packets, Not Wires: On-Chip Interconnection Networks. In *Proceedings of the Design Automation Conference (DAC'01)*, pp. 684–689, June 2001.

[2] Michihiro Koibuchi, Hiroki Matsutani, Hideharu Amano, D. Frank Hsu, and Henri Casanova. A case for random shortcut topologies for hpc interconnects. In *ISCA*, pp. 177–188, 2012.