

# 5E - 7 交差突然変異をマイクロプログラム制御で実現する 遺伝的アルゴリズム専用ハードウェアの開発†

若林真一\*

小出哲士\*\*

小泉 慎哉\*

中塚 裕康\*

\*広島大学工学部

\*\*東京大学大規模集積システム設計教育研究センター

## 1 まえがき

組合せ最適化問題に対するヒューリスティック手法の1つとして遺伝的アルゴリズム (Genetic Algorithm, GA)[1]がある。著者らはこれまでに、GAの計算時間の短縮と効率的探索の実現を目的として、エリート度に基づく交差手法の動的選択機能 [2] を組み込んだGAハードウェアGAA-I[3](Genetic Algorithm Accelerator-I), GAA-II[4]を開発している。そして、LSIチップとして実現し、シミュレーションおよび実機による動作検証により、交差手法の動的選択による解空間の効率的探索と、局所解の点在する問題に対する並列GAの有用性、及びソフトウェアGAを上回る高速実行が可能であることを確認している。しかし、これらGAA-I, GAA-IIでは選択できる交差、突然変異手法に限られており、他の手法が有効な問題に対しては適用できないという問題点があった。そこで本研究では、GAA-IIの交差突然変異回路にマイクロプログラム制御方式を導入し、交差、突然変異のアルゴリズムをマイクロプログラムとして記述可能とすることにより、任意の交差、突然変異を実行可能とした新しい遺伝的アルゴリズムプロセッサMP-GAAを提案する。

## 2 提案ハードウェアMP-GAA

### 2.1 MP-GAAの仕様

提案ハードウェアMP-GAAの基本仕様をGAA-I, GAA-IIの仕様と共に表1に示す。MP-GAAでは、大規模最適化問題への適用を考慮し、取り扱い可能な個体数、個体長、評価値の個体情報のサイズをGAA-Iより拡大しており、適用した問題の解空間の詳細な探索と精度の高い解の獲得が可能になる。また、MP-GAAでは、GAA-IIの交差突然変異回路にマイクロプログラム制御を導入することによって交差、突然変異のアルゴリズムをマイクロプログラムとして記述可能とすることにより任意の交差、突然変異を行うことが可能である。更に、適応的交差 [2] についてもエリート個体に適用する交差手法と、非エリート個体に適用する交差手法を任意に組み合わせることが可能である。

表1 MP-GAA及びGAA-I, GAA-IIの仕様

	GAA-I	GAA-II	MP-GAA
個体数	64, 128	32, 64 128, 256	32, 64 128, 256
個体長	64ビット	64, 128, 256 512, 1024 2048ビット	64, 128, 256 512, 1024 2048ビット
評価値	16ビット	16, 32ビット	16, 32ビット
交差手法	2点交差 一様交差 適応的交差	1~5点交差 一様交差 適応的交差	任意 (適応的交差)
選択手法	ルーレット選択 エリート戦略	ルーレット選択 エリート戦略	ルーレット選択 エリート戦略

†“A Genetic Algorithm Accelerator with a Crossover and Mutation Circuit using Microprogrammed Control”, Shin'ichi WAKABAYASHI\*, Tetsushi KOIDE\*\*, Shinya KOIZUMI\*, Hiroyasu NAKATSUKA\*, \*Faculty of Engineering, Hiroshima University, \*\*VLSI Design and Education Center, The University of Tokyo. e-mail:koide@vdec.u-tokyo.ac.jp

### 2.2 MP-GAAのシステム構成

MP-GAAのシステムの構成を図1に示す。MP-GAAでは、適用する問題に依存しない部分をVLSIとして実現し、問題に依存する評価値計算部はFPGAとして実現する。MP-GAAチップの内部では交差、突然変異、及び選択などの遺伝的操作と、隣接プロセッサとの最良個体の送受信が行われる。交差手法の選択で用いるエリート度の計算は、SRAMに格納されたエリート度計算表を参照する。MP-GAAの動作の設定は、ホストコンピュータ(PC)からコマンドレジスタにコマンドを設定することで行う。また、コマンドレジスタを介してホストコンピュータからのシステムメモリアクセスも可能にしている。

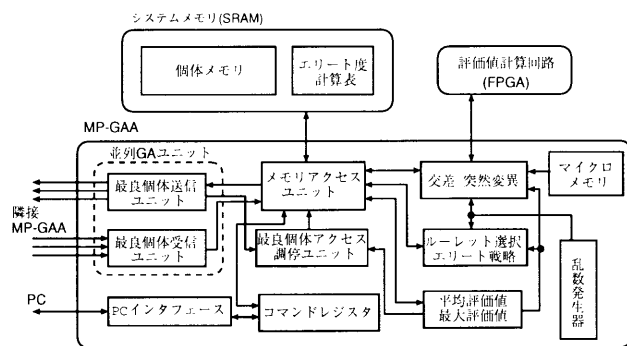


図1 システム構成

### 2.3 マイクロプログラム制御による交差突然変異

MP-GAAの交差突然変異回路を図2に示す。MP-GAAではマイクロプログラム制御を導入しており、処理効率を向上させるために2段パイプライン処理を行っている。パイプラインの第1ステージでは、デコード回路がマイクロメモリから読み出したマイクロ命令をデコードし、デコード結果をレジスタに格納する。パイプラインの第2ステージでは、演算回路が指定されたレジスタファイルからデータを読み出し、演算を施し、再びレジスタファイルにデータを格納する。同時に、マイクロプログラムカウンタに次の命令のアドレスを渡している。今回実現したマイクロプログラム制御回路は60ビットの水平型マイクロ命令を持ち、表2に示す5種類の制御命令を1ワードで記述可能である。

### 2.4 並列GAの実現

GAの問題点の1つに適応度の高い個体が集団中に急速に広がることにより、集団中の個体の均一化が起こり進化の停滞を招く早期収束問題がある。この問題への改善策として、個体集団を複数の部分集団に分け、部分集団間の個体の移住を制御することで集団全体の多様性を維持することが知られている。MP-GAAでは、最大3つの隣接プロセッサ(MP-GAA)との間で非同期で個体の交換を行うことができ、MP-GAA同

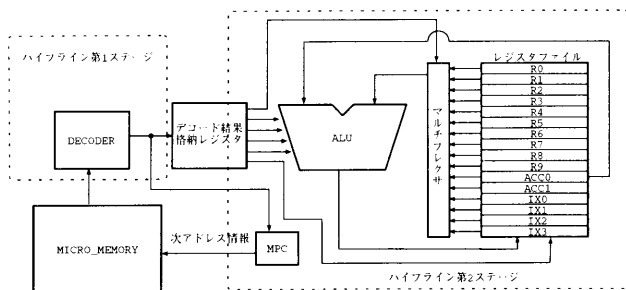


図 2 交差突然変異回路

表 2 MP-GAA の全命令セット

	ニーモニック		ニーモニック
アキュム レータ 命令 0,1	nop_acc	レジスタ 演算命令	nop
	rotate_r		not
	rotate_l		reset_c
	exchange_rotate_r		set_c
	exchange_rotate_l		and
	not_acc		or
	and_acc		ex_or
	or_acc		add
	exor_acc		addc
	add_acc		cmp
move_acc	dec	実行 制御命令	inc
move_clear_acc	rotate_r		rotate_r
move_to_acc	rotate_l		rotate_l
	multi_dec		multi_dec
	multi_inc		multi_inc
	no_branch		no_branch
	branch		branch
	branch_z		branch_z
	branch_nz		branch_nz
	branch_c		branch_c
	branch_nc	branch_nc	
	return	return	
レジスタ 転送命令	nop	実行 制御命令	return
	clear		
	move_l		
	move		
	load		
	store		
	set_address		
	set_random_number		
	set_random_number2		
	set_random_bits		
set_random_bits2			
set_bit			
reset_bit			

士の結合トポロジに Cube-Connected-Cycles を利用すれば、 $P = n^2$  ( $n \geq 2$ ) 個の MP-GAA チップを結合した並列 GA ハードウェアを実現できる。世代終了時において、設定された移住条件を満たしたプロセッサは、隣接プロセッサに移住要求を出し、要求を受けたプロセッサはその時点で最良個体を 8 ビットのデータバスを介して要求元のプロセッサに渡す。この移住動作は、交差や突然変異等の GA 動作と並列に実行される。

### 3 MP-GAA のチップ試作

今回の LSI 試作では、東京大学大規模集積システム設計教育研究センターを通じて、株式会社日立製作所製の 5 層配線 CMOS 0.35 $\mu$ m ゲートアレイを用いてチップ設計を行った。マイクロプログラムを格納するために、128words $\times$ 73bits のメモリマクロセルを使用した。チップ寸法は 5.9mm 角、ピン数 190 ピン、パッケージは BGA256 である。ハードウェア記述言語 Verilog-HDL を用いて RTL 記述を行ったところ、MP-GAA 本体の記述は約 8,000 行、交差突然変異回路の記述は約 3,000 行となった。Synopsys 社 Design Compiler で論理合成を行った結果、セル数は 37,029、ネット数は 43,639、ゲート数は 77,059 (2 入力 NAND ゲート換算) となった。ゲートレベルシミュレーションではクロック周波数 40MHz の動作を確認している。レイアウトは Avant!社の Apollo を用いて行なった。図 3 に MP-GAA のチップ写真を示す。

### 4 GA パフォーマンスの評価

MP-GAA 及びそのインタフェースを Verilog-HDL で記述して論理合成を行い、ゲートレベル回路に変換すると共に、評価値計算回路は C 言語で記述し、Verilog-XL シミュレータ上で GAA-II との比較を行った。比較対象には汎用 GA プロ

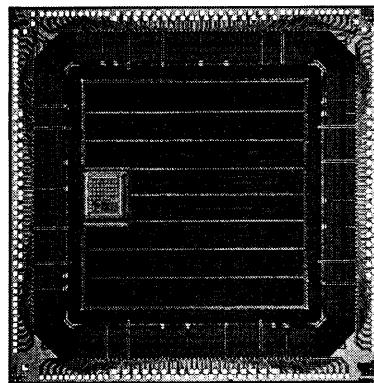


図 3 MP-GAA のチップ写真

グラム GENESIS5.0[5]、及び GAA-II チップを用い、*De Jong* の関数最小化問題 ( $f_1, f_5$ ) [6] と高次元で複雑な関数最小化問題 ( $f_{10}$ ) に対して、ランダムに生成した 10 組の初期個体データに対して行った。比較結果を表 3 に示す。表中のデータは 10 回の平均である。尚、計算時間はクロック周波数を GAA-II は 50MHz 実行、MP-GAA は 40MHz 実行と仮定した時間である。評価結果より、MP-GAA は GAA-II とほぼ同等の解探索能力を持ち、マイクロプログラム制御による汎用性の向上が確認できた。

表 3 GAA-II と MP-GAA の比較 ( $f_2$ : 最適解 0)

	GAA-II	MP-GAA
解	0.000234	0.000303
世代数	1270	1370
クロック数	7,706,640	16,830,103
計算時間 [ms]	154	421

### 5 あとがき

本稿では、GAA-II の交差突然変異回路にマイクロプログラム制御を導入した新しい遺伝的アルゴリズムプロセッサ MP-GAA を提案した。今後の課題として、チップの実機による評価及び新しいマイクロ命令の考察とマイクロプログラム開発ツールの開発が挙げられる。

謝辞: 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社日立製作所および大日本印刷株式会社の協力で行われたものである。本研究の一部は文部省科学研究費補助金 奨励研究 (A) (課題番号 10750248, 12750293)、基盤研究 (C)(2) (課題番号 10680356, 12838008)、及び、基盤研究 (B)(2) (課題番号 12555097) による。

### 文献

- [1] D.E.Goldberg: "Genetic Algorithms in Search, Optimization, and Machine Learning", Addison-Wesley Publishing Company (1989).
- [2] K. Hatta, K. Matsuda, S. Wakabayashi and T. Koide: "On-the-fly crossover adaptation of genetic algorithms", Proc.Genetic Algorithms in Engineering Systems:Innovations and Applications, pp. 197- 202 (1997).
- [3] 若林, 小田, 八田, 中山, 後藤, 利根: "交差手法の適応的選択機能を組み込んだ遺伝的アルゴリズムの LSI チップによる実現", 情報処理学会論文誌, Vol.41, No.6, pp. 1766-1776 (2000).
- [4] S.Wakabayashi, T.Koide, N.Toshine, M.Goto, Y.Nakayama and K.Hatta: "An LSI implementation of an adaptive genetic algorithm with on-the-fly crossover operator selection", Proc. Asia and South Pacific Design Automation Conference, pp. 37-40 (1999).
- [5] J. J. Grefenstette: "Optimization of control parameters for genetic algorithms", IEEE Trans. on Systems, Man, and Cybernetics, Vol.SMC-16, No.1, pp. 122-128 (1986).
- [6] 坂和, 田中: "遺伝的アルゴリズム", pp. 88-89, 朝倉書店 (1995).