

4E-5 再構成可能デバイス RHW2 を用いた画像認識処理の高速化

犬尾 武 中谷 正吾 山内 宗 梶原 信樹

RWCP 適応デバイス NEC 研究室

1 はじめに

近年、ハードウェアの構造を問題に応じて最適に変えることによって、汎用プロセッサの柔軟性と専用プロセッサの高速性をあわせ持つ Reconfigurable Computing が注目を集めている。そこで、従来の FPGA(Field Programmable Gate Array) に対して、冗長性を排除し、演算性能及びアルゴリズムの高速なマッピング機能を強化することで、問題に最適な演算器及びデータパスを構成し、高速に実行できる再構成可能デバイス RHW(Reconfigurable HardWare) の開発を進めている。本報告では、開発した RHW2 を搭載した汎用アクセラレータプロトタイプボード (*i* ボード) を用いた画像認識処理の高速化に関して述べる。

2 再構成可能デバイス RHW2

RHW2 の全体構造を図 1 に示す。9bit の ALU を縦に 6 行、横に 63 列敷き詰めたメイン部がチップの大部分を占め、主にデータパスをマッピングする。その周囲に制御系のマッピングに適した周辺部があり、外縁に外部と信号をやり取りする I/O 部がある。アルゴリズムのデータフローに沿って可能な限り忠実なデータパスを RHW2 上に構成し、データパス上に適切な演算器を配置することによって、マイクロプロセッサのような load/store ネックを排除し、高速性を実現する。

RHW2 は再構成データをロードすることで、ハードウェアを再構成(処理内容の変更)する。再構成データは、専用の生成ツールによって C 言語で書かれたプログラムから自動で生成され、ライブラリ化される。ライブラリ化された RHW2 の再構成データは実動作時に、応用からドライバを介して RHW2 にロードされる。

RHW2 は最小 99 μ 秒で再構成が可能であり、

An acceleration of image recognition processing using reconfigurable adaptive device chip RHW2
Takeshi INUO, Nobuki KAJIHARA, Shogo NAKAYA
and Tsukasa YAMAUCHI
RWCP Adaptive Device NEC Laboratory

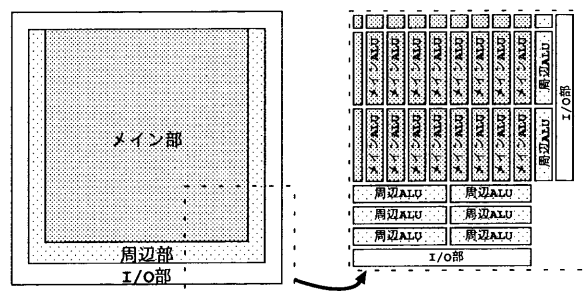


図 1: RHW2 全体構成図

再構成と実処理は瞬時に切替えられる。これは既存の FPGA と比べて、数十倍高速である。

3 画像認識処理

画像認識のアルゴリズムとして、高次自己相関処理を取り上げた。これは、画像の、ある注目している 1 画素とその周囲の 8 画素の最大 3 次元の相関 (35 種類) を画像全体に対して計算し、その総和 (特徴ベクトル) を求める処理である。この特徴ベクトルを用いて、例えば画像のカテゴリ化などが行なわれる。この処理は 1 画素当たり 35 個の積和計算を必要とする。この積和計算を RHW2 上に並列に実装することで 1 画素当たり 1 クロックのスループットで実行することが可能となる。

4 プロトタイプボード (*i* ボード)

高次自己相関処理を実行するシステムとして、RHW2 を実装したストリームデータ向け汎用アクセラレータプロトタイプボード (*i* ボード) を開発した。*i* ボードには 2 個の RHW2 を実装しており、必要に応じて処理を割り当てる。図 2 はその概略図である。RHW2 への入出力用のバッファ、ストリームデータ処理用のシフトレジスタとしてのバッファ、ランダムデータ処理用のメモリを RHW2 から利用できる。

i ボードのコア回路では、RHW2 への再構成データ、処理データ及び処理結果データのバッファリングを行なう。また、データを *i* ボード上のバスでループバックさせることで、処理を終えたデー

タに対して連続して同様の、もしくは別の処理を行なうこともできる。*i* ボードは、時間的に処理内容が切り替わるような応用に適した構造にもなっている。

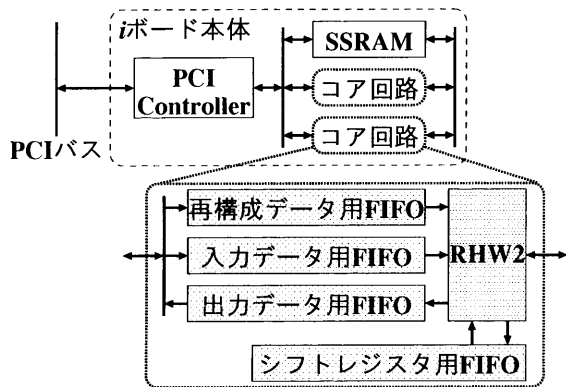


図 2: *i* ボード概略図

i ボードを用いた画像認識処理のデータフローを図 3 に示す。*i* ボードが CPU のコプロセッサとして動作する場合の処理性能を、CPU 単独の場合と比較するために、*i* ボードでの処理時間にはホスト PC と *i* ボード間のデータ転送のオーバーヘッドも含めることにする。

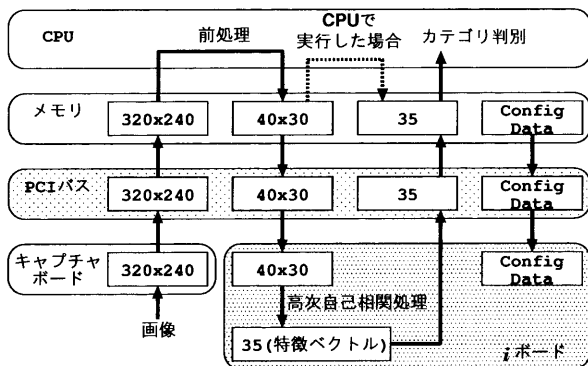


図 3: 画像認識処理のデータフロー

5 評価結果

画像 (40x30) が 15 枚連続したバーストデータ (72KB) に対する高次自己相関処理を、CPU と *i* ボード (RHW2 を 1 個使用) 及び RHW2 単体で実行した場合の評価結果を表 1 に示す。*i* ボードの処理時間にはデータ転送等のオーバーヘッドも含まれているが、RHW2 での処理とデータ転送とをオーバーラップさせることにより、CPU に対して 6.23 倍高速に処理できる。また RHW2 単体に関しては、66.6MHz までの動作を確認しており、その場合には CPU の 19.66 倍高速に処理できる。

表 1: 高次自己相関処理の評価結果

対象	(MHz)	時間 (μ 秒)	対 CPU 比
Pentium II	(400)	5790.00	1.00
<i>i</i> ボード	(33.3)	928.87	6.23
RHW2	(33.3)	589.05	9.83
RHW2	(66.6)	294.53	19.66
<i>i</i> ボード*	(33.3)	965.19	6.00

* RHW2 の再構成時間を含む

今回の評価では 1 種類の画像認識処理しか扱っていないが、一般的な処理は複数の処理内容の中から実行時に選択される。そこで同表には、高次自己相関処理時間に RHW2 の再構成時間も含まれた場合 (すなわち動的に処理内容を変更する場合) の *i* ボードの評価結果も示している。RHW2 の再構成及び高次自己相関処理とデータ転送とをオーバーラップさせることにより、依然として CPU に対して 6 倍高速に実行できる。

既存の FPGA では、その再構成に多くの時間を必要とするため、仮に RHW2 と同程度の集積度を持つ FPGA に高次自己相関処理が実装でき、かつ *i* ボードと同じボードアーキテクチャで実行したとしても、CPU に対して高々数十%の速度向上しか得ることはできない。

6 まとめ

RHW2 を用いた画像認識処理の高速化に関して報告した。RHW2 を実装した *i* ボードを用いることで、画像の特徴抽出処理が CPU に比べ 6.23 倍高速化できた。また、処理時間に再構成時間も含まれた場合でも CPU の 6 倍高速であった。今後はこの評価結果をもとに、より汎用性の高いシステムの開発を進める。

参考文献

- [1] F.Goudail, et al., "Face recognition system using local autocorrelations and multiscale integration", IEEE TRans. on Pattern Analysis and Machine Intelligence, vol.18, no.10, 1996.
- [2] M.Kreutz, et al., "Scale-invariant image recognition based on higher-order autocorrelation features", Pattern Recognition, vol.29, no.1, 1996.
- [3] 山内 他, "適応デバイス RHW の概要とマッピング手法", 電子情報通信学会 VLSI 設計技術 VLD98-42, pp.39-46 (1998)
- [4] 犬尾 他, "再構成可能デバイス RHW を用いたコプロセッサシステム", 情報処理全国大会 3H-10 (1999.10)