

山内 宗、中谷正吾、犬尾 武、梶原信樹†

RWCP 適応デバイス NEC 研究室‡

e-mail: t-yamauchi@ap.jp.nec.com

1 はじめに

問題のアルゴリズムに最適な構造に再構成可能で、高速な処理が可能な次世代 FPGA (Field Programmable Gate Array) として、再構成可能デバイス RHW (Reconfigurable Hardware) を開発している。RHW は、数種類の機能セルが数多く敷き詰められ、チップ内にプログラマブルな配線リソースが予め用意された特殊な構造となっている。従って、RHW に問題をマップする際には専用のマッピングツールが必要となる。本報告では、RHW 向けの自動配置・配線手法と評価結果について述べる。

2 再構成可能デバイス RHW2

再構成可能デバイス RHW2 は、演算用セルと制御用の周辺セルで構成されている。データパス系をマップするメイン部は、演算用セル 8 個に対して制御用セル 1 個の割合で用意されている。RHW2 の演算用セルと制御用セルは同様の構造を有し、配線リソースやコンフィギュレーションの自由度、キャリアの伝搬径路が異なる。これにより、CAD ツールへの制約を減らし、セルの利用効率を上げることが出来る。図 1 にアーキテクチャのブロック図を示す。

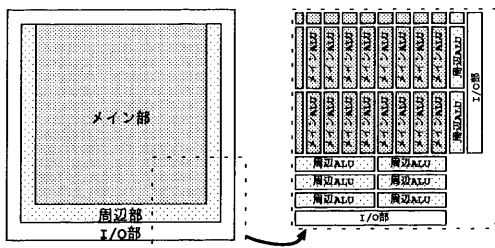


図 1: 再構成可能デバイス RHW2 のブロック図

*Implementation and Evaluation Result of Layout Method for the Reconfigurable Device RHW

†Tsukasa YAMAUCHI, Shogo NAKAYA, Takeshi INUO and Nobuki KAJIHARA

‡RWCP Adaptive Devices NEC Laboratory

3 マッピング・ツール

RHW 用初期化データを生成するためのツールと使用ファイルについて図 2 に示す。本報告では主に自動配置配線処理の実装手法とその評価結果について述べる。

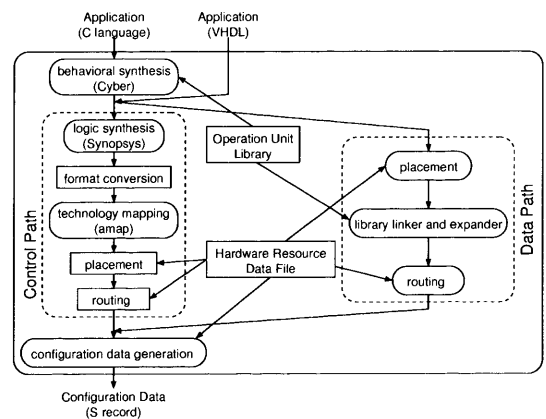


図 2: マッピング・フロー

3.1 自動配置

自動配置ツール (dop) は、データや制御の流れに従ってデータパス系の部品と制御系の部品を整然と配置する。その際、再構成可能デバイス RHW2 が有する以下の特徴が重要である。(1) 中央のメイン部はデータパス系部品に適する、(2) データは図 1 で水平方向に流れるのが効率良い、(3) 縦方向より横方向の配線リソースが豊富、(4) 制御回路は周辺部に配置、(5) RHW2 では下辺の周辺部が充実しており、下辺を中心として制御ロジックを配置。これらをふまえたのが、以下の自動配置手法である。

1. データパス系、制御系で個別に入力ピンから出力ピンの方向でトポロジカル・ソートをする (図 3)。
2. データパス系部品をレベルに従って入力側から順番に配置。次に、制御系部品のファンアウトに接続されているデータパス系部品の X 座標に合わせて、制御系部品の X 座標を決める。

3. X座標別の制御部品のリストを座標順に選んで下辺の周辺部に左詰めに配置する(データが左から右に流れる場合)。

この様にして、制御系部品と接続されたデータパス系部品の縦の位置を揃え、入力から出力への流れを乱さない様に部品を配置する。配線を付加した図を図4に示す。

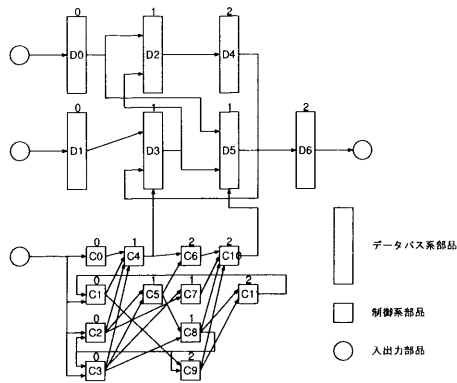


図 3: サンプル・データ (トポロジカル・ソート)

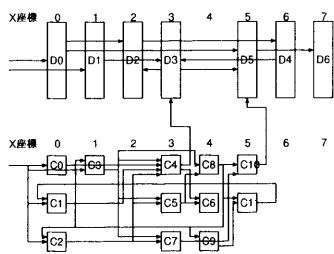


図 4: 配置結果に配線を付加

4 自動配線処理

信号源から各々の端子への最短経路を求め、それらの最短経路の重なり具合を、枝の重みと重なっている最短経路の本数を用いて評価し、重なり大きい複数の最短経路を共通化していくことにより、総配線長が短く且つ、信号源から端子への距離が最短になっている配線径路を高速に求める手法 (Multiple Path-Folding Arborescence (MPFA) 法) を考案した [1][2]。また、セル使用率が上がると未配ネットが残る可能性が高くなる。その問題を解決するために、自動的に未配ネットの配線順位を上げて再配線する機能を追加した。配線初期は未配ネットを列挙してまとめて配線順位を上げ、終盤では、未配が出る度に配線順位を上げてやり直すことで最終的に全ネットの配線が収束するという方式を用いた。配線速度高速化のために、(1)1対1の配線は従来の Dijkstra 手法、1対多は MPFA 手法を用い、(2)ラベル付け処理は配線リソース全体に対してインクリメンタルに行なう様にした。

5 評価

今回初期化データ生成に用いたのは、count32、pre、rwc2k、thru28、loop の5種類のサンプル回路である。以下にこれらのサンプル回路を自動配線して初期化データを生成するのに要した時間 (A,B) を示す (PentiumII [450MHz], Linux)。

表 1: 処理時間

サンプル	ネット数	retry	A(秒)	B(秒)	A/B
count32	36	1	39.53	17.08	2.31
pre	51	3	65.99	42.29	1.56
rwc2k	180	1	75.29	31.58	2.38
thru28	28	1	35.86	15.51	2.31
loop	346	58	1271.70	602.53	2.11

ラベル付けに通常のヒープを用いた場合の処理時間を A、ラベルに変更のあった部分のみをヒープに入れる様にして高速化を図った場合の処理時間を B に示す。これを見るとヒープ処理の改良により、1.5倍~2.4倍の高速化が得られたことがわかる。また、処理時間のうち、約8秒はハードウェア・リソースの読み込みと解析に要している。これは、RHW2チップ全体の記述が20Mバイト程もあることと、それから名前ハッシュテーブルを生成し、グラフ構造を生成する必要があるからである。

6 まとめと今後の課題

再構成可能デバイス RHW2用の自動配置・配線処理系の実装と評価結果について報告した。今後は種々の応用における RHW の性能を評価するために、ライブラリを充実すると共に、処理系の改良 (生成データの品質、動作速度向上、処理時間の短縮) を重ねていく必要がある。また、様々な応用について評価した結果得られた知見を、今後カスタム設計する RHW3 のアーキテクチャに反映させて行く必要がある。

参考文献

- [1] 山内 他、「適応デバイス RHW の概要とマッピング手法」、電子情報通信学会 VLSI 設計技術 (デザインガイア'98) VLD98-42, pp.39-46 (1998)
- [2] Yamauchi, T., *et al.*, 'Mapping Algorithms for a Multi-Bit Data Path Processing Reconfigurable Chip RHW', IEEE Workshop on Field-Programmable Custom Computing Machines (FCCM'00), April (2000)