

1 はじめに

近年、ICの高集積化が進むにつれて、回路を設計する際、その最大消費電力を見積もることが重要な問題となっている。一般に、論理回路の消費電力は回路のトポロジー、クロック周波数、伝播遅延、入力値の変化などの要素が絡みあった複雑な関数によって決定されるため、計算によって消費電力を求めることは非常に困難である。CMOS回路では論理ゲートの出力がスイッチするときに大きな電力を消費し、他の要因による電力消費は比較的小さい。そこで、電力消費要因を入力値列の変化によるゲートのスイッチだけであると仮定したモデルに対して、確率的模倣によって消費電力を求める研究([3]、[4])や、回路の最大消費電力を求める問題を重みつき MAX SAT問題と捉え、この問題を branch-and-bound 法などを用いて解く研究([1]、[2])がなされている。しかし、これらの方法では解の精度が保証されないかまたは莫大な計算時間が必要となる。よって、我々の研究ではある程度の精度を保証し、かつより効率のよいアルゴリズムの考案をめざす。任意の回路に対してその最大消費電力を求めることは極めて難しいと思われるため、まずは、対象とする回路を AND 一段回路に限定した問題について考えている。

本論文では、この問題を解くアルゴリズムへの第一歩として、この問題が NP 困難であることを示す。

2 論理回路の最大消費電力問題

論理回路の最大消費電力問題を以下のように定義する。

論理回路の最大消費電力問題

対象とする論理回路は2入力のAND、OR、およびNOTの3種類のゲートから構成され、論理回路中に遅延、故障などはない。時刻0においてある入力列 v に対する論理回路中の各ゲートの出力は安定しており、時刻 $t(>0)$ に入力列を v' に変化させると、瞬時にいくつかのゲートの出力が $0 \rightarrow 1$ あるいは $1 \rightarrow 0$ の遷移をする。論理回路はANDまたはORゲートがスイッチング動作($0 \rightarrow 1$ または $1 \rightarrow 0$ の遷移)を行ったときのみ電力を消費するものとする。したがって、論理回路全体での消費電力はスイッチング動作を行ったAND、ORゲートの数で決まる。

論理回路が与えられたときに、その論理回路に対して最大の電力消費を引き起こす入力列の組合せ (v, v') を求める問題を論理回路の最大消費電力問題と呼ぶ。

3 AND 一段回路の最大消費電力問題

3.1 問題の定義

一般の回路の最大消費電力を求めることは非常に難しい。そこで、対象とする回路をAND一段回路[図1]に限定して考えることにする。

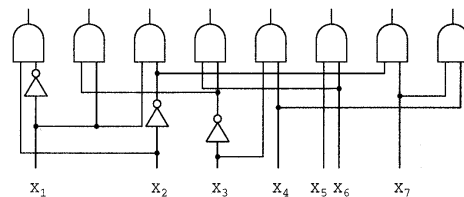


図1: AND 一段回路の例

この問題を考えやすくするために、論理式の充足可能性問題の形で定式化する。

問題 Q (AND 一段回路の最大消費電力問題)

入力値として $0, 1, u, d$ をとる変数 $v_i (i = 1, 2, \dots)$ 、各項が $(a \equiv b)$ の形をとる論理式(a, b はリテラル)、正の整数 K' 。

問 K' 項以上を充足する値の割当てが存在するか。ただし、 $(a \equiv b)$ の値は表1のように定義される。ま

a	b	出力 $(a \equiv b)$
0	*	0
1	*	*
u	u	u
u	d	0
d	d	d

*は任意の入力。 a と b は順不同。

表1: ANDゲートの動作

た、項 $(a \equiv b)$ を充足するとは、 $(a \equiv b)$ の値が u または d であることを言う。さらに、否定演算を $\bar{0} = 1, \bar{1} = 0, \bar{u} = d, \bar{d} = u$ と定義する。

問題 Q がAND一段回路[図1]の消費電力を最大化する問題の決定問題の定式化であることは以下のようにして分かる。

項 $(a \equiv b)$ を a と b を入力とするANDゲートに対応させ、4つの値 $0, 1, u, d$ を表2のように時刻0のときの値と時刻 $t(>0)$ のときの値のペアと考える。すると、表1で定義された $(a \equiv b)$ の値は時刻0のときと時刻 t のときのANDゲートの出力の変化を表しており、項を充足させることはそのANDゲートがスイッチする(電力を消費する)ことに対応している。したがって、より多くの項を充足させることはより多くのANDゲートをスイッチさせることに対応している。

時刻 0	時刻 $t(>0)$	新しい変数の値
0	→	0
1	→	1
0	→	u
1	→	d

表 2: 変数の置き換え

3.2 NP 完全性

以下の定理が成立する。

定理 1. 問題 Q は NP 完全である。

(証明) 問題 Q は明らかにクラス NP に属するので、MAX 2-SAT の任意の例題 I が、問題 Q の制約をみたす例題 I' に多項式時間還元可能であることを示せばよい。MAX 2-SAT は次のような問題である。

MAX 2-SAT (NP 完全問題)

入力 値として 0 または 1 をとる変数 $v_i (i = 1, 2, \dots)$ 、各項が 2 つのリテラルの和であるような m 項からなる和積形の論理式、正の整数 $K (< m)$ 。

問 K 項以上を充足する真理値割当てが存在するか。

MAX 2-SAT の例題として論理式 $f = (x_1 + y_1)(x_2 + y_2) \cdots (x_m + y_m)$ と正の整数 $K (< m)$ が与えられたとする (x_j, y_j はリテラル)。これを $I = (f, K)$ と書く。 f の各項 $C_j (1 \leq j \leq m)$ に対して新たな変数 z_j, w_j を導入し、下のようにして 10 個の問題 Q の項の積 $C_j' (1 \leq j \leq m)$ を作り、これら $10m$ 項からなる式を f' とする。また、 $K' = 6m + 2K$ とする。 $I' = (f', K')$ が Q の例題である。この還元は多項式時間でできる。

$$C_j = (x_j + y_j) \Rightarrow$$

$$C_j' = (x_j \dot{=} z_j)(y_j \dot{=} w_j)(z_j \dot{=} \bar{w}_j)(z_j \dot{=} \mathbf{u})(w_j \dot{=} \mathbf{u})$$

$$(\bar{x}_j \dot{=} \bar{z}_j)(\bar{y}_j \dot{=} \bar{w}_j)(\bar{z}_j \dot{=} w_j)(\bar{z}_j \dot{=} \mathbf{d})(\bar{w}_j \dot{=} \mathbf{d})$$

変換が正しいことを示す。

まず、例題 I に対する答えが yes のとき例題 I' に対する答えも yes であることを示す。 f を K 項充足する割当てを A とする。このとき f' への割当て A' を以下のように決める。 f に現れる各変数 v_i に対して、 A のもとで $v_i = 1$ のとき A' では $v_i = \mathbf{u}$ 、 A のもとで $v_i = 0$ のとき A' では $v_i = \mathbf{d}$ とする。 f' で新たに導入された変数 (各 C_j' に対する z_j, w_j) は以下のように決める。

1. $x_j = \mathbf{u}, y_j = \mathbf{u}$ のとき
 $z_j = w_j = \mathbf{u}$
2. $x_j = \mathbf{d}, y_j = \mathbf{u}$ のとき
 $z_j = \mathbf{d}, w_j = \mathbf{u}$
3. $x_j = \mathbf{u}, y_j = \mathbf{d}$ のとき
 $z_j = \mathbf{u}, w_j = \mathbf{d}$
4. $x_j = \mathbf{d}, y_j = \mathbf{d}$ のとき
 $z_j = \mathbf{u}, w_j = \mathbf{d}$ または $z_j = \mathbf{d}, w_j = \mathbf{u}$

このようにすると、1. ~ 3. のとき (すなわち f の C_j が充足されているとき) には C_j' の 10 項のうち 8 項を充足でき、4. のとき (すなわち C_j が充足されていないとき) には C_j' のうち 6 項を充足できる。 A は f の K 項を充足していたので、 A' は f' の $8K + 6(m - K) = K'$

項を充足する。

次に、例題 I' に対する答えが yes のとき例題 I に対する答えも yes であることを示す。 f' を K' 項以上充足する割当てを B' とする。このとき f' への割当て B を以下のように決める。 f に現れる各変数 v_i に対して、 B' のもとで $v_i = \mathbf{u}$ のとき B では $v_i = 1$ 、 B' のもとで $v_i = \mathbf{d}$ のとき B では $v_i = 0$ とする。 B' のもとで $v_i = \mathbf{0or1}$ のときは B の側での v_i の値は任意に決めてよい。

補題 1. f' において、 x_j, y_j, z_j, w_j にどのように入力が割当てられても、 C_j' のうち最大 8 項までしか同時に充足されることはない。

補題 2. C_j' のうち 7 項以上が充足される時、 x_j, y_j の少なくとも一方は \mathbf{u} である。

補題 1 より、 f' で $K' (= 6m + 2K)$ 項以上が充足される時、 C_j' のうち 7 項以上が充足されるような j は必ず K 個以上存在する。さらに補題 2 より、 C_j' のうち 7 項以上が充足されているならば C_j も充足されている。 B' は f' の K' 項以上を充足していたので、 B は f の K 項以上を充足する。

以上より、定理 1 が示せた。 \square

4 一般化と近似アルゴリズム

本稿で述べた電力消費問題は単に一段の AND 回路のみを対象にしたもので、一般の回路からはかなりはずれている。しかし、回路が木状であったなら (そのような回路は製造技術によっては実際によく現れる) 第 1 段目のゲートは全体の半分を占めることとなり、その消費電力はかなり大きな部分を占める。また近似アルゴリズムに関しては、本稿ではほとんど述べることができなかった。1 つの可能性は入力を \mathbf{u} と \mathbf{d} に限定することである。この制限下での最大消費電力は明らかに制限がない場合以下にはなるが、この場合違いはそれほど大きくないと予想される。この場合、ランダム割当てで全体の半分の AND ゲートが電力を消費せられるので、明らかに近似度 2 の近似アルゴリズムになっている。さらに半正定値計画も使え、この場合 \mathbf{u} と \mathbf{d} だけの制限下での最大消費電力に対して、近似度 0.87856 のアルゴリズムになる。

参考文献

- [1] S. Chowdhury, J. S. Barkatullah, "Estimation of Maximum Currents in MOS IC Logic Circuits," *IEEE Trans. Computer-Aided Design*, vol.9, pp.642-654, Jun. 1990.
- [2] S. Devadas, K. Keutzer, J. White, "Estimation of Power Dissipation in CMOS Combinational Circuits Using Boolean Function Manipulation," *IEEE Trans. Computer-Aided Design*, vol.11, pp.373-383, Mar. 1992.
- [3] C. Ding, C. Tsui, M. Pedram, "Gate-Level Power Estimation Using Tagged Probabilistic Simulation," *IEEE Trans. Computer-Aided Design*, vol.17, pp.1099-1107, Nov. 1998.
- [4] J. Monteiro, S. Devadas, A. Ghosh, K. Keutzer, J. White, "Estimation of Average Switching Activity in Combinational Logic Circuit Using Symbolic Simulation," *IEEE Trans. Computer-Aided Design*, vol.16, pp.121-127, Jan. 1997.