

# シングルチップマルチプロセッサの 近細粒度並列処理に対する性能評価

加藤 考幸, 尾形 航, 木村 啓二, 内田 貴之, 笠原 博徳  
早稲田大学理工学部電気電子情報工学科

## 1 はじめに

トランジスタ技術の進歩により一つのチップ上に集積することができるとして、これらの膨大な量のトランジスタを有効利用しさらなる性能向上を目指す次世代プロセッサとして、複数のプロセッサコアを1チップ上に集積するシングルチップマルチプロセッサが現在注目を集めている [2, 3, 4, 5, 6]。これらのアーキテクチャは現在商用プロセッサで広く用いられている命令レベル並列性以外の並列性も利用することにより、プログラムからより大きな並列性を引き出そうとしている。

この目的のため、近細粒度並列処理に加え、ループイタレーションレベルの中粒度並列処理、およびサブルーチンあるいはループ、基本ブロック間の粗粒度並列処理を階層的に組み合わせることで使用することにより、高い実効性能を達成することを目指すマルチグレイン並列処理が提案されている [7]。このマルチグレイン並列処理を効率よく処理できるシングルチップマルチプロセッサアーキテクチャを構成することにより、スケーラブルな性能向上が可能なコンピュータシステムを構築できると考えられる。

本稿ではマルチグレイン並列処理に適したシングルチップマルチプロセッサの各プロセッサの構成を検討するために、同程度のトランジスタ数を使用する前提のもと、シングルイシュープロセッサ、マルチプルイシュープロセッサを複数個集積したシングルチップマルチプロセッサ、あるいは単一のマルチプルイシュープロセッサの性能を評価したので、その結果について述べる。

## 2 近細粒度並列処理

近細粒度並列処理とは基本ブロック内のステートメント間の並列性を利用する並列処理であり、マルチグレイン並列処理の一要素となる。これを実現している OSCAR Fortran マルチグレインコンパイラでは、ステートメントをプロセッシングエレメント (PE) に割り当てる際、スケジューリング手法としてデータ転送オーバーヘッドを考慮し実行時間を最小化するヒューリスティックアルゴリズムである CP/DT/MISF 法、CP/ETF/MISF 法、ETF/CP 法、あるいは DT/CP 法 [8] の4手法を適用し最良のスケジューリングを選んでいる。

## 3 対象アーキテクチャ

本章では今回評価対象としたシングルチップマルチプロセッサアーキテクチャについて述べる。

今回対象としたプロセッサ構成は、同程度のトランジスタ数を使用することを前提とし、シングルイシュープロセッサ3基あるいは4基、2イシュープロセッサ2基のシングルチップマルチプロセッサ、および単一の4イシュープロセッサと

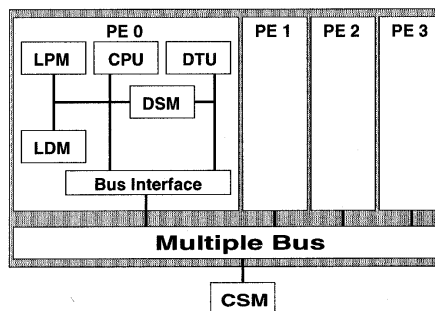


図1: OSCAR型アーキテクチャ

する。また、いずれのアーキテクチャも同じクロック周波数で動作するものとする。

### 3.1 ネットワーク構成およびメモリシステム

ネットワーク構成およびメモリシステムアーキテクチャはOSCAR型アーキテクチャ [9] を使用する。OSCAR型アーキテクチャとは、CPU、データ転送ユニット (DTU)、ローカルプログラムメモリ (LPM)、ローカルデータメモリ (LDM)、分散共有メモリ (DSM) をもつプロセッシングエレメント (PE) と、集中共有メモリ (CSM) が相互接続網 (今回のシミュレーションでは3本バス) を介して接続したものである。このアーキテクチャの構成例を図1に示す。

今回の評価ではLPMには自PEのCPUで実行するプログラムが格納される。LPMには1クロックでアクセスできるものとする。LDMは基本的に自PEのCPUが使用するメモリであり、PEに割り当てられたタスク間で使用されるローカルデータを保持するために使用する。LDMには1クロックでアクセスできるものとする。DSMは他PEのCPUからも直接リード/ライトできるメモリであり、近細粒度タスク間のデータ転送および同期に使用する。自PE上のDSMへのアクセスには1クロック、他PE上のDSMへのアクセスには4クロックかかるものとする。

このとき、データのストアおよび同期フラグのセットに各4クロック、データのロードに1クロック、同期フラグのチェックに最小で3クロックかかる。

また、CSMには共有データが格納される。CSMのアクセスレイテンシは20クロックとする。

### 3.2 CPUコアのアーキテクチャ

評価に用いたプロセッサはSparc V9規格に準拠したスーパースカラプロセッサであるSun Microsystems社のUltraSparcI-I [10] をモデルにしている。また、今回シングルチップマルチプロセッサシステムで用いるために次のような変更を施した。

- バリア同期機構及び、共有グローバルレジスタ機構のための特殊レジスタの付加
- 特殊レジスタ操作命令の拡張

\* Performance Evaluation of Single Chip Multiprocessor for Near Fine Grain Parallel Processing  
Takayuki Kato, Wataru Ogata, Keiji Kimura,  
Takayuki Uchida, Hironori Kasahara  
Department of Electrical, Electronics and Computer  
Engineering, Waseda University

このプロセッサは9段のパイプラインを複数持つマルチプルイシュープロセッサである。評価ではこのパイプライン数を1, 2, 4と変えることによってシングルイシュープロセッサ, 2イシュー, 4イシューのスーパースカラプロセッサとして使用する。動的スケジューリングの対象となる命令群が格納される命令バッファのエントリ数は12である。

### 3.3 シングルチップマルチプロセッサ

今回の評価ではPEにはシングルイシュープロセッサを3基(1issue×3)あるいは、4基載せたもの(1issue×4)と、2イシュープロセッサを2基載せたもの(2issue×2)の2種類を用意した。また、各PEのLDMの容量を1issue×3, 1issue×4では4Mbyte, 2issue×2では8Mbyteとした。また、DSMはどちらのアーキテクチャでも16Kbyteとした。

### 3.4 単一のマルチプルイシュープロセッサ

比較対象としてCPUコアとして4イシュープロセッサを持つPE(4issue×1)を用意する。PE内のLDMの容量は16Mbyteとし、データはすべてLDMに置かれDSM, CSMは使用せず、通常の単一スーパースカラプロセッサに近い形で評価を行った。

## 4 性能評価

本章ではシミュレーションによる性能評価の結果について述べる。性能評価に使用したプログラムは、電子回路シミュレーションにおけるランダムスパースマトリクスを係数を持つ線形方程式の求解プログラム(s.f)、および、SPECfp95ベンチマークの「fpppp」より実行時間の34.6%を占めるサブルーチンFPPPPを取り出したもの(fpppp.f)である。s.fは94個、fpppp.fは333個の近細粒度タスク(ステートメント)を持つ。これらのプログラムに近細粒度並列処理を施し、1issue×3, 1issue×4, 2issue×2, 4issue×1の各アーキテクチャで実行した。この結果を単一のシングルイシュープロセッサ(1issue×1)での実行に対する速度向上率として図2に示す。

図2より、シングルチップマルチプロセッサが2.07倍から3.17倍の速度向上が得られているのに対し、比較対象である単一の4イシュープロセッサでは1.45倍にとどまっている。すなわち、シングルチップマルチプロセッサは単一の4イシュープロセッサに対し1.55倍から2.45倍の性能向上が得られている。また、シングルチップマルチプロセッサに注目すると、1issue×3, 1issue×4は2issue×2に対し1.03倍から1.40倍の性能となっており、どちらのプログラムにおいてもマルチプルイシューからなる2issue×2より、シングルイシューからなる1issue×3, 1issue×4の性能が高いという結果となった。

マルチプルイシュープロセッサ内では、命令間のデータの授受がレジスタファイルやパイプライン内のフォワーディング機構により高速に行われるのに対して、プロセッサ間ではメモリを介するため送信側が8クロック、受信側が最小で4クロックかかり、通信機能においてはマルチプルイシュープロセッサの方が有利である。しかしながら、マルチプルイシュープロセッサ内部の動的スケジューリングは、命令バッファ内の命令のみを対象にしているのに対し、近細粒度並列処理の静的スケジューリングでは、基本ブロック全体の命令を対象としているため、プログラムの持つ並列性をより多く引き出すことができ、上記のような結果となったと考えられる。

また、本稿での評価では同一のクロック周波数という前提で評価を行ったが、マルチプルイシューのプロセッサでは命令発行のロジックが複雑になるため実装上ではボトルネックとなりクロック周波数が低くなってしまふ可能性がある。その場合この性能差がさらに大きくなると考えられる。

## 5 まとめ

本稿では、近細粒度並列処理に適したシングルチップマルチプロセッサのプロセッサ構成を決定するためにシングルイ

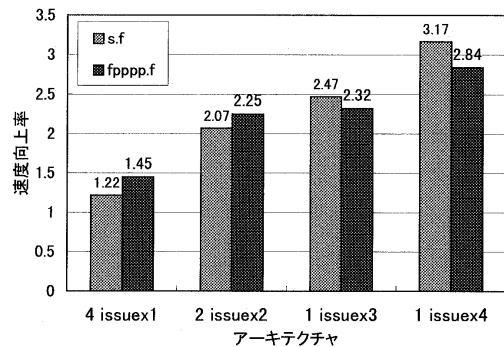


図2: シングルイシュープロセッサに対する速度向上率

シュープロセッサ, マルチプルイシュープロセッサを複数集積したシングルチップマルチプロセッサ, あるいは単一のマルチプルイシュープロセッサの近細粒度並列処理における性能を評価した。その結果、シングルイシュープロセッサを4基搭載したものは、2イシュープロセッサを2基搭載したものや単一の4イシュープロセッサに対しそれぞれ、s.fで40.0%と217%, fpppp.fで26.4%と184%性能を向上させることが確かめられた。

今後の課題としては、マルチグレイン並列処理に対する評価、また、プロセッサに分岐予測と投機実行の機構を付加したときの評価などが挙げられる。

## 参考文献

- [1] K. Diefendorff, "Power4 Focuses on Memory Bandwidth", MICROPROCESSOR REPORT Vol.13, No.13, Oct.1999
- [2] K. Oluktun, L. Hammond, and M. Willey, "Improving the Performance of Speculatively Parallel Applications on the Hydra CMP", Proc. 1999 ACM International Conference on Supercomputing, June.1999
- [3] R. Barua, W. Lee, S. Amarasinghe, A. Agarwal, "Maps: A Compiler-Managed Memory System for Raw Machines", Proc. 26th International Symposium on Computer Architecture (ISCA-26), June.1999
- [4] 大澤, 酒井, 鳥居, 伊藤, 井上, 松下, 西, 枝廣, "MUSCATにおける混在スレッド実行方式の検討", 情報処理学会研究報告 ARC, Vol.99, No.67, Aug.1999
- [5] T.N. Vijaykumar and G. S. Sohi, "Task Selection for a Multiscalar Processors", 31th International Symposium on Microarchitecture (MICRO-31), Nov-Dec.1998
- [6] J.-Y. Tsai, J. Huang, C. Amlo, D.J. Lilja, and P.-C. Yew, "The Superthreaded Processor Architecture", IEEE Transactions on Computers, Special Issue on Multithreaded Architectures, vol.48, no.9, Sep.1999
- [7] Kasahara, Honda, and Narita, "A multigrain parallelizing compilation scheme for oscar", Proc.4th Workshop on Lang. And Compilers for Parallel Computing, 1991
- [8] 笠原, "並列処理技術", コロナ社, Jun.1991
- [9] 木村, 尾形, 岡本, 笠原, "シングルチップマルチプロセッサ上でのマルチグレイン並列処理", 情報処理学会研究報告 ARC, Aug.1998
- [10] Sun Microelectronics, "UltraSPARC<sup>TM</sup> User's Manual", Jul.1997