

種々のチップ構造のゲートアレイに適用可能な配線プログラム†

寺井正幸^{††} 野田知義^{††}
佐藤興二^{††} 八原俊彦^{†††}

ゲートアレイはそのデバイスや実装方法により種々のチップ構造のものがある。これらのゲートアレイに対する配線プログラムを作成する際に作成作業量を少なくするため、種々のチップ構造のゲートアレイに適用可能な配線プログラムを作成することが望ましい。このため、本論文では種々のチップ構造のゲートアレイに適用可能な配線プログラムの適用対象となるチップモデルについて考察し、チップモデルをできるだけ単純にしたことを述べた。さらに、配線プログラムの性能を高めるため、その入力データや配線径路を記述するデータ構造を工夫したことを述べた。次に、このようにして作成した配線プログラムについての計算機実験の結果を示し、本論文で述べた種々のチップ構造のゲートアレイに適用可能な配線プログラムの作成方法が有効であることを実証した。

1. ま え が き

多品種の論理 LSI の設計方式としてマスタスライス方式のゲートアレイ¹⁾⁻⁵⁾ が広く用いられている。ゲートアレイは動作速度の高速化、低消費電力化などの多様な要求に対応してバイポーラや MOS などの種々のデバイス技術を用いて実現され、また、従来のワイヤボンディング技術や LSI の入出力ピン数の増加に対応したフリップチップ技術を用いて実装されている。このため、種々のチップ構造のゲートアレイがある。

ゲートアレイの自動配線プログラムが多数開発されているが、このうち、ある特定のチップ構造のゲートアレイだけを扱う配線プログラムは、通常そのチップ構造の特徴を生かして効率よく配線するように作られている^{6),7)}。しかし、チップ構造の異なる何種類かのゲートアレイに対し、それぞれ一つの配線プログラムを作成するならば作成作業量が膨大となる。一方、種々のチップ構造のゲートアレイを扱える配線プログラムは、プログラムの適用対象となるチップモデルが複雑になるため、特定のチップ構造のゲートアレイ専用の配線プログラムに比べて、プログラム規模（ステートメント数）やプログラム実行時に使用される記憶領域が大きく、配線率や処理速度などの性能が劣ること

がある。これらの欠点を除いた、種々のチップ構造のゲートアレイを扱える配線プログラムを作成できれば、上記の問題点は解決される。

このため、本論文では種々のチップ構造のゲートアレイに適用可能な配線プログラムの適用対象となるチップモデルについて考察し、チップモデルをできるだけ単純にしたことを述べる。さらに、配線プログラムの性能を高めるため、その入力データや配線径路を記述するデータ構造を工夫したことを述べる。次に、このようにして作成された配線プログラム GALOP (Gate Array Layout Program) を種々のチップ構造のゲートアレイに適用した結果と GALOP を特定のチップ構造のゲートアレイ専用の配線プログラム MARS-M II^{6),8)} と性能比較した実験結果について述べる。

2. ゲートアレイのチップ構造

ゲートアレイのチップ構造はそのデバイスや実装方法によりさまざまに異なる。話を具体化するための例として、大倉ら¹⁾ が考案したセル構造の CMOS ゲートアレイおよび中屋ら²⁾ が考案したセル構造のバイポーラゲートアレイに対し、ここでは前者にワイヤボンディング技術を、後者に近い将来必要とされるフリップチップ技術を適用した場合のチップ構造について説明する。

2.1 CMOS ゲートアレイのチップ構造

CMOS ゲートアレイのチップ構造を図 1 に示す。チップは周辺領域と内部領域に分けられる。周辺領域

† A Routing Program Applicable to Various Chip Structures of Gate Arrays by MASAYUKI TERAI, TOMOYOSHI NODA, KOJI SATO (LSI Research and Development Laboratory, Mitsubishi Electric Corporation) and TOSHIHIKO YAHARA (Kita-Itami Works, Mitsubishi Electric Corporation).

†† 三菱電機(株) LSI 研究所

††† 三菱電機(株) 北伊丹製作所

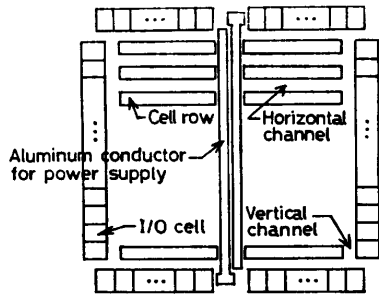


図1 CMOS ゲートアレイのチップ構造
Fig. 1 Chip structure of CMOS gate array.

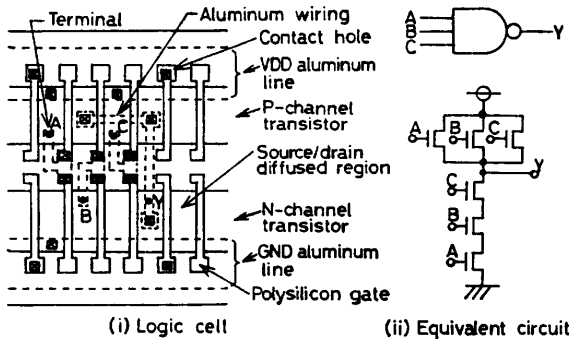


図2 CMOS ゲートアレイの論理セルの例
Fig. 2 An example of logic cell constructed by using transistor pairs on CMOS gate array.

はボンディングパッドと入出力バッファ回路を含む入出力セル (I/O cell) からなり、内部領域はセル列 (cell row) と配線領域である横チャネル (horizontal channel) と縦チャネル (vertical channel) からなる。配線は2層からなり、第1層の横格子線上に横配線、第2層の縦格子線上に縦配線を置き、これらをビアホール (via hole) により連結する。チップ中央には電源グラウンド配線 (aluminum conductor for power supply) が置かれセル列へ給電している。セル列内にはPおよびNチャネルトランジスタ (P- and N-channel transistors) のペアが酸化膜で分離されることなく図2のように並んでおり、PおよびNチャネルトランジスタのチェーンを構成している。相連続する一つ以上のトランジスタペアをセル列内で結線することにより論理セル (logic cell) が構成される。このため、論理セルは論理ゲートやフリップフロップ等の機能をもつ種々の大きさのものがあ、これが論理設計時の最小単位となる。図2に3入力 NANDゲートの論理セルの構成例を示す。論理セルは第1層の配線パターン (aluminum wiring) だけから構成され、そのすべての端子 (terminal) は縦格子線上に一つずつ存在する。このた

め、すべての端子は上下両方向から第2層の縦配線と接続でき、また、論理セルとして使用されなかったトランジスタペアや論理セル内の端子の存在しない縦格子線上は貫通トラック (feed-through track) となり第2層の縦配線が貫通できる。

2.2 バイポーラゲートアレイのチップ構造

バイポーラゲートアレイのチップ構造を図3に示す。チップはセル列と横チャネルおよび縦チャネルからなる。フリップチップ技術⁹⁾を用いてチップを実装するため配線は3層からなり、第1層の横格子線上に横配線、第2層の縦格子線上に縦配線、第3層には電源グラウンド配線およびフリップチップボンディングのための半田バンプとバッファセル間の配線を置き、これらをビアホールにより連結する。第3層の配線パターンは固定される。第3層に電源グラウンド配線が置かれているチップ中央部分やリファレンス回路²⁾の部分は縦チャネルとして用いられる。半田バンプは横チャネル上の第3層に設けられるため、半田バンプの設けられている横チャネルは他の横チャネルより幅が広がっている。セル列内にはゲートセルとバッファ

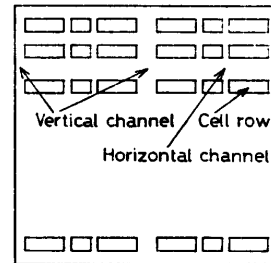


図3 バイポーラゲートアレイのチップ構造
Fig. 3 Chip structure of bipolar gate array.

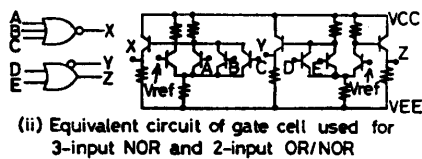
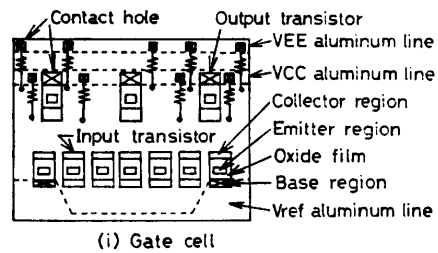


図4 バイポーラゲートアレイのゲートセル
Fig. 4 Gate cell on bipolar gate array.

セルが並んでいる。ゲートセルに種々の論理機能をもたせ、入力トランジスタ (input transistor) の使用率を高めるため、ゲートセルは図4のように2ゲートのペアからなる。セル列内のすべてのゲートセルは同一の大きさで、これが論理設計時の最小単位となる。ゲートセルやバッファセルのすべての端子は縦格子線上に一ずつ存在するが、セル列内で第1層と第3層の電源グランド配線がピアホールにより接続される。このため、ゲートセルやバッファセルの端子は上下両方向から第2層の縦配線と接続できる場合といずれか一方だけからしか接続できない場合があり、また、使用されなかったゲートセルやバッファセル上およびゲートセルやバッファセル内の端子の存在しない縦格子線上を第2層の縦配線が貫通できる場合とできない場合がある。

3. チップモデル

本章では、種々のチップ構造のゲートアレイを扱える配線プログラムの適用対象となるチップモデルについて述べる。この配線プログラムの性能が、特定のチップ構造のゲートアレイ専用の配線プログラムに比べて、劣らないようにするため、チップモデルをできるだけ単純にした。

3.1 チップモデルに関する考察

前章に示したように、ゲートアレイはそのデバイスや実装技術により論理ゲートの機能をもつセルの形状や構成法、セル列や配線領域の形状、セルの端子と配線の接続方法が大幅に異なる。これらのゲートアレイを扱える配線プログラムの適用対象となるチップモデルをできるだけ単純にするため以下のように考察した。

配線プログラムが種々のチップ構造のゲートアレイを扱うためには、チップ上の素子拡散パタンの繰返しの最小単位 (たとえば CMOS ゲートアレイにおけるトランジスタペア、バイポーラゲートアレイにおけるゲートセルを指す) と論理設計時のチップ上の最小単位 (たとえば CMOS ゲートアレイにおける論理セル、バイポーラゲートアレイにおけるゲートセルを指す) を区別することが必要である。したがって、本チップモデルにおいては前者を基本セル領域、後者をゲートセルと呼び区別し、ゲートセルは相連続する基本セル領域をセル列内で結線したもので、一般にその論理機能により大きさが異なるものとする。

次に、ゲートアレイではしばしばセル列が縦チャネ

ルや電源グランド配線により分割される。セル列を分割する縦チャンネルがある場合、通常、横チャンネルと縦チャンネルが T 字型に交差しているものとして扱うため、チャンネルの配線順序が複雑となる¹⁰⁾。セル列上の端子が縦配線とだけ接続される場合には、セル列を分割する縦チャンネルをセル列内の貫通トラックの集合 (貫通領域と呼ぶ) として扱えば、配線処理能力が低下せずチャンネルの配線順序が単純となる。このため、本チップモデルではチップ上にはセル列が上から下へ一列に並びセル列上の端子は縦配線とだけ接続されるものとし、セル列内には基本セル領域のほかに、貫通領域、セル列を貫通する電源グランド配線のためセル間の配線を置くことが禁止されている禁止領域を設ける。また、セル列内にバッファセルを構成できるバッファセル領域も設ける。

配線処理の内のチャンネル割当て時には、セル列内の各領域に面したチャンネルの一部分、チャンネルの交差点および貫通トラックをもつ領域をチャンネル要素と呼びこれを頂点对応させ、隣接する二つのチャンネル要素に対応する頂点对を辺で結んだグラフ上で径路を探索する方法がよく用いられている^{8), 11)}。この場合、グラフとチップモデルとの対応が単純でグラフの接続関係が規則正しいならば、この単純性を利用して効率よく径路探索できる¹¹⁾。そこで、本チップモデルではチップ上には凹凸のない同一の大きさのセル列が一列に並び、各セル列内の上記の領域の並ぶ順序はすべてのセル列内で同一であると制限する。このとき、チャンネル割当て時のグラフは後述のようにチップモデルとの対応が単純で接続関係も規則正しくなり、径路探索が効率よくできる。また、セル列が凹凸のないことから各チャンネルは凹凸のない長方形となり配線処理のうちのトラック割当てが単純となる。

3.2 チップモデル

前節の考察の下に、配線プログラムの適用対象とな

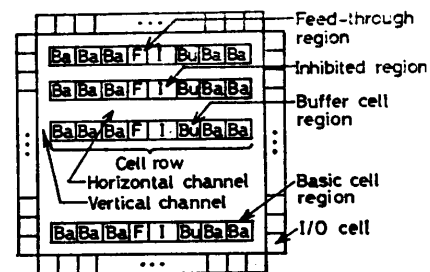


図5 チップモデル
Fig. 5 Chip model.

るチップモデルを図5のように定める。すなわち、チップは周辺入出力セルからなる周辺領域と同一の大きさの長方形のセル列と配線領域からなる内部領域に分けられる。配線領域はセル列間の横チャンネルとチップ両脇にのみ許されている縦チャンネルに分けられる。配線プログラムはセルの端子間の配線を2層配線方式により行う。すなわち、第1層の横格子線上に横配線、第2層の縦格子線上に縦配線を置き、これらをビアホールにより連結する。各横(縦)チャンネル内の横(縦)格子数はチャンネルごとに異なるものとする。

各セル列内にはそれぞれ幾種類かの大きさをもつ基本セル領域 (basic cell region), バッファセル領域 (buffer cell region), 貫通領域 (feed-through region) および禁止領域 (inhibited region) がそれぞれ複数個並んでいるが、その並ぶ順序はすべてのセル列に対し同一でなければならない。ゲートセル(バッファセル)は相連続する基本セル領域(一つのバッファセル領域)をセル列内で結線したもので、これが論理設計時の最小単位となる。ゲートセルはその論理機能によって種類の幅をもつ。ゲートセルやバッファセルの端子は縦格子線上に一つずつ存在し、端子は第2層の縦配線と上下両方向から接続できるかまたはいずれか一方だけからしか接続できないかを端子ごとに指定できる。ゲートセルやバッファセルとして使用されない基本セル領域上やバッファセル領域上およびゲートセルやバッファセル内の端子が存在しない縦格子線上を第2層の縦配線が通過可能か否かを縦格子線ごとに指定できる。これらは後述のセル構造データに記述される。

以上のようにチップモデルを定めることにより、この単純なチップモデルを扱う配線プログラムが種々のチップ構造のゲートアレイに適用可能となる。実際、前章のCMOSゲートアレイやバイポーラゲートアレイのみならず、文献3)、4)のDSA MOSゲートアレイや文献5)の3入力ECL回路を基本回路として用いたバイポーラゲートアレイも、この配線プログラムで扱うことができる。

4. 入力データと配線経路データ

本章では、前章で述べたチップモデルを扱う配線プログラムの入力データと配線経路データについて述べる。これらのデータでは、配線プログラムが配線を行いやすいよう工夫した。

4.1 入力データ

前章のチップモデルを扱う配線プログラムの入力



図6 ゲートセルの例

Fig. 6 An example of gate cell.

データとして、対象とするゲートアレイをモデル化したチップモデルを記述したデータ、チップ上のセル(ゲートセル、バッファセルおよび周辺入出力セルを総称してセルと呼ぶ)の端子間の論理接続データのほかにセル構造データを考える。

セル構造データでは、すべての種類の論理機能のセルに対しセル内のすべての端子と貫通トラックのクラス名とセル内の位置を記述している。とくに、端子に対しては上下いずれの方向から縦配線と接続できるかも記述している。ここで、セル内の全端子を論理的に等価な端子のクラスに分類し、各端子にそのクラス名を与えるものとする。また、すべての貫通トラックに同一のクラス名を与えるものとする。セル構造データの導入により、配線プログラムが種々のセル構造のゲートアレイを取扱い可能となる。

〔例1〕図6のゲートセルは2入力ORの論理機能をもつ。二つの入力端子は論理的に等価であるためこれらに同一のクラス名 C_i を与え、出力端子と貫通トラックにはそれぞれ別々のクラス名 C_o , C_f を与える。

(例終)

次に、論理接続データでは各信号ネットにつながるセルの端子をクラス名で記述し、配線プログラムがセル構造データを参照して同一クラス名の端子集合の中の最も適切な端子を信号ネットの端子として選ぶとした。ここで、信号ネットとは等電位となるように結線すべきセルの端子の集合またはその配線である。こうして、配線処理のうちの後述のピン割当て改善が種々のセルに対しても効率よく行われ、高い配線率が得られる。

4.2 配線経路データ

後述の配線手法により効率よく配線を行うため、配線経路を記述するデータ構造として幹線テーブルとピンテーブルを考えた。以下では、セル列の貫通トラックをその上の一つの格子点で代表させ、この格子点とゲートセルやバッファセルの端子を総称してピン(pin)と呼ぶ。また、横(縦)チャンネル内の各横(縦)配線を相連続する2ピン間の横(縦)配線に分解したとき、そのそれぞれを幹線(trunk)と呼び、各縦(横)配線を支線と呼ぶ。チップ上のセル列数を r としたと

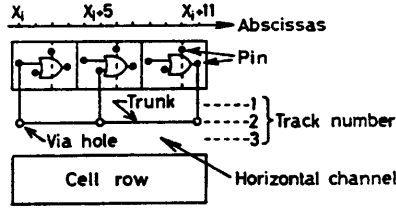


図7 信号ネット ω の配線径路
Fig. 7 Wiring path of signal net ω.

表1 図7の横チャンネルに対する幹線テーブル
Table 1 Trunk table of the horizontal channel shown in Fig. 7.

信号ネット識別名	トラックの番号	左端点の横格子座標値	右端点の横格子座標値
ω	2	X_i	X_i+5
ω	2	X_i+5	X_i+11

表2 図7の上側のセル列に対するピンテーブル
Table 2 Pin table of the top cell row shown in Fig. 7.

横格子座標値	ピンのクラス名	支線との接続方向	信号ネット識別名
X_i	C_1	下方向	ω
⋮	⋮	⋮	⋮
X_i+5	C_1	下方向	ω
⋮	⋮	⋮	⋮
X_i+11	C_0	下方向	ω

き、 $r+3$ 個の幹線テーブルと r 個のピンテーブルがある。各横(縦)チャンネルに対してそれぞれ一つの幹線テーブルがあり、各幹線テーブルには対応するチャンネル内のすべての幹線に対し信号ネット識別名、幹線の置かれるトラックの番号 (track number) および幹線の左右(上下)端点の横(縦)格子座標値を記述する。ここで横(縦)チャンネルにおける横(縦)格子線をトラックと呼ぶ。また、各セル列に対してそれぞれ一つのピンテーブルがあり、各ピンテーブルには対応するセル列上のすべてのピンに対し横格子座標値、クラス名、ピンに接続する支線の接続方向および信号ネット識別名を記述する。

(例2) 図6のゲートセル間を接続する信号ネット(識別名: ω)の図7のような配線径路は幹線テーブルとピンテーブルに表1と表2のように記述される。

5. 配線手法

本章では、3章のチップモデルを扱う配線プログラムに一般に広く用いられているチャンネル割当てとトラック割当ての2段階からなる配線手法⁷⁾を用いた場

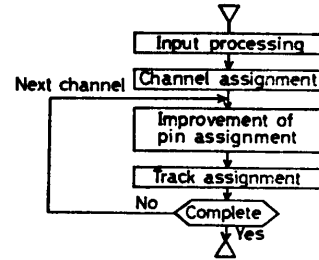


図8 配線アルゴリズムのフロー図
Fig. 8 Processing flow of the routing algorithm.

合、プログラムは幹線テーブルとピンテーブルに配線径路をどのように記述していくかを述べ、このデータ構造が上記の配線手法に適していることを示す。

配線手法のフローは図8で示される。つまり、入力処理 (input processing) では入力データを読み取り、チップ上のすべてのピンに対し、ピンテーブルの横格子座標値とピンクラス名の項目を記述する。ゲートセルおよびバッファセルの端子に対しては、同一クラス名をもつ端子集合のなかの各端子に信号ネット端子を仮に割り当て、端子に接続する支線の信号ネット識別名をピンテーブルに記述する。次に、チャンネル割当て (channel assignment) を行い、その後、いちばん下の横チャンネルから順に各横チャンネルに対し、ピン割当て改善 (improvement of pin assignment) とトラック割当て (track assignment) を行う。いちばん上の横チャンネルが配線された後に二つの縦チャンネルが一つずつ配線される。

以下では、チャンネル割当て、ピン割当て改善およびトラック割当てについて述べる。

5.1 チャンネル割当て

チャンネル割当てでは各信号ネットの配線径路を図9のグラフ $G_c \triangleq [V, E]$ 上に文献8)の手法で割り当てる。ここで、 V はチャンネル要素 (channel element) に対応する頂点 (vertex) 集合で、 E は隣接する二つのチャンネル要素に対応する頂点对を結ぶ辺 (edge) 集合である。次に、これらの径路をチップモデル上の幹線と支線に分け、すべての幹線に対し幹線テーブル上にトラックの番号を除く全項目を記述し、すべての支線

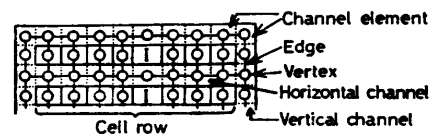


図9 チャンネル割当てにおけるグラフ G_c
Fig. 9 Graph G_c used in channel assignment phase.

に対しピンテーブル上にピンと支線との接続方向を、貫通トラック上の支線に対してはその信号ネット識別名も記述する。

5.2 ピン割当て改善とトラック割当て

対向する2セル列間の横チャンネルに対する幹線間の制約グラフ^{6),12)}にサイクルがあるときサイクルを解消しなければ配線できないため、ピン割当て改善においては次の二つの手法でサイクルを解消する。まず第1の手法は、処理中の横チャンネルの上側のセル列に対応するピンテーブル上でクラス名が等しくかつ同一ゲートセルまたは同一領域内の2ピンに対し、それらに接続する支線を置換することである。第2の手法は、幹線テーブル上で1本の幹線を2本の幹線に分割することである。ピン割当て改善では幹線の分割点だけが決められ、幹線の置かれるトラックはトラック割当てで決定される。上記二つの方法で多くの場合、幹線間の制約グラフ中のサイクルは解消され、高い配線率が得られる¹²⁾。

次に、トラック割当てでは“dogleg” router¹³⁾と同様の手法を用いてチャンネル内のすべての幹線を、幹線間および支線間の重なりがないようにトラック上に配置する。トラック割当ての結果は幹線テーブル上のトラックの番号の項目に記述される。

以上のように、ピンテーブルはピン割当て改善における支線の置換が容易な構造に、幹線テーブルは幹線分割およびトラック割当てが容易な構造になっている。

6. 実験結果

前章までに述べた手法に基づいて、3章に示したチップモデルを扱える配線プログラム GALOP を作成した。本章では、GALOP を2章で示した CMOS ゲートアレイおよびバイポーラゲートアレイに適用した結果について述べる。次に、GALOP を DSA MOS ゲートアレイ専用の配線プログラム MARS-M II と比較した実験結果について述べる。

CMOS ゲートアレイでは、チップ上のセル列数、トランジスタペア数、横チャンネル内のトラックの総数はそれぞれ 40, 8,000, 336 である。バイポーラゲートアレイでは、チップ上のセル列数、ゲートセル数、バッファセル数、横チャンネル内のトラックの総数はそれぞれ 168, 1,008, 280, 482 である。GALOP をこれらのゲートアレイに適用した結果を表3に示し、表3のデータAとCに対する配線結果のパターン図を

表3 GALOP の配線結果
Table 3 Routing results of GALOP.

ゲートアレイ	CMOS ゲートアレイ		バイポーラ ゲートアレイ	
	A	B	C	D
論理接続データ 信号ネット数	1,385	952	1,276	1,487
使用された ゲートセル数	1,451	890	768	830
使用された 基本セル領域数	6,502	5,568	768	830
使用された周辺 入出力セル数または バッファセル数	38	64	155	163
配線率 (%)	100	100	100	100
横チャンネル内の使用 されたトラックの 総数	293	286	402	435
処理時間 (分)	19.9	13.5	5.6	6.9

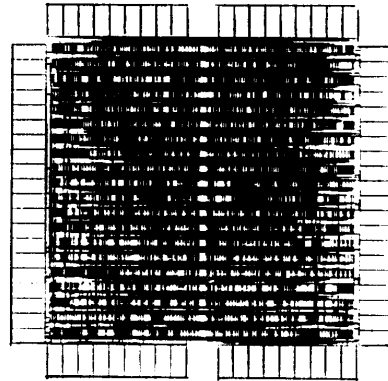


図10 データAの配線パターン図

Fig. 10 Routing result for data A in Table 3.

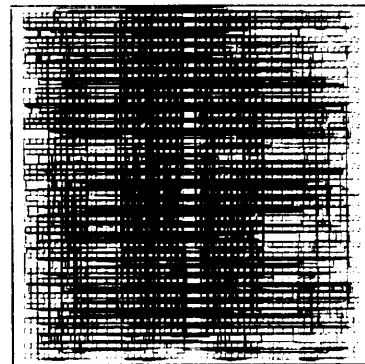


図11 データCの配線パターン図

Fig. 11 Routing result for data C in Table 3.

10と図11に示す。使用した計算機は MELCOM-COSMO 900 IIでその性能は 3.5 MIPS である。表3のように、GALOP によればチップ構造の大幅に異なるゲートアレイに対してともに、短い処理時間で高い配線率が得られる。これはチップモデルをできるだけ単純にし、配線径路を記述するデータを配線手法に

表 4 GALOP と MARS-M II の配線結果
Table 4 Routing results of GALOP and MARS-M II.

論理接続データ プログラム	E		F	
	GALOP	MARS-M II	GALOP	MARS-M II
信号ネット数		615		635
使用されたゲートセル数		616		614
使用された周辺入出力セル数		66		64
使用された記憶領域	750 kバイト	740 kバイト	714 kバイト	710 kバイト
配線率 (%)	100	100	100	100
横チャンネル内の使用されたトラックの総数	157	158	135	135
総配線長	53,173	55,355	41,655	43,116
ビアホール数	2,380	2,408	1,986	2,013
処理時間 (分)	2.3	3.0	1.7	2.9

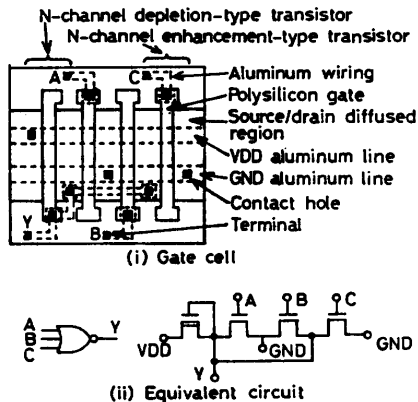


図 12 DSA MOS ゲートアレイのゲートセル
Fig. 12 Gate cell on DSA MOS gate array.

適した構造にして配線を効率よく行ったことによると考えられる。

次に、GALOP と MARS-M II を比較した結果について述べる。実験に用いた MARS-M II は、配線処理能力を高めるため、文献 6) のプログラムに文献 8) のチャンネル割当てプログラムを組み込んだもので、その配線手法は GALOP とほぼ同様である。GALOP と MARS-M II はともに FORTRAN 言語で記述され、MELCOM-COSMO 900 II で実行可能である。GALOP と MARS-M II のプログラム規模はそれぞれ 22,000, 18,000 ステートメントで、このプログラム規模の差は種々のセル構造を扱うため GALOP の入力処理が MARS-M II の入力処理より複雑になったことによる。

GALOP と MARS-M II を DSA MOS ゲートア

レイに適用した結果を表 4 に示す。DSA MOS ゲートアレイ^{3),4)}のチップ構造は CMOS ゲートアレイと同様で図 1 のようであるが、セル列内には図 12 に示されるゲートセルが並んでいる。ゲートセルは 3 入力 NOR ゲート、2 入力 NOR ゲートまたはインバータとして用いられ、これが論理設計時の最小単位となる。また、ゲートセルの端子は上下両方向から第 2 層の縦配線と接続でき、ゲートセル内の端子の存在しない縦格子線を第 2 層の縦配線が貫通できる。なお、チップ上のセル列数、ゲートセル数、横チャンネル内のトラックの総数はそれぞれ 24, 624, 211 である。表 4 より明らかなように、GALOP と MARS-M II はプログラム実行時に使用される記憶領域がほぼ同じ大きさであり、配線率、使用トラック数、総配線長、ビアホール数および処理時間の点でほぼ同一の配線処理能力をもっている。これは、GALOP では 3 章に示した単純なチップモデル上で配線を行い、そのため配線径路を記述するデータ構造および配線手法を MARS-M II とほぼ同様に単純にできたことによると考えられる。実際、たとえばトラック割当てプログラムは MARS-M II のものをそのまま GALOP に用いることができた。なお、表 4 での GALOP と MARS-M II の処理時間の差は、配線径路データを GALOP では主記憶装置上に、MARS-M II では主記憶装置の容量が小さい計算機上でも実行できるように外部記憶装置上にもつことによるものである。また、種々のセル構造を扱うため GALOP でのみ必要となるセル構造データは、DSA MOS ゲートアレイの場合、イン

バータ, 2入力 NOR および3入力 NOR の3種類の論理機能のゲートセルと周辺入出力セルに対し, それぞれ端子と貫通トラックのクラス名と位置等を記述したたかだか400バイトの簡単なデータとなる。

以上の実験から, GALOP は種々のチップ構造のゲートアレイに適用可能であり, MARS-M II と比べて, プログラム規模や使用される記憶領域の大きさはほぼ等しく, 配線率や処理時間などの性能も劣らないことが実証された。したがって, 本論文で述べた種々のチップ構造のゲートアレイに適用可能な配線プログラムの作成方法は有効であることが確かめられた。

7. む す び

ゲートアレイはそのデバイスや実装方法により種々のチップ構造のものがある。これらのゲートアレイに対する配線プログラムを作成する際に作成作業量を少なくするため, 種々のチップ構造のゲートアレイに適用可能で, かつ特定のチップ構造のゲートアレイ専用のプログラムに比べてプログラム規模や使用される記憶領域が大きくなり配線処理能力も劣らない配線プログラムを作成することが望ましい。このため, 本論文では種々のチップ構造のゲートアレイに適用可能な配線プログラムの適用対象となるチップモデルについて考察し, チップモデルをできるだけ単純にしたことを述べた。さらに, 配線プログラムの性能を高めるため, その入力データや配線径路を記述するデータ構造を工夫したことを述べた。

次に, このようにして作成した配線プログラム GALOP が種々のチップ構造のゲートアレイに適用可能であり, 特定のチップ構造のゲートアレイ専用の MARS-M II に比べてプログラム規模や使用される記憶領域の大きさがほぼ等しく, 配線処理能力も劣らないことを実証した。そして, 本論文で述べた種々のチップ構造のゲートアレイに適用可能な配線プログラムの作成方法の有効性を確認した。

本論文で述べたようにして何種類かのチップ構造の異なるゲートアレイを扱える配線プログラムを作成すれば, それぞれのゲートアレイに対しそのゲートアレイ専用の配線プログラムを作成する場合に比べ, プログラムの作成作業量や保守運用の作業量が少なくなり望ましいと考えられる。

謝辞 プログラムの開発に当たり激励と技術上の示唆をいただいた三菱電機株式会社 LSI 研究所蒲生容仁部長, 同社情報電子研究所村井真一氏に感謝しま

す。また, 計算機実験に協力いただいた同社 LSI 研究所下山博義氏に感謝します。

参 考 文 献

- 1) Ohkura, I., Noguchi, T., Sakashita, K., Ishida, H., Ichiyama, T. and Enomoto, T.: Gate Isolation—A Novel Basic Cell Configuration for CMOS Gate Arrays, Proc. 1982 Custom Integrated Circuits Conf., pp. 307-310 (1982).
- 2) Nakaya, M., Kato, S., Tsukamoto, K., Sakurai, H., Kondo, T. and Horiba, Y.: A Bipolar 2500-Gate Subnanosecond Masterslice LSI, *IEEE J. Solid-State Circuits*, Vol. SC-16, No. 5, pp. 558-562 (1981).
- 3) Tomisawa, O., Anami, K., Nakaya, M., Ohmori, M., Ohkura, I. and Nakano, T.: A 920 Gate Masterslice, *IEEE J. Solid-State Circuits*, Vol. SC-13, No. 5, pp. 536-541 (1978).
- 4) Ohkura, I., Tomisawa, O., Nakaya, M., Ohbayashi, Y. and Nakano, T.: A Multilevel Metallized DSA MOS Masterslice, *IEEE J. Solid-State Circuits*, Vol. SC-14, No. 4, pp. 764-766 (1979).
- 5) 堀場, 加藤, 茅野, 金田, 村井: 高速 ECL ゲートアレイ, 三菱電機技報, Vol. 54, No. 12, pp. 829-833 (1980).
- 6) Kanada, H., Okazaki, K., Tachibana, M., Kato, R. and Murai, S.: Channel-Order Router—A New Routing Technique for a Masterslice LSI, *J. Digital Syst.*, Vol. 4, Issue 4, pp. 427-441 (1981).
- 7) Shiraiishi, H. and Hirose, F.: Efficient Placement and Routing Techniques for Master Slice LSI, Proc. 17th Design Automation Conf., pp. 458-464 (1980).
- 8) 寺井, 村井, 田中, 金田, 藤原, 樹下: マスタスライス方式 LSI におけるチャネル割当の一手法, 情報処理学会電子装置設計技術研究会資料, 1-2 (1979.6).
- 9) Kohara, M., Shibata, H., Nakao, S. and Nakata, H.: High-Thermal Conduction Package Technology for Flip Chip Devices, Proc. 33rd Electronic Components Conf., pp. 140-144 (1983).
- 10) Sato, K. and Nagai, T.: A Method of Specifying the Relative Locations between Blocks in a Routing Program for Building Block LSI, Proc. 1979 ISCAS, pp. 673-676 (1979).
- 11) 原田, 福井, 築山, 白川, 尾崎: マスタスライス方式 LSI の一グローバル配線手法, 電子通信学会技術研究報告, CAS 82-80 (1982.10).
- 12) 野田, 寺井, 佐藤, 八原: 多様なデバイスのゲートアレイに適用可能な配線プログラム, 電子通信学会技術研究報告, CAS 82-79 (1982.10).
- 13) Persky, G., Deutsch, D.N. and Schweikert, D.G.: LTX—A Minicomputer-Based System for Automated LSI Layout, *J. Des. Autom. Fault-Tolerant Comput.*, Vol. 1, No. 3, pp. 217-255 (1977).

(昭和 58 年 8 月 4 日受付)

(昭和 58 年 9 月 13 日採録)