

多機能性を実現する画像処理用 LSI-ISP の アーキテクチャ†

福 島 忠^{††} 小 林 芳 樹^{††} 平 沢 宏 太 郎^{††}
坂 東 忠 秋^{†††} 柏 岡 誠 治^{††††} 加 藤 猛^{†††††}

256 階調を有する濃淡画像を、ビデオレートで高速処理する画像処理用 LSI-ISP (Image Signal Processor) を開発した。ISP の特長は、カーネルサイズを容易に拡張できることと、多種の局所画像演算を実行できることである。ここでは、カーネルの拡張が容易な基本アーキテクチャの上で、多種の局所画像演算を実行する、データ制御および演算回路のアーキテクチャについて論ずる。ISP の多機能性は、二つの手法で実現されている。一つは構造的な手法であり、もう一つは機能的な手法である。ISP の基本アーキテクチャは、ISP 内での処理が、画像データを変換する段階と、変換されたデータを統合する二つの段階とから成っていると見られる。そこで、まず効果的な画像データの変換ができる制御構成を検討した。その上で、多種の画像演算を、先の三つの段階に分割して、各段階の回路構成および演算機能を決定した。データ制御および各演算回路の機能は、プログラマブル制御レジスタにより設定される。その結果、プログラマブル制御レジスタの内容を変更するだけで、ビデオレートでの高速処理と、カーネルの拡張性とを維持したまま、多種の画像演算の実行が可能になった。

1. ま え が き

リモートセンシングや医療エレクトロニクスの分野から、実用化の始まったデジタル画像処理技術は、さまざまな分野に適用されつつある。これまでは、主として 2 値画像処理技術が、適用の対象であったが、ニーズの多様化から、今後は 256 階調程度の濃淡度を有する、濃淡画像処理技術の応用が活発になると考えられる。しかし、2 値画像処理が論理演算で実行できるのに対して、濃淡画像処理には算術演算が要求される。そのため、実用的な処理速度を得るには、画像処理装置は、大規模でかつ高価なものになってしまう。汎用性を追求すれば、装置はいっそう大規模になる。このことが、濃淡画像処理技術の普及の足かせとなっていた。そこで著者らは、濃淡画像処理技術の実用化を目指し、高速性・多機能性・拡張性を備えた画像処理用 LSI-ISP (Image Signal Processor) を開発した¹⁾。

近年、半導体技術の進展を背景として、画像処理用 LSI の開発がいくつか試みられている。その流れは、大きく二つに分類される。一つは、全画像の各画素 (pixel) に一つずつ PE (Processor Element) を用意して、全画素並列に演算する完全並列型である^{2),3)}。もう一つは、一つの出力画素を算出するのに用いる入力画素と同数の PE を用意して、局所的に並列演算する局所並列型である⁴⁾。

ISP は局所並列型に属し、以下の特長を備えている。まず、空間積和演算に代表される局所画像演算を、ビデオレートで高速処理できる。プログラマブル制御レジスタを内蔵し、濃淡画像の基本演算のほとんどを実行できる。さらに、局所演算の対象領域であるカーネル (kernel) を、容易に拡張することができる。これらの特長のうち、ビデオレートで高速処理できる画像処理用 LSI については、米国画像理解プロジェクトにおいて開発された例がある⁴⁾が、多種の画像演算を実行できる多機能性と、大きなカーネルにも対処できる拡張性は、ISP によって初めて実現されたものである。

著者らは、先にカーネルの拡張を実現する観点から、ISP の基本アーキテクチャについて報告した⁵⁾。本論文では、多種の画像演算を実行する観点から、ISP のさらに詳細なアーキテクチャについて論ずる。

† Architecture of an Image Signal Processor for Various Image Processing by TADASHI FUKUSHIMA, YOSHIKI KOBAYASHI, KOHTAROH HIRASAWA (The 10th Department, Hitachi Research Laboratory, Hitachi, Ltd.), TADAOKI BANDO (The 8th Department, Hitachi Research Laboratory, Hitachi, Ltd.), SEIJI KASHIOKA (The 6th Department, Central Research Laboratory, Hitachi, Ltd.) and TAKESHI KATO (The Control Computer Department, Omika Works, Hitachi, Ltd.).

†† (株)日立製作所日立研究所第 10 部

††† (株)日立製作所日立研究所第 8 部

†††† (株)日立製作所中央研究所第 6 部

††††† (株)日立製作所大みか工場計算制御設計部

2. ISP の基本アーキテクチャ

2.1 基本アーキテクチャの検討

局所並列型に属する ISP の基本アーキテクチャは、次の二つの観点から検討した。一つは、ビデオレートで高速処理できることであり、もう一つは、カーネルを容易に拡張できることである。以下、その検討結果を述べる。

まず、1画素当り 8ビットの画像データを処理させることにした。これから生ずる種々の制約から、1チップに搭載する PE 数を 4個とし、4個の PE は、SIMD (Single Instruction Multi-Data stream) の形態で並列に動作させることにした。

1チップ内の 4個の PE への画像データの転送は、図 1 に示すように、遅延回路を介する方式を採った。また、画像データとの演算に用いられる演算オペランド (荷重係数・テンプレートデータなど) は、図 2 に示すように、内蔵 RAM から各 PE に供給することにした。

複数個の LSI を用いて大きなカーネルを処理する場合は、図 3 に示す方式により、LSI 間のリンケージ演

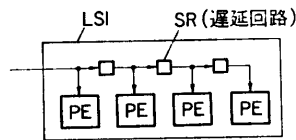


図 1 画像データの転送方式
Fig. 1 Image data transfer

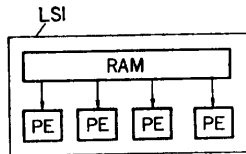


図 2 演算オペランドの供給方式
Fig. 2 Processing operand supply.

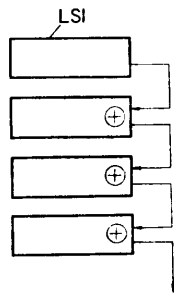


図 3 LSI 間のリンケージ方式
Fig. 3 Linkage among the LSIs.

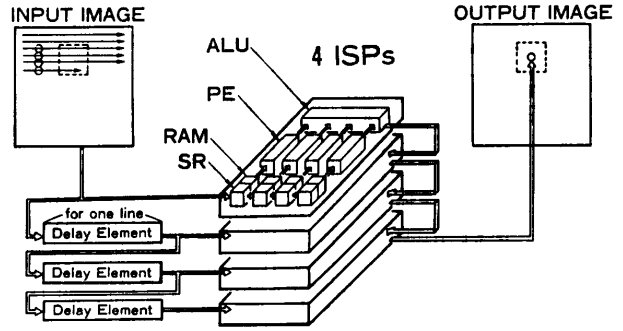


図 4 ISP を 4 個用いた画像処理システム
Fig. 4 Four-ISP image processing system.

算をすることにした。すなわち、リンケージ演算専用の演算回路と、リンケージデータの転送のための入力端子と出力端子を、別々に設けることにした。

2.2 システムの構成例

前節の検討結果を踏まえて、図 4 に示すような画像処理システムの構成を考えることにした。図 4 のシステムは、カーネルが 4×4 である画像演算を高速に処理するもので、ISP を 4 個用いている。以下本節では、図 4 のシステムの動作を、次式で表される 4×4 空間積和演算を例に挙げて説明する。

$$g(x, y) = \sum_{i=1}^4 \sum_{j=1}^4 W_{ij} * f(x+i-1, y+j-1).$$

ただし、 $f(x, y)$ は入力画像、 $g(x, y)$ は出力画像、 W_{ij} は荷重係数とする (なお、画像の位置は、演算後左上方向へずれる)。

図 4 のシステムにおいて、入力画像は、ノンインタレーステレビ画像と同様に、主走査方向が左から右、副走査方向が上から下で、左上隅から右下隅へ走査される。走査された画像データは、三つの遅延回路を介して、四つの ISP に順次入力される。各遅延回路は、入力画像の 1 ラインを走査するのに要する時間だけ、画像データを遅延させるので、四つの ISP 内の 16 個のシフトレジスタには、 4×4 、合計 16 個の隣接した画素データが取り出せる。あらかじめ、荷重係数を RAM に書き込んでおくと、シフトレジスタ内の画像データは、RAM 内の荷重係数と、対応する PE で掛け合わされて、後段の ALU で順次加算され、出力画素データとなる。

このシステムでは、四つの ISP 内の合計 16 個の PE は、すべて並列に動作する。さらに、PE や ALU にパイプライン処理を採用し、サイクル時間を 167 ns にすることにより、 256×256 画素サイズの画像ならば、テレビカメラからの映像信号を、A/D コンバータを

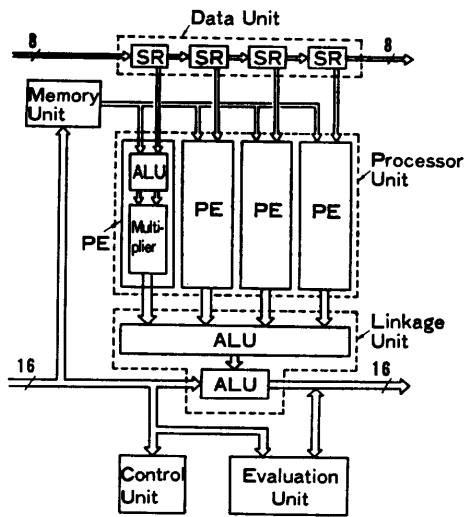


図5 ISPの基本構成図
Fig. 5 ISP block diagram.

介して、実時間で処理することができる。

また、垂直方向だけでなく、水平方向にも ISP を追加すれば、カーネルを2次元的に拡張することができる。

2.3 基本アーキテクチャ

以上の検討を踏まえて決定した、ISPの基本構成図を図5に示す。同図に示すように、ISPは6個のユニットから構成されている。以下、各ユニットについて概説する。

(1) データユニット

4個のシフトレジスタなどから成り、画像データの転送に寄与する。画像データバスは、入出力ともに8ビット幅で、出力バスは、図4のシステムを例に挙げると、水平方向のカーネル拡張用である。

(2) メモリユニット

8bit×16wordから成るRAMで構成され、荷重係数やテンプレートデータなどの演算オペランドを記憶する。画像演算時は、通常各PEに1バイトずつデータを供給する。

(3) プロセッサユニット

4個のPEから構成され、各PEはSIMDの形態で画像データを並列処理し、それぞれ16ビットの演算結果を出力する。PEの構成については、後で詳述する。

(4) リンケージユニット

4入力ALUと2入力ALUから構成され、前者はPE間、後者はLSI間のリンケージ演算に寄与する。入出力データはともに16ビットである。各ALU

の構成については、後で詳述する。

(5) エバリュエーションユニット

2個の比較回路などから成り、リンケージユニットの出力データに対する、2値化処理やクラスタリング処理に寄与する。

(6) コントロールユニット

プログラマブル制御レジスタなどから構成され、各ユニットを制御する。

以上述べた基本アーキテクチャをもとに、種々の画像処理機能を実現する方法について、次章以下で詳しく論ずる。

3. 多機能性の検討

3.1 多機能性実現へのアプローチ

前章で論じた基本アーキテクチャをもとに、種々の画像演算を実現する方法として、二つのアプローチを採った。一つは、構成要素の有機的結合に着目した構造的アプローチであり、もう一つは、それぞれの構成要素にもたせる機能内容に着眼した機能的アプローチである。

図5に示す基本アーキテクチャを横断的に考察すると、

(1) 各PEは、画素データを変換する機能を担い、

(2) リンケージユニット内の4入力ALUは、PEの出力データを統合する機能を担い、そして、

(3) リンケージユニット内の2入力ALUは、複数のLSIにまたがって、同ユニット内の4入力ALUの出力データを再統合する機能を担う、と見ることができる。以下、(1)を画素データ変換機能、(2)を変換データ統合機能、(3)を統合データ再統合機能と呼ぶことにする。

多機能性を検討する手順としては、まず上記の三つの機能を念頭に置いた構造的アプローチを採り、内部構成を明確にした。そして、その内部構成を前提として、機能的アプローチを採ることとした。

3.2 構造的観点からの検討

図5に示す基本アーキテクチャは、ビデオレートで高速処理するため、並列処理に加えてパイプライン処理を採用している。また、LSI化のために、規則性を重視した構成となっている。種々の画像演算を実行させるべき手段は、これらの点を考慮したものでなければならない。そこで、上記の2点を前提として、プロセッサユニットとリンケージユニットの各演算要素

に、どのようにデータを供給するか、という観点から構成を考えることにした。

図5の構成では、プロセッサユニット内の各PEには、データユニットとメモリユニットから1バイトずつデータが供給される。データユニットからのデータは画素データで、メモリユニットからのデータは演算オペランドである。つまり、図5の構成によると、画素データは、演算オペランドによってしか変換されない。しかし、表1に示す各種の一次微分オペレータ⁶⁾では、演算オペランドを用いず、近傍の画素データを用いて変換すると見ることができる。そこで、メモリユニットからの演算オペランドの代わりに、もう1バイトの画素データを、各PEに供給することを考えた。

各PEへの画素データの供給は、表1に示す各種の一次微分オペレータを効率よく実行できるよう、図6に示す二つの方式を採用した。図6内のAバスは、図5内のデータユニットへの入力バスと同じものであ

る。また、図6内のBバスは、端子数削減のため、図5内のデータユニットからLSI外へ出力するバスを、双方向性として転用することにした。

一方、演算オペランドを用いて、画素データを変換する画像演算でも、拡大・縮小・回転などの移動を行った場合などに実施される補間演算や、赤・緑・青の光の三原色ごとの濃度値を用いた色彩処理などでは、多数の画像データを同時に直接おのおののPEに入力するほうが、図5の構成において、シフトレジスタを介して逐次的にデータ転送するより効率的である。これに対処するために、図7に示すような入力体系も採れるよう考慮した。図7のA,B,LIバスは、それぞれ、図5の、データユニットへの入力バス、データユニットから外部への出力バス、リンケージユニットへの入力バスに対応させた。

また、すべてのPEは、SIMDの形態で同一の動作をするが、画素データを変換するのに必要なPEを選択できるよう考慮した。これにより任意の形状のカーネルによる演算が実行できる。

以上論じた内容は、濃淡画像もしくは3枚の濃淡画像から成ると見られる色彩画像の処理に適合する。しかし、1画素が1ビットから成る2値画像に対しては、8画素を1単位として、濃淡画像の一つの画素と同様に、一つのPEで処理することが考えられる。この場合、上に述べた稼働PEの選択だけでは、任意の形状のカーネルを形成することはできない。そこで、メモリユニットからは、PE1個当たり2バイトのデータを供給し、1バイトはカーネル指定用とし、他の1バイトを演算オペランド用とした。つまり、2値画像演算は、カーネル内の画素データにだけ施されることになる。

表1 各種の一次微分オペレータ
Table 1 One-degree differential operators.

- (1) $\sqrt{(a-d)^2+(b-c)^2}$ (Roberts オペレータ)
- (2) $|a-d|+|b-c|$
- (3) $[|a-b+c-d|+|a+b-c-d|]/2$
- (4) $\sqrt{(A+B+C-G-H-I)^2+(A+D+G-C-F-I)^2}$
- (5) $|A+B+C-G-H-I|+|A+D+G-C-F-I|$
- (6) $|E-A|+|E-C|+|E-G|+|E-I|$
- (7) $|\max(A, B, C, D, F, G, H, I)-E|$
- (8) $\text{sign}(B-H) \cdot |\min(A, B, C)-\max(G, H, I)|$
- (9) $|A+2B+C-G-2H-I|+|A+2D+G-C-2F-I|$
(Sobel オペレータ)

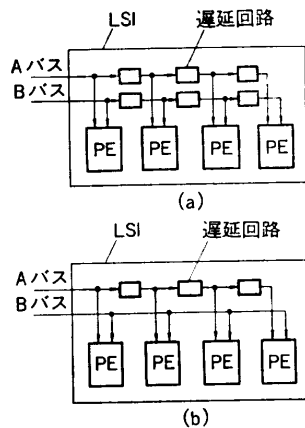
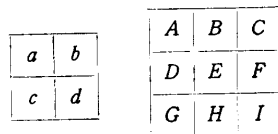


図6 二つの入力バスを用いた画像データ入力方式
Fig. 6 Image data input with two buses.

3.3 機能的観点からの検討

機能的な観点からは、前節で検討した構成に基づくデータフローに対して、種々の画像演算の実行に必要なとされる演算機能を考えなければならない。ここでは、局所近傍演算として分類される代表的な演算として、表1に示した各種の一次微分オペレータのほか、

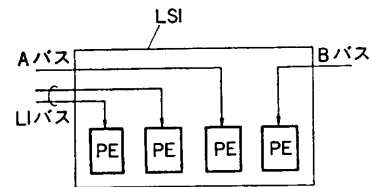


図7 四つの入力バスを用いた画像データ入力方式
Fig. 7 Image data input with four buses.

表 2 各種の濃淡および色彩画像演算

Table 2 Image processing for gray and color images.

空間積和演算	$g(x, y) = \sum_{i=1}^n \sum_{j=1}^m w_{ij} \cdot f(x+i-1, y+j-1)$
残差検定法	$g(x, y) = \sum_{i=1}^n \sum_{j=1}^m t_{ij} - f(x+i-1, y+j-1) $
4点線形補間	$g(x, y) = (1-4x)(1-4y) \cdot f(i, j) + 4x(1-4y) \cdot f(i+1, j) + (1-4x)4y \cdot f(i, j+1) + 4x4y \cdot f(i+1, j+1)$
色彩濃度変換	$g(x, y) = \alpha R(x, y) + \beta G(x, y) + \gamma B(x, y)$
色彩距離演算	$g(x, y) = \sqrt{\{\alpha - R(x, y)\}^2 + \{\beta - G(x, y)\}^2 + \{\gamma - B(x, y)\}^2}$

f : 濃淡入力画像
 g : 濃淡出力画像
 w, α, β, γ : 荷重係数
 t : テンプレートデータ
 R : 色彩画像 Red 成分濃度
 G : " Green "
 B : " Blue "
 $4x$: 隣接画素 $f(i, j)$ との x 軸方向の差異
 $4y$: " " との y 軸方向の差異

表 2 に定義される各種の濃淡および色彩画像演算, さらに, 2 値画像演算としてパターンマッチング機能を挙げて, 画素データ変換機能, 変換データ統合機能, 統合データ再統合機能に要求される演算オペレーションについて論ずる.

表 3 は, 各種画像演算の実行につき, 要求される演算オペレーションを, 三つの機能に分割した結果を示す. 表 3 からは次の結論が得られる.

(1) 三つの機能は, いずれも連続する二つの演算部で実現できる.

(2) 画素データ変換機能に対しては, 加減算をおもなオペレーションとする演算部と, 乗算をおもなオペレーションとする演算部が必要である.

(3) 変換データ統合機能と統合データ再統合機能に対しては, 加減算をおもなオペレーションとする演算部と, 絶対値算出オペレーションを備えた演算部が必要である.

(4) 統合データ再統合機能には, SQRT (Square Root) 機能も要求される.

(5) いずれの演算部にも, 入力データをそのまま出力する NOP (No Operation) 機能が要求される.

この結果を踏まえ, さらに他の画像演算の実行を考慮して, 三つの機能を担う, プロセッサユニットの PE やリンケージユニットの ALU の, 演算回路構成を決定することにした.

表 3 各機能に要求される演算オペレーション

Table 3 Operations required for each function.

画像演算	画素データ変換機能	変換データ統合機能	統合データ再統合機能
一次微分オペレータ (1)	-, *	NOP	+, $\sqrt{\quad}$
" (2)	-,	NOP	+
" (3)	+/-	+/-,	+, $1/2$
" (6)	-,	+	+
" (7)	-,	max	max
" (8)	NOP	min/max	-,
空間積和演算	*	+	+
残差検定法	-,	+	+
4点線形補間	*	+	+
色彩濃度変換	*	+	+
色彩距離演算	-, *	+	+, $\sqrt{\quad}$
パターンマッチング	ENOR, CNT	+	+

4. 多機能性を実現するアーキテクチャ

4.1 演算データの制御構成

3.2 節の検討を踏まえて決定した画像データと演算オペランドの制御構成を図 8 に示す.

図 8 には二つのひずみ補正バッファがある. Aバスのものは, LSI 間のパイプライン処理を可能にするものであり, Bバスのものは, Aバスとの時間ひずみを補正するものである. Bバスのひずみ補正バッファにより, 各種の一次微分オペレータの実行が可能になっている.

メモリユニット内の RAM は, 8 bit \times 64 word とし, 1 アドレス 8 バイトの並列読出し構成とした. それぞれの PE には, 2 バイトのデータが供給されることになり, 1 バイトは演算オペランドで, もう 1 バイトは, 2 値画像処理におけるカーネル指定用である. カーネル指定データは, 2 値画像処理の際, データユニットからの画素データをマスクすることになる.

Bバスだけはトライステートとなるが, この Bバスの入出力方向を制御する信号, およびメモリアドレス信号だけは外部から与え, その他のすべての制御信号は, コントロールユニット内のプログラマブル制御レジスタより供給される.

4.2 演算回路の構成とその機能

3.3 節の検討を踏まえて決定した, ISP のプロセッサユニットとリンケージユニットの演算回路構成を, 図 9 に示す. また, 各演算回路の機能を表 4 に示す.

図 8 に示すように, 各 PE には, データユニットやメモリユニットなどから, 合計 5 バイトの演算データ

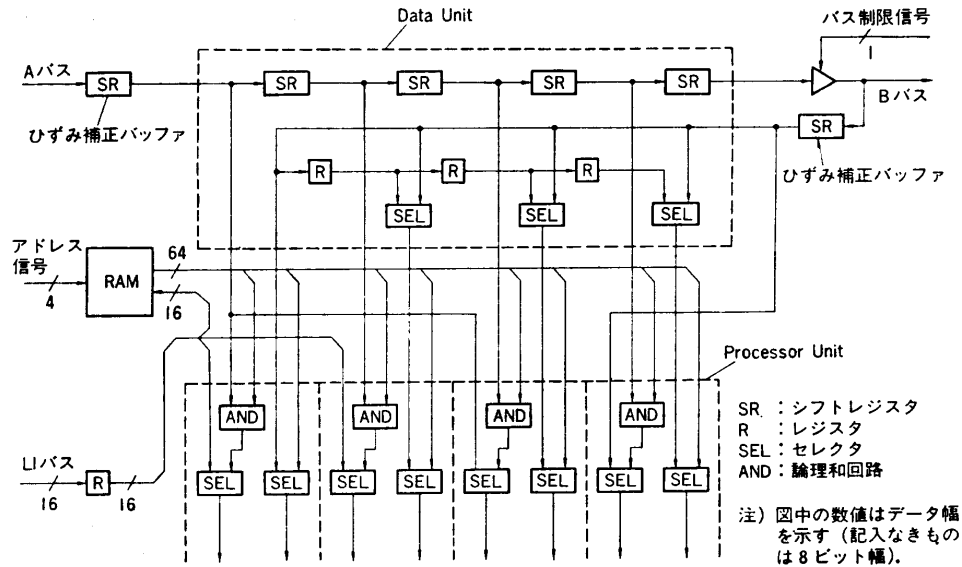


図 8 画像データと演算オペランドの制御構成
Fig. 8 Control architecture for image and operand data.

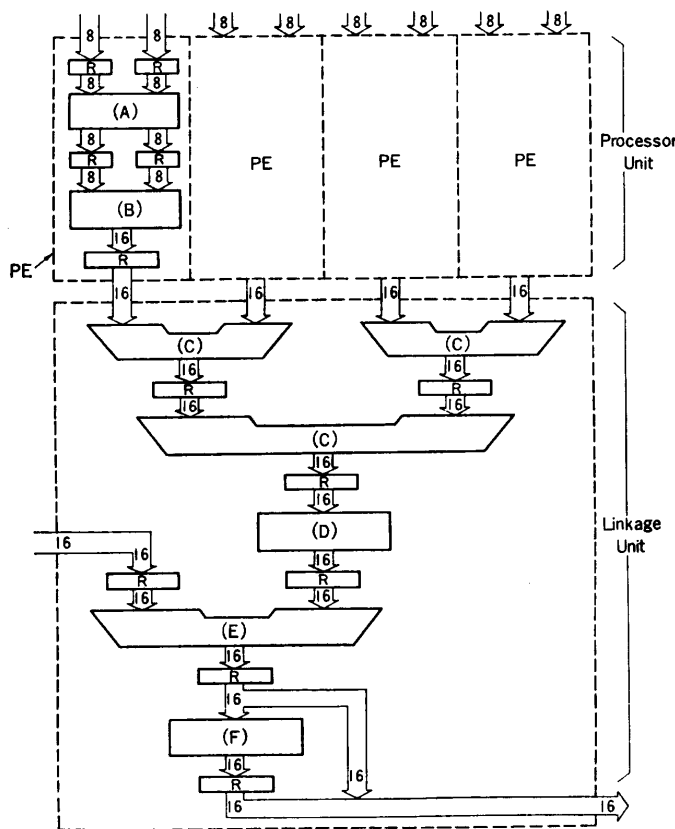


図 9 プロセッサユニットとリンケージユニットの演算回路構成
Fig. 9 Circuit architecture in the processor and linkage units.

が与えられる。それらは、結局 2 バイトに選択 (および結合) されて、PE の前段の ALU(A) に入力され

表 4 各演算回路の機能

Table 4 Operations of each processing circuit.

演算回路	処 理 機 能				
A	ADD	SUB	AND		
	OR	EOR	ENOR	NOP	
B	MUL	MAX	MIN		
	ABS*	NEG**	CNT***	NOP	
C	ADD	SUB	MAX	MIN	
D	ABS*	DIV	NOP		
E	ADD	SUB	MAX	MIN	
F	ABS*	DIV	NOP		

* ABS: Absolute value

** NEG: Negative value

*** CNT: High-level-bit counting

る。ALU(A) は、加減算のほか、ビット単位での論理演算機能も有している。

ALU(A) の出力は、PE の後段の ALU(B) に入力される。ALU(B) は、乗算のほか、絶対値算出や “High” レベルのビット数をカウントする機能などを有している。ALU(B) の演算結果は 16 ビットでリンケージユニットに出力される。カーネルの形成に必要としない PE に対しては、ALU(B) の出力はキャンセルされ、

リンケージユニットでの演算に影響を与えないデータ (たとえば、加算に対する 0) が出力される。

表 5 ISP の代表的処理機能
Table 5 Representative functions available in the ISP.

画 像	演 算
2 値画像	<ul style="list-style-type: none"> ・画像間論理演算 (AND, OR, EOR, ENOR) ・膨張/収縮 ・パターンマッチング
濃淡画像	<ul style="list-style-type: none"> ・画像間算術演算 (Addition, Subtraction) ・空間積和演算 (平滑, ラプラシアン, etc.) ・非線形近傍演算 <ul style="list-style-type: none"> ・ $a-d + b-c$ ・ $(a-d)^2+(b-c)^2$ ・ $[a-b+c-d + a+b-c-d]/2$ ・ $A+B+C-G-H-I + A+D+G-C-F-I$ ・ $E-A + E-C + E-G + E-I$ ・ $E-B + E-D + E-F + E-H$ ・ $A+2B+C-G-2H-I + A+2D+G-C-2F-I$ ・ $\max(A,B,C,D,F,G,H,I)-E$ etc. ・ 4 点線形補間演算 ・ 9 点 2 次補間演算 ・ 16 点 cubic 補間演算 ・ 残差検定法 ・ 固定 2 値化処理 ・ 浮動 2 値化処理 ・ 擬似メディアン・フィルタリング <ul style="list-style-type: none"> ・ $\max[\min(A,B,C), \min(D,E,F), \min(G,H,I)]$ ・ $\min[\max(A,B,C), \max(D,E,F), \max(G,H,I)]$
色彩画像	<ul style="list-style-type: none"> ・ 原色間演算 (ex. $R-G + G-B + B-R$) ・ 濃度変換 ($\alpha R+\beta G+\gamma B$) ・ 色彩系変換 $\begin{bmatrix} R \\ G \\ B \end{bmatrix} = M \begin{bmatrix} x \\ y \\ z \end{bmatrix}$ ・ 色彩距離演算 <ul style="list-style-type: none"> ・ $R-\alpha + G-\beta + B-\gamma$ ・ $(R-\alpha)^2+(G-\beta)^2+(B-\gamma)^2$

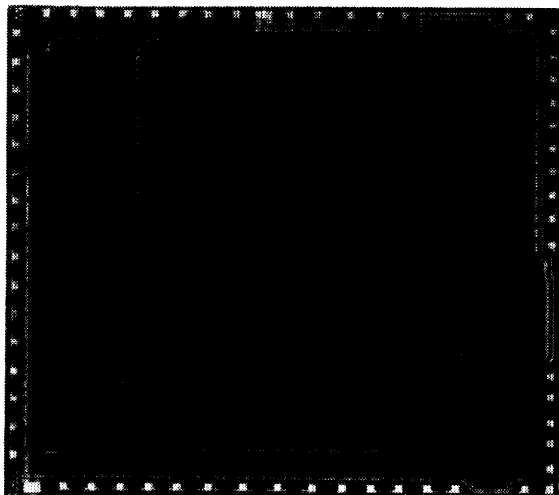


図 10 ISP のチップ写真
Fig. 10 Microphotograph of the ISP.

図 5 に示すリンケージユニット内の 4 入力 ALU は、図 9 では、三つの AU(C) (Arithmetic Unit C) と AU(D) に分割されている。AU(C) は、加減算などの機能を有し、AU(D) は絶対値算出のほか、 2^n (n は 0 から 8 の整数) による除算の機能を有する。

図 5 に示すリンケージユニット内の 2 入力 ALU は、図 9 では、AU(E) と AU(F) の二つの演算回路に分割されている。それぞれの機能は、AU(C) と AU(D) に同じである。なお、SQRT 機能は、チップ面積などの理由により削除した。

以上述べた各演算回路は、図 9 に示すようにレジスタで分離されており、それぞれが一つのパイプラインステージを構成している。すなわち、プロセッサユニットとリンケージユニットで構成されるパイプライン段数は 8 段になる。

4.3 ISP の処理機能

以上述べたように、ISP は、画像データの入力方式の選択と、内部演算回路の機能の組合せとにより、非常に数多くの画像処理機能を実現することが可能となっている。しかも、これら多くの画像処理機能は、ISP の並列処理・パイプライン処理を妨げないため、図 4 に示すようなシステムにおいて、高速に、すなわち、 256×256 画素サイズの画像ならば、TV カメラからの信号転送速度で、処理することができる。なお、種々の画像処理機能は、コントロールユニット内のプログラマブル制御レジスタの内容を変更するだけで選択できるため、汎用性のある画像処理システムの構築が可能である。

表 5 に、ISP のおもな画像処理機能を示す。また、ISP のチップ写真と基本仕様を、それぞれ図 10 と表 6

表 6 ISP の基本仕様
Table 6 Specifications of the ISP.

テクノロジー	3 μ m CMOS
トランジスタ数	~61,000
チップサイズ	7.72 \times 8.64mm
電源電圧	5V
マシンサイクル	167ns
消費電力	~400mW
パッケージ	64 pin DIP

に示す。

5. むすび

256 階調を有する濃淡画像に対して、種々の局所近傍演算を、ビデオレート (167 ns/画素) で高速処理する画像処理用 LSI-ISP を開発した。まず、ISP の基本アーキテクチャを、高速処理とカーネルの拡張性を考慮して決定した。さらに、基本アーキテクチャにおいて、演算データの制御構成と、各演算回路の構成およびその機能について検討した。その結果、2 値・濃淡・色彩画像に対する種々の演算機能を実現しうる LSI の開発に成功した。

本論文では、多機能性を実現した ISP のアーキテクチャについて論じたが、今後の課題は、ISP の特長を十二分に活かした効果的な画像処理システムの構築法の開発である。

謝辞 本研究をご支援くださった(株)日立製作所大みか工場桑原副工場長、有益なご討論をいただいた同社中央研究所江尻正員主管研究員、同社生産技術研究所秦清治主任研究員、および LSI 開発にご協力いただいた諸氏に深く感謝する。

参考文献

- 1) Fukushima, T. et al.: An Image Signal Processor, ISSCC Digest of Technical Papers, pp. 258-259 (1983).
- 2) Tsoras, J.: The Massively Parallel Processor (MPP) Innovation in High Speed Processor, AIAA Computers in Aerospace III Conference, pp. 196-201 (1981).
- 3) Sudo, T. et al.: An LSI Adaptive Array Processor, ISSCC Digest of Technical Papers, pp. 122-123 (1982).
- 4) Nudd, G. R.: Image Understanding Architecture, National Computer Conference, pp. 377-390 (1980).
- 5) 福島 忠他: 画像処理用 LSI-Image Signal Processor のアーキテクチャ, 信学論 (D), Vol. J66-D, No. 12, pp. 959-966 (1983).
- 6) 長尾 真, 金出武雄: パターン認識における縁線の抽出, 信学誌, Vol. 55, No. 12, pp. 1618-1627 (1972).

(昭和 58 年 11 月 24 日受付)

(昭和 59 年 2 月 14 日採録)