

## 高速パケット伝送路用コマンド多重処理形前置処理装置†

寺田 松 昭\*\* 高木 悟\*\* 檜尾 次郎\*\*  
安元 精一\*\*\* 伏見 仁志\*\*\* 中西 宏明\*\*\*

近年計算機制御システムの大規模化が進み、計算機間のデータ転送性能の向上が強く求められている。筆者らは、先に前置処理装置 (FEP) によって、データ転送性能を向上する方式をとりあげ、FEP の方式提案 (FEP I) と性能向上度合の実験的評価を行った。本論文では、FEP I で問題になったハード量を削減するため、新しい FEP の方式提案 (FEP II) と実測およびシミュレーションによる性能評価を行っている。(1)ハード量削減のため、FEP を 1 台の高速マイクロコンピュータで構成し、多数のコマンドを同時に処理する。(2)性能を向上するため、FEP のソフトウェア構造をコンパクトなスケジューラのもとで動くマルチタスク構造とし、処理の並列化を行う。(3)この方式を満たす FEP をビットスライスマイクロプロセッサを用いて開発し、性能をシミュレーションで求め、マイコン 1 台でも十分な性能が得られることを確認している。

### 1. はじめに

計算機制御システムにおいては、データウェイに代表される高速パケット伝送路が、複数の計算機を相互に接続するために広く用いられている<sup>1)</sup>。近年、計算機制御システムは大規模化が進み、計算機間のデータ転送スループットの向上、応答時間の短縮、計算機負荷の削減など性能の向上が強く求められている<sup>2)</sup>。

これらの要求を満たすためには、伝送路の伝送速度を向上することと、計算機におけるデータ転送処理を高速化することが必要である。伝送速度は、光ファイバ通信技術の適用により著しく高速化され、現在 32 Mbps が実用域にある<sup>3)</sup>。データ転送処理は、前置処理装置によって高速化することが考えられている。

筆者らは、先に複数個の高速マイクロコンピュータと 1 台のマルチプレクサとで構成した前置処理装置の一構成法を提案し、前置処理装置により、データ転送処理を高速化し、データ転送スループットを 3 倍向上できることを実験的に明らかにした<sup>4)</sup>。

前置処理装置によりデータ転送処理を高速化するには、パケット単位の処理を前置処理装置で高速に行うことが必須である。このため、筆者らの先の提案では、データ転送処理を負荷分散された複数のマイコンで並列に処理することによって処理能力を向上する一方、メモリの制限から、各マイコンでは、一時には、

唯一つのコマンドのみ処理するように構成していた。

このため、性能は向上するが、ハード量が多くなるという欠点があり、実用上のネックとなっていた。

本論文では、前置処理装置のハード量を減らすため 1 台の高速マイコンで、多数のコマンドを同時処理する多重処理方式を考案し、高速パケット伝送路用前置処理装置の実用化におけるネックを解消した。

提案方式は、A) ホスト計算機と前置処理装置とのインタフェースを論理チャンネルと称する仮想的な伝送路とし、ホスト計算機からは、複数の論理チャンネルに対して同時にコマンドを発行できるようにする、B) マイコンの処理をコンパクトなスケジューラのもとで動くマルチタスク構造にして、処理の並列性を向上する、C) 多数のコマンドを同時に受け付けることによるメモリの増大を防止するため、コマンド処理テーブルと論理チャンネルとの対応を動的に管理し、コマンド処理テーブルの数を論理チャンネルの数より少なくして済むようにする。

上記提案方式を、32 ビットスーパーミニコンと高速データウェイを接続する前置処理装置に適用し、シミュレーションにより、効果を評価する。

### 2. 高速パケット伝送路用前置処理装置 (FEP)

FEP の位置付け、処理方式における課題について論じる。

#### 2.1 FEP の位置付け

計算機制御システムの中で、図 1 に示すようなデータウェイによって、複数の計算機が接続されている例をとりあげ、以下の議論を進める。データウェイは、光ファイバ/同軸ケーブルとステーション (計算機と

† A Front End Processor with Parallel Command Processing Feature for High Speed Packet Multiplexed Line by MATSUAKI TERADA, SATORU TAKAGI, JIRO KASHIO (Systems Development Laboratory, Hitachi, Ltd.), SEIICHI YASUMOTO, HITOSHI FUSHIMI and HIROAKI NAKANISHI (Omika Works, Hitachi, Ltd.).

\*\* (株)日立製作所システム開発研究所

\*\*\* (株)日立製作所大みか工場

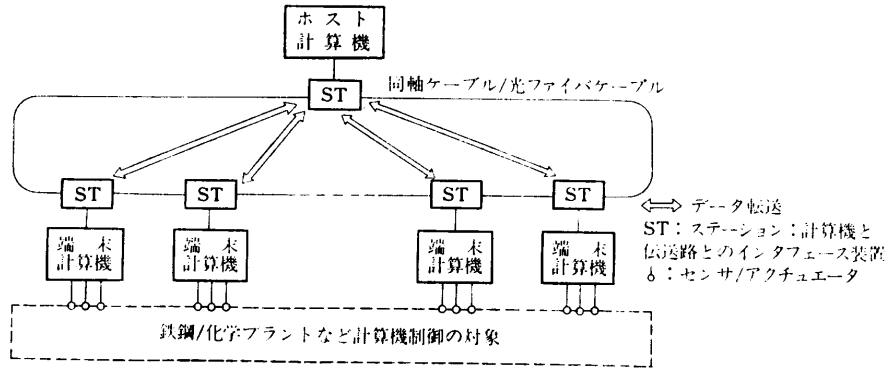
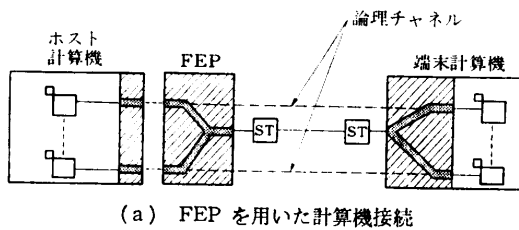
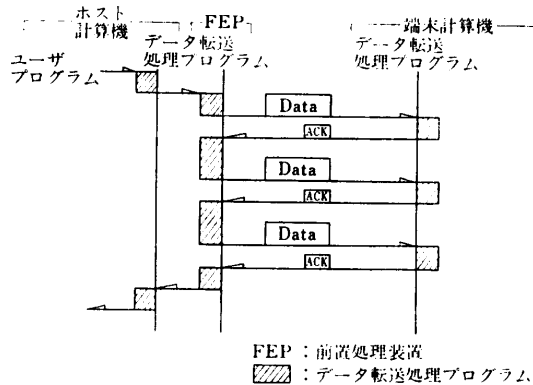


図1 高速パケット伝送路を用いた計算機制御システム  
Fig. 1 Computer control system with high speed packet multiplexed line.



(a) FEP を用いた計算機接続



(b) FEP 適用時の論理チャンネルレベルプロトコル  
図2 FEP 適用時のデータ転送モデル

Fig. 2 Data transfer model of a system with front end processor.

のインタフェース装置)とで構成されている。ステーション相互間では、パケットと呼ばれる500~1,500バイト程度の変長データブロックが10~32 Mbpsでビットシリアルに伝送される。

計算機間のデータ転送は、おもに、ホスト計算機と10~20台の端末計算機の間で行われる。すなわち、計算機のユーザプログラム相互間には、論理チャンネルと呼ばれる仮想的な伝送路が定義され、論理チャンネルを介して、ユーザプログラム間でメッセージがやりとりされる。FEPは、ホスト計算機とステーションとの間にあって、従来ホスト計算機で行っていたパケッ

ト単位のデータ転送処理をホスト計算機に代わって高速に行う。

ホスト計算機とFEPのインタフェースは、仮想的な伝送路である論理チャンネルである。各論理チャンネル上でのデータ転送手順は、図2に示すように、パケットごとに応答をとる方式である。ホスト計算機からは、メッセージ単位にFEPを起動し、パケットへの分割(セグメンテーション)/編集(アセンブリ)は、FEPで行う。プロトコルレイアで表現すれば、FEPはトランスポートレベルの処理まで行う。

### 2.2 従来方式の問題点

FEPの処理は、コマンドが発行されている多数の論理チャンネルに対して並列に行われる。この結果、FEPの負荷は重く、メモリも多く必要になる。これを解決するため、筆者らは先に、FEPを複数のマイクロプロセッサで構成する方法を考えた<sup>4)</sup>。この方法は、高速パケット伝送部とマイクロプロセッサの間に、マルチプレクサと呼ぶ装置を挿入することによって、高速にパケットをプロセッサに分配し、各プロセッサで並列に処理する方式である(以下、この方式のFEPをFEPIと呼ぶ)。しかし、FEPIには、次の問題があることがわかってきた。

(1) 処理を高速化するため、マイクロプロセッサとしては、集積度の低いバイポーラ技術を用いたビット・スライス・マイクロプロセッサを使う必要がある。このため、マイクロプロセッサ1台が基板\*1枚のハード量となる。

(2) マルチプレクサが、マイクロプロセッサ2~6台とインタフェースするために基板1枚のハード量となり、最小構成でもプロセッサと合わせて基板2枚になる。

\* 基板は30.5x42.5cmである(以下すべて同じ)。

(3) 個々のマイクロプロセッサは、同時には、一つのコマンドのみ処理する方式にしているため、パケットの送信中、プロセッサがアイドル状態になっている。

このように、FEP I では、性能向上効果はあるが実用化するには、ハード量が大きくなりすぎるという問題があった。

**2.3 改良形 FEP (FEP II)**

本論文では、前記 FEP I の問題点を解決した新しい方式の FEP を提案する (これを FEP II と呼ぶ)。FEP II では、下記の方針により、ハード量を減らす工夫をする。

(1) プロセッサはステーション対応に1台として、マルチプレクサを不要にする。

(2) プロセッサは、同時に複数のコマンドを処理できるようにして、プロセッサのアイドル時間を極力減らし、1台である程度の性能を確保する。

上記改良により、マルチプレクサが不要になり、プロセッサが1台ですむので、ハード量の低減が期待できる。

**3. コマンド多重処理形前置処理装置 (FEP II)**

高速パケット伝送路に適したコストパフォーマンスのよい前置処理装置 (FEP) の方式について論じる。

**3.1 要求条件**

高速パケット伝送路を用いた計算機制御システムにおいて使用される FEP には、

(1) 10~32 Mbps の伝送速度に適應できる高いデータ転送スループット

(2) 応答時間が数ミリ秒という高速応答性

(3) 制御用計算機のハード規模に見合うコンパクトなハードウェアが必要である。

**3.2 FEP の方式提案**

前記要求条件を満たす FEP 構成方式としては、マルチプロセッサ・シングルコマンド処理方式<sup>4)</sup>とシングルプロセッサ・マルチコマンド処理方式とが考えられる。

前者は、高性能化には適すが

ハード量が増大するという欠点があり、後者は、ハード量を削減できるが、高性能化に弱点がある。

本論文では、後者のシングルプロセッサ方式を採用し、コマンド多重処理などのソフトウェア技術を駆使して、高性能化をはかった FEP (FEP II) を提案する。

FEP II の構成を、従来のマルチプロセッサ方式の FEP (FEP I) と対比して、図3に示す。FEP II では、マイクロプロセッサを1台にし、ステーションとマイクロプロセッサを1:1に対応させて、マルチプレクサを不要にしている。

表1 FEP に使用したプロセッサボードの比較  
Table 1 Comparison of processor board specifications used in the front end processor.

項番	項目	FEP の IOP	FEP II
1	プログラムメモリ	語長	32ビット
		容量	4,000語
		サイクルタイム	40 ns
2	データメモリ	語長	16ビット
		容量	1,000語
		サイクルタイム	55 ns
3	演算部	語長	16ビット
		レジスタ	16個
		速度	200 ns/命令
		命令数	約70
4	ハード量 (プラグイン枚数)	1	2

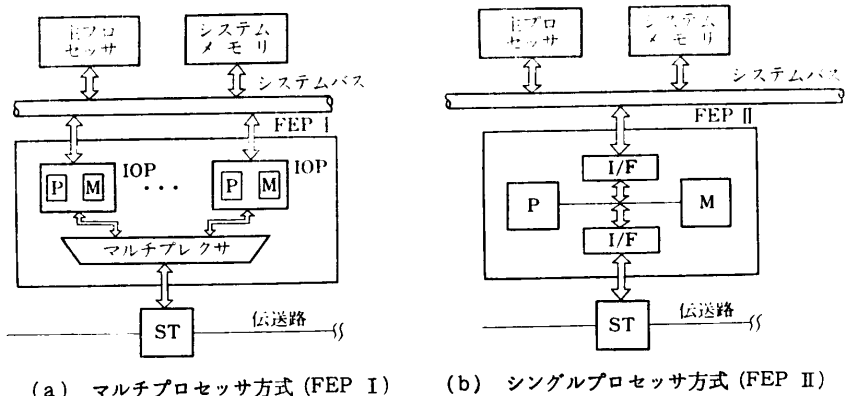


図3 FEP の構成

Fig. 3 System configuration of FEP.

IOP: I/O Processor, ST: ステーション, P: プロセッサ, M: メモリ, FEP: 前置処理装置, I/F: インタフェース

FEP IIのプロセッサ仕様を、FEP Iのプロセッサ (IOP) と対比させて、表 1 に示す。FEP II では、基板 2 枚に、① 1 命令 200 ns の高速マイクロプロセッサ、② プログラムメモリ：8 kW (FEP I の 2 倍)、③ データメモリ：16 kW (FEP I の 16 倍)、④ ステーションとのインタフェース回路、⑤ システムバスとのインタフェース回路をすべて収容している。

上記方式により、ハード量は、基板 2 枚にできる見通しが得られたが、コマンド多重処理ソフトウェア方式をどうするか、そして、それによってどの程度の性能が得られるかが問題である。次にこれらについて検討する。

### 3.3 FEP II のソフトウェア処理方式

FEP II では、ハード量を減らすため、マイクロプロセッサを 1 台にしたため、高度なソフトウェア処理によって、プロセッサの能力を十分に活用する必要がある。

#### 3.3.1 コマンドの多重受付

FEP がトランスポートレベルの処理まで行うためホストから FEP へは論理チャンネル対応に下記のコマンドを多重に発行できるようにする。

- RECV：論理チャンネルを指定し、メッセージの到着を持つ。

- SEND：論理チャンネルを指定し、メッセージを送信する。

ここで、メッセージの長さは、伝送路のペケット長を越えていてもよいものとする。

コマンドは、論理チャンネル対応に多重に受け付けるが、同一論理チャンネルには、一つのコマンドのみ受け付ける。

#### 3.3.2 コマンドの並列処理

コマンド並列処理とは、ホスト計算機から受け付けたコマンドを FEP 内部で並列に処理することである。

送信 (SEND) を例にとると、各コマンドはまずプロセッサのソフトによる起動処理を受け、送信データがステーションを経由して、伝送路に送出され、相手計算機に送られる。やがて相手計算機から応答が返される。応答が、ステーションで受信されると、コマンドは、再びプロセッサによる継続処理 (セグメンティングがある場合) または終了処理を受ける。

FEP II では、次のようにして、コマンドの並列処理を実行している。

(1) プロセッサの処理を細分化し、おのおのの処

理をタスクとして、コンパクトなスケジューラで制御するマルチタスク構造とする。

(2) 各コマンドは、コマンド処理テーブルに格納された形で、順次タスクの処理を受けていけるように各タスクの前に待行列を作って待たせておく。

(3) 各タスク  $T_i$  は、起動されると自タスクの前の処理待行列  $Q_i$  を調べ、処理待コマンドがあれば処理を行い、そのコマンドを次のタスク  $T_j$  の待行列  $Q_j$  につけ、タスク  $T_j$  を起動する。

(4) スケジューラは起動されたタスクを次々とディスパッチしていき、プロセッサ資源を、処理を必要としているタスクにきめ細く配分する。

#### 3.3.3 メモリの節約

コマンドの多重処理を行うには、多数のコマンド処理テーブルが必要になる。しかし、ハード量を減らすには、メモリを節約する必要がある。

コマンド処理テーブルのメモリ容量を削減するため下記の方策をとった。

(1) コマンド処理テーブルの動的割当て

コマンドがすべての論理回線に同時に発行される可能性は小さいことに着目し、コマンド処理テーブルを動的に論理チャンネルに割り当てる方式にした。

(2) ペケット・バッファリング

コマンドの処理には、ユーザデータのバッファリングが必要になる。とりわけ、FEP でセグメンティング/アセンブリを行う場合、メッセージバッファを FEP でもつと、FEP のメモリ量が增大する。そこで、FEP II では、メッセージバッファはホストプロセッサの主メモリに置き、FEP では、ペケットバッファのみもつことにした。セグメンティング/アセンブリは、FEP が主プロセッサのメモリを直接アクセスすることによって行う。

(3) ペケットバッファとコマンド処理テーブルは分離しておき、送受信時のみ、ペケットバッファを動的に確保する。

### 3.4 FEP II の性能評価

FEP II で採用したシングルプロセッサ・マルチコマンド処理方式では、コマンド多重処理による高性能化が重要な課題である。FEP II では、前節で述べたソフトウェア処理方式によって、プロセッサの処理能力を最大限に引き出し、高性能化をはかっている。

本節では、メッセージ転送スルー・プットを例に、FEP I と FEP II の性能をシミュレーションにより求め、比較する。

3.4.1 モデル

計算機間のメッセージ転送を想定する。メッセージは、計算機内のユーザプログラムから別の計算機のユーザプログラムに渡される。ここでは、図4に示すように、1台の計算機に付加されたFEPに着目して行う。

メッセージは、伝送路に送出されるとき、FEPによってパケットに分割され、パケットごとに相手計算機から応答(ACK)を受けとるものとする。この分割されたメッセージの断片をセグメントと呼ぶ。

メッセージ転送処理のタイムチャートを図5に、おのおのの処理時間を定義とともに表2に示す。処理時間は、1パケット(512バイト)の伝送時間を単位として示している(また処理時間は、FEP IとFEP IIの具体ハード、ソフトの処理時間を根拠としている)。なお、相手計算機でメッセージパケット受信後、応答パケットを返送するまでの時間  $t_{51}$  は、FEPの性能

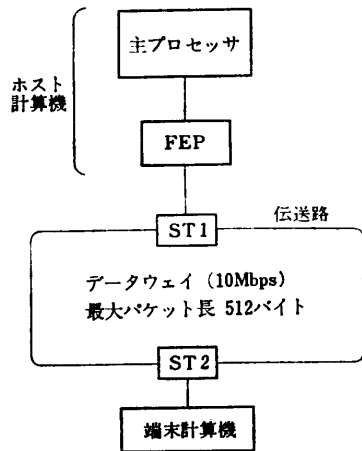


図4 性能比較のモデルシステム構成

Fig. 4 System configuration for performance comparison model.

FEP: 前置処理装置, ST: データウェイステーション

と直接関係しないので0として、同様に、 $t_{32}, t_{42}$ も0としている。

FEP Iでは、プロセッサがステーションに送信要求した後も、ステーションからの送信終了割込みを待ってアイドル状態となり解放されないことに注意する必要がある(シングルコマンド処理方式)。このことは、図5のタイムチャートにおいて点線で示している。これに対して、FEP IIでは、ステーションに送

表2 性能比較モデルの処理時間

Table 2 Processing time of performance comparison model.

$t_{ij}$	FEP I	FEP II	処理内容
$t_{21}$	3.1*	4.8*	ホスト計算機から起動され、最初のセグメントをステーションに送信するまでの時間
$t_{32}$	4.8*	5.9*	端末計算機からの応答を受けて、次のセグメントをステーションに送信するまでの時間
$t_{33}$	2.1	2.2	端末計算機から最終セグメントに対する応答を受けて、ホスト計算機に終了を通知するまでの時間
$t_{51}$	0.6	0.3	ステーションからの送信完了割込み、受付処理時間
$t_{21}$ $t_{32}$	2.2	2.2	1パケットの送信に要するステーションの処理時間
$t_{41}$	1.0*	1.0*	メッセージパケット(最大512バイト)の伝送時間
$t_{32}$	0	0	ステーションにおける応答パケット受信処理時間
$t_{42}$	0	0	応答パケット(約60バイト)の伝送時間
$t_{51}$	0	0	受信ステーション側でメッセージパケットを受信して、応答を返すまでの時間

\* データ長により異なるこの数値は512バイトのときのもの。処理時間  $t_{ij}$  は、1パケット(512バイト)の伝送時間( $t_{41}$ )を単位としている。

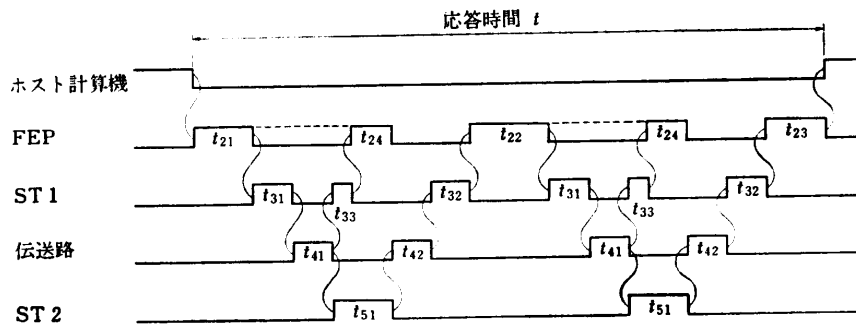


図5 性能比較モデルタイムチャート(2セグメントの例。セグメント数はデータ長により変わる)

Fig. 5 Timing chart of performance comparison model.

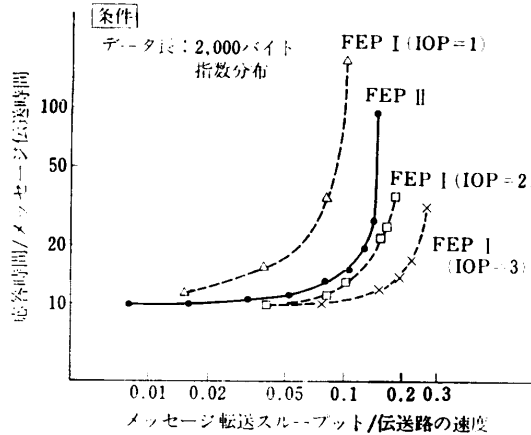


図 6 FEP の性能比較 (シミュレーション)  
Fig. 6 Performance comparison of two types of FEP (simulation).

信要求を行った後、プロセッサは、次のコマンドを処理できる (コマンドの多重処理)。

3.4.2 シミュレーションの条件

シミュレーションは、下記の条件で、GPSS を用いて行った。

- (1) メッセージ送信要求は、ポアソン到着とする。
- (2) メッセージの長さは平均 2,000 バイトの指数分布とする。
- (3) パケットの最大長は 512 バイトとする。
- (4) 伝送速度は 10 Mbps とする。

3.4.3 シミュレーション結果

単位時間当たり、計算機から伝送路へ転送できたデータ量を、メッセージ転送スループット、計算機が FEP に送信要求してから、送信が終了して、計算機に終了を通知するまでの時間 (図 5 の  $t$ ) を応答時間として、スループットと応答時間の関係を図 6 に示す。

この結果、表 2 の処理時間のもとでは、FEP II の性能は、FEP I の 2 プロセッサとほぼ同等であることがわかった。

3.5 FEP II の方式評価

シングルプロセッサ多重コマンド処理方式の FEP II を提案し、FEP I と対比しつつ、方式や性能を述べてきた。本節では、これまでの検討結果を整理し、FEP II の方式をコストパフォーマンスを中心に評価する。

FEP I と FEP II の二つの方式を表 3 に整理して示す。FEP I のマルチプロセッサ方式では、プロセッサの数を、1, 2, 3 と増すことによって性能を向上

表 3 FEP の方式比較  
Table 3 Comparison of front end processor.

項番	項目	FEP I	FEP II	
1	プロセッサ数	$n$	1	
2	同時処理	1 コマンド/ プロセッサ	$m$ コマンド/ プロセッサ	
3	マルチプレクサ	要	不要	
4	制御の複雑さ	ハード複雑	ソフト複雑	
5	ハード量 [基板枚数]	$n+1$	2	
6	プログラム規模	3,600 ステップ	8,000 ステップ	
7	性能 [伝送速度との比]	$n=1$	0.14	
		$n=2$		0.15
		$n=3$		0.25

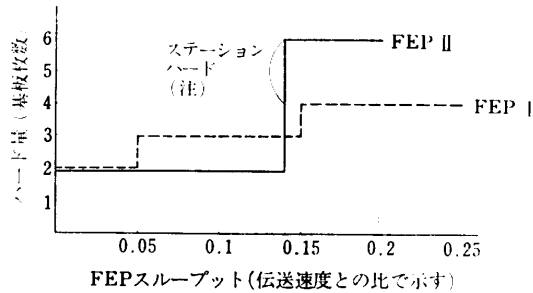


図 7 コストパフォーマンスの比較

Fig. 7 Comparison of cost performance.

(注) FEP II は、2 台目を設置するときステーションももう 1 台必要になる。図ではステーション・ノードを基板 2 枚と仮定して示してある。

することができ、3 台では最大 0.25 程度のスループットが得られる。これに比してシングルプロセッサ方式である FEP II では、約 0.14 であり、これ以上の性能が必要な場合には、ステーション+FEP II をもう 1 式置く必要がある。

ハード量と性能の関係を図 7 に示す。これより 0.05~0.14 においては、FEP II が FEP I よりコストパフォーマンスがよいことがわかる。

以上の検討から、シングルプロセッサ方式によってハード量を基板 2 枚に収め、しかも、2 台のプロセッサによるマルチプロセッサ方式に相当する高性能をソフトウェアのコマンド多重処理により得られることがわかった。

4. 適用評価

4.1 評価の対象と目的

FEP II を制御用 32 ビットスーパーミニコンに適用

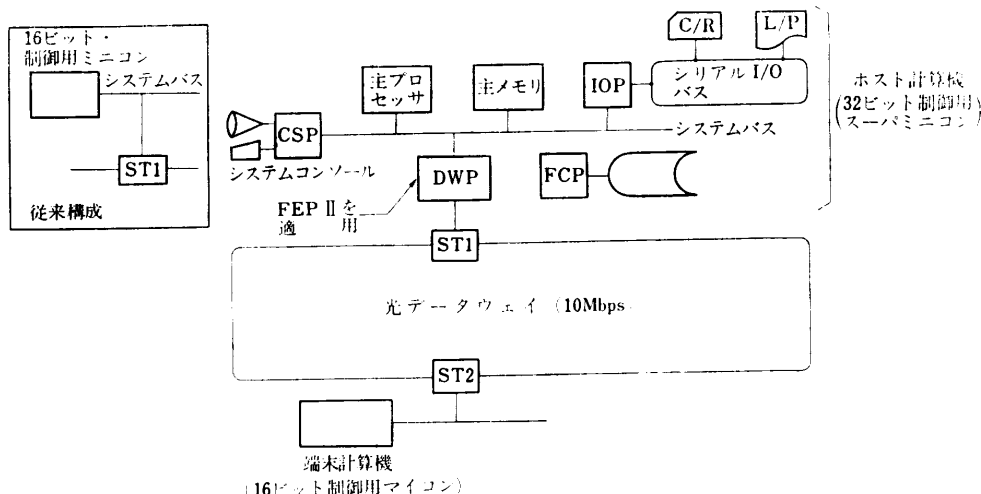


図 8 適用評価システムの構成

Fig. 8 System configuration for FEP evaluating model.

IOP: I/O Processor, FCP: File Control Processor, CSP: Console Processor, DWP: Data Way Processor

し、高速パケット伝送路である 10 Mbps 光データウェイ用前置処理装置として機能させ、その効果を評価する。

4.2 評価方法

3章で提案した方式に従って FEP を製作し、FEP の各部処理時間をマイクロプログラムのステップ数から算出する。こうして得られた処理時間をもとに、シミュレーションにより、応答時間、スループット、主プロセッサ利用率を求める。同じことを、FEP を適用していない 16 ビット制御用ミニコンの場合に行い比較する。

4.2.1 性能評価システムの構成

2 台の計算機が高速データウェイで接続された図 8 のようなシステムを考える。FEP II は、ホスト計算機に DWP として接続されている。

データの転送は、ホスト計算機のユーザプログラムからの送信要求の発行によって行われる。パケット長を越えるメッセージの送信が指令された場合、FEP は、セグメンティングを行う。1セグメントごとに、相手計算機からの応答を待つ。データ転送タイムチ

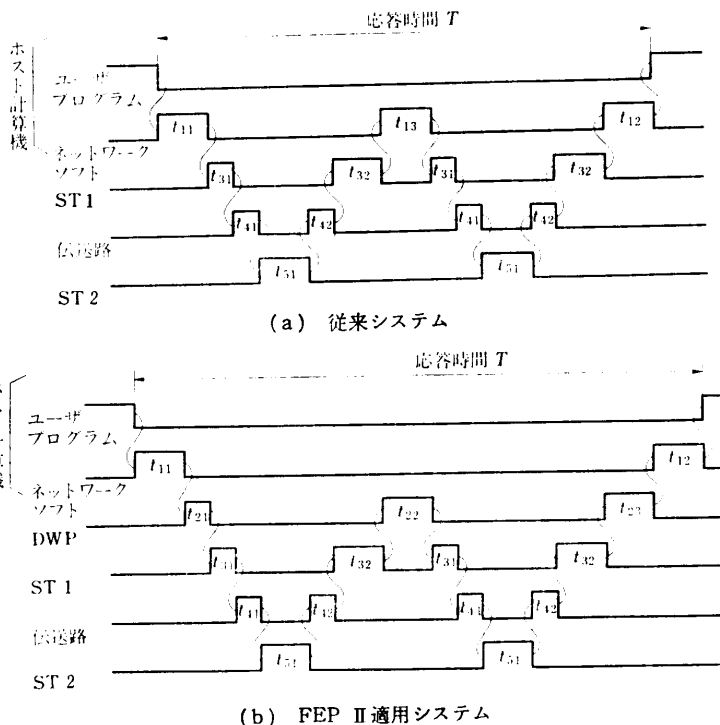


図 9 適用評価モデル・タイムチャート

Fig. 9 Timing chart of FEP evaluating model.

ャートを図 9 に示す。おのおのの処理時間 ( $t_{ij}$ ) は、表 4 のとおりである。

4.2.2 性能の定義

評価で用いる性能は、下記のごとく定義する。

(1) 応答時間：ユーザプログラムからの送信要求が発行された時点から、データ転送をすべて終了し、

表 4 適用評価モデル処理時間

Table 4 Processing time of FEP evaluating model.

$t_{ij}$	従来システム	FEP II 適用システム	処理内容
$t_{11}$	10	1.8	ユーザプログラムからの送信要求を受け、ステーション (従来システム)/DWP (FEP II 適用システム) を起動するまでの時間
$t_{12}$	6.9	1.8	ステーション/DWP からの終了通知を受け、ユーザプログラムを再起動するまでの時間
$t_{13}$	15	—	従来システムにおいて、応答パケットを受け、次のセグメントをステーションに送信するまでの時間
$t_{21}$	—	4.8*	ホスト計算機から起動され、最初のセグメントをステーションに送信するまでの時間
$t_{22}$	—	5.9*	端末計算機からの応答を受けて、次のセグメントをステーションに送信するまでの時間
$t_{23}$	—	2.2	端末計算機から最終セグメントに対する応答を受けて、ホスト計算機に終了を通知するまでの時間
$t_{31}$	2.2	2.2	1パケットの送信に要するステーションの処理時間
$t_{32}$	0	0	ステーションにおける応答パケット受信処理時間
$t_{41}$	1.0*	1.0*	メッセージパケット (最大 512 バイト) の伝送時間
$t_{42}$	0	0	応答パケット (約 60 バイト) の伝送時間
$t_{51}$	0	0	受信ステーション側でメッセージパケットを受け、応答パケットを返すまでの時間

\* データ長に依存することでは 512 バイトのときを示す。  
 処理時間の単位: 1パケット (512 バイト) 伝送時間 ( $t_{41}$ )。

再びユーザプログラムに制御に戻るまでの時間 (図 9 の  $T$ )

(2) データ転送スループット: 単位時間に、ユーザプログラムから、DWP を経て、伝送路へ送出されるデータ量 (送信要求は、複数発行されるものとする)

(3) プロセッサ利用率: 主プロセッサの全稼働時間のうち、データ転送処理に費された時間の割合

#### 4.2.3 シミュレーションの条件

(1) メッセージ送信要求は、ポアソン到着とする。

(2) メッセージの長さは、平均 2,000 バイトの指数分布とする。

(3) 相手計算機から応答が返ってくるまでの時間 ( $t_{32}$ ,  $t_{42}$ ,  $t_{51}$ ) は 0 とする。

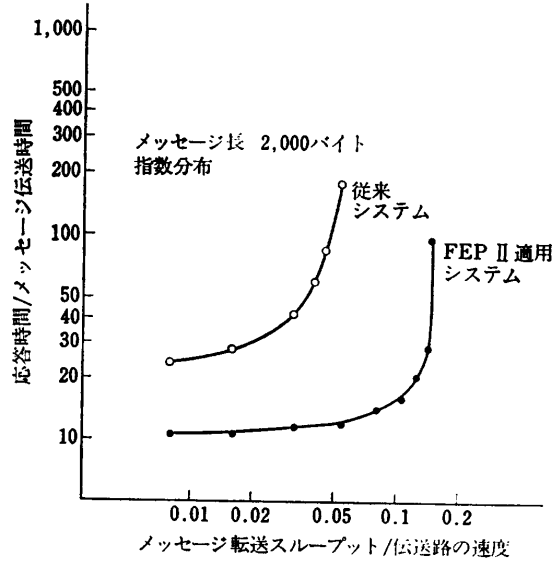


図 10 メッセージ転送スループット (シミュレーション)  
 Fig. 10 Message transfer throughput (simulation).

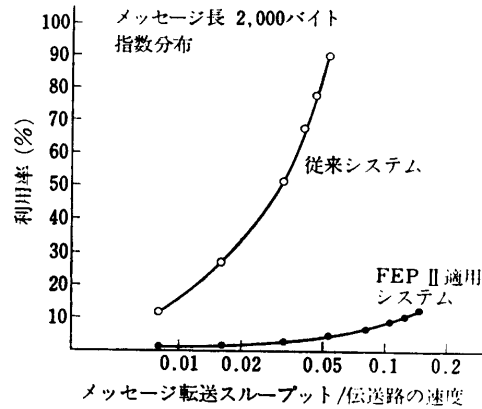


図 11 主プロセッサ利用率 (シミュレーション)  
 Fig. 11 Host processor utilization (simulation).

### 4.3 結 果

表 4 の処理時間  $t_{ij}$  を用いて GPSS によるシミュレーションを行い、図 10 に示す結果を得た。スループットは伝送速度との比で表して、最大 0.14 である (従来比約 3 倍)。

応答時間は、メッセージ伝送時間 (メッセージ長 / 伝送速度) との比で表して 10 である (従来比約 1/2)。

主プロセッサ利用率を求めた結果を図 11 に示す。最大スループットである 0.14 においても、主プロセッサの利用率は 15% 以下である。

### 5. む す び

高速パケット伝送路によって、複数の計算機が接続された計機算制御システムを対象に、計算機間のデー



タ転送スループット、応答時間、計算機負荷などの性能を向上する方式を検討し、コマンド多重処理形前置処理装置を提案した。

提案前置処理装置は、1台の高速マイクロコンピュータで、多数のコマンドを多重に処理するので、少ないハードウェアで、高い性能を得ることが期待できる。

提案方式の効果は、32ビットスーパーミニコンと高速データウェイとの接続に適用し、シミュレーションにより評価した。

評価の結果、提案した前置処理装置は、

(1) ハード量は、基板2枚(従来のマルチプロセッサ方式の2/3)ですむ

(2) 性能は、データウェイの伝送速度との比に換算して約0.14(マルチプロセッサ方式のプロセッサ2台のときの性能に相当)である

(3) 前置処理装置を適用した32ビットスーパーミニコンは、従来の16ビット機種に比べ、平均2,000バイトのメッセージ転送性能において、スループットで約3倍、応答時間で約1/2の性能向上が図れることが明らかになった。

提案方式は、計算機制御システムにおいて、データ

ウェイを用いた場合について論じた。これ以外でも、高速パケット伝送路と計算機との接続の場合には、提案方式が性能向上に役立つものと考えられる。

謝辞 終りに、本研究を進めるにあたり、応用面からの貴重な助言をいただいた(株)日立製作所・大みか工場の井手寿之部長、本研究の機会を与えていただいた当社システム開発研究所所長の川崎淳博士に深謝いたします。

## 参 考 文 献

- 1) 上谷晃弘：データハイウェイの現状と将来、情報処理, Vol. 18, No. 1, pp. 76-87 (1977).
- 2) 平子叔男, 寺田松昭他：制御用分散処理システム, 情報処理, Vol. 20, No. 4, pp. 346-349 (1980).
- 3) Takahashi, M. et al.: Optical Fiber Data Freeway System—A Loop Network for Distributed Computer Control, COMPCON '81, Spring, pp. 458-463 (1981).
- 4) 寺田松昭, 関 高明他：高速パケット伝送路用前置処理装置の一構成法, 情報処理学会論文誌, Vol. 23, No. 6, pp. 707-715 (1982).

(昭和59年2月27日受付)

(昭和59年9月20日採録)