

シーケンシャル実行型 Prolog マシン PEK†

—ハードウェア構成—

田村直之†† 和田耕一†† 小畑正貴†††
 金田悠紀夫†††† 前川禎男†††† 日根俊治††††

水平型マイクロプログラム制御方式を導入したシーケンシャル実行型 Prolog マシン PEK のハードウェア構成について論じる。本マシンは Prolog プログラムの実行機構と整合性のよい斬新なアーキテクチャをもつコンピュータシステムの研究を目的としたもので、次のような特徴を備えている。①96ビット幅16k語のマイクロプログラム用メモリをもった水平マイクロプログラム制御型のマシンであること、②システムの構成要素としてビットスライス・マイクロプロセッサ素子を用いていること、③タグアーキテクチャを採用していること、④三つのハードウェアスタックと一つのプロセッサメモリと呼ぶ高速アクセス可能なメモリを主メモリに当たる共有メモリと独立に設け、高速並行アクセスを可能とした。⑤本マシンはホストコンピュータ (MC-68000) のバックエンドプロセッサとして設計されておりホストプロセッサとは共有メモリとインタフェースレジスタを介して接続されている。以上の構成により本マシンはインタプリタで約 60 kLIPS の性能を出している。

1. はじめに

論理型プログラム言語として Prolog は第5世代コンピュータ開発プロジェクトにおいて取上げられて以来、大きな注目をあびている。

しかしながら汎用コンピュータを用いてプログラムを実行する場合、実行速度がきわめて遅いという問題点をもっている。これはインタプリタやコンパイラが、十分に洗練されたものになっていないことも考えられるが、汎用コンピュータのアーキテクチャが Prolog プログラムの実行機構とよく整合していないという問題点もあると考えられる。

このような観点から Prolog プログラム実行機構とより整合性の高いコンピュータ・アーキテクチャをもつマシンのプロトタイプとして ICOT の PSI マシンを始めとしていくつかの Prolog マシンの開発が精力的に進められている。

筆者らも Prolog プログラム実行機構とより整合性のよいマシンのアーキテクチャの研究を手がけ水平型

マイクロプログラム制御方式を導入したシーケンシャル実行型 Prolog マシン PEK を開発したので報告する¹⁾。本マシンはインタプリタで約 60 k LIPS の性能を出している²⁾⁻⁷⁾。

2. 設計方針

Prolog マシンには大きく分けて、並列実行型とシーケンシャル実行型の二つが考えられる。並列実行型の Prolog マシンは、複数のプロセッサを結合し、並列に動作させる方式であり、シーケンシャル実行型に比べ、高性能を期待できる。しかしながら、すべての処理を並列に実行することが可能な場合はまれであるため、全体の実行速度はシーケンシャルに実行する箇所の速度で抑えられる。つまり、全体の性能は1台のプロセッサの性能に依存する。したがって、並列実行型の Prolog マシンにおいても、構成要素であるプロセッサ1台の性能を向上させることが重要になる。

シーケンシャル実行型の Prolog マシンアーキテクチャは、これまでにいくつか報告されている⁸⁾。

新世代コンピュータ技術開発機構の PSI マシンはマイクロプログラム制御、タグアーキテクチャ、ハードウェアスタック、キャッシュメモリ、マルチプロセス支援用ハードウェアなどを備えた研究・評価用のパーソナルマシンとして設計されている¹⁰⁾。PEK では、より Prolog 向きに専門化されたハードウェア機構を追加することにより、PSI マシン以上の性能を達成することを狙っている。1台のプロセッサで、50 k LIPS

† Sequential Prolog Machine PEK—Its hardware Architecture by NAOYUKI TAMURA, KOICHI WADA (Graduate School of Science and Technology, Kobe University), MASAKI KOHATA (Faculty of Science, Okayama University of Science), YUKIO KANEDA, SADA O MAEKAWA (Faculty of Engineering, Kobe University) and SHUNJI HINE (Matsushita Electric Industrial Co., Ltd.).

†† 神戸大学大学院自然科学研究科

††† 岡山理科大学

†††† 神戸大学工学部システム工学科

††††† 松下電器産業 (株)

(Logical Inference Per Second, 1秒当りの推論回数)程度の性能を得るためには、命令サイクルを200ナノ秒とすると、100命令で1回の推論を行う必要があるから、Prolog専用のハードウェア機構が不可欠になると思われる。

Evan TickとDavid Warrenの論文では、Prologのプログラムを、低レベルの命令にコンパイルし、高度のパイプライン実行することにより、驚異的な性能を出すことが可能であると報告されている^{11),12)}。しかし、Prologの使用状況は、会話的な場合が多く、コンパイラシステムだけで十分とは言えない。PEKでは、インタプリタシステムでの性能向上を第一目標とした。

その他、次のような設計方針をとった。

- ① マイクロプログラム制御方式とし、Prologインタプリタをマイクロ命令で記述する。
- ② シーケンシャル実行型ではあるが、低レベルの並列処理はできるかぎり取り入れる。
- ③ ストラクチャシェアリング方式を採用する。
- ④ Prolog専用のハードウェア機構の付加により高速実行を可能にする。
- ⑤ ハードウェア量はできる限り小さくする。

低レベルの並列処理としては、以下のような機能を取り入れた。

a) データ転送幅を広げる。PEKで採用したストラクチャシェアリング方式では、構造体をモジュールと呼ばれるフレームアドレスとタームアドレスの組で表現するため、このモジュール単位でのデータ転送を可能にする。

b) メモリの分散化。Prologプログラムの実行に必要な各種のデータ領域を、異なるメモリモジュールに割り当て、並列アクセスを可能にする。

c) 水平型マイクロ命令。マイクロ命令を水平型とし、ハードウェアの並列制御を行う。

d) 自動アンドゥ機能。バックトラック時に行う、論理変数への代入の取り消し作業を、メインのシーケンサの動作とは並列に、サブシーケンサで実行する。

e) 構造体データ読み込みのパイプライン化。ユニフィケーション時の構造体データ読み込み用に、アドレスレジスタとデータレジスタを2組用意し、アドレスレジスタの書き換えをなくす。さらに、読み込みのパイプライン化を行い高速データリードを可能にする。

f) バイパスコントローラ。複数のデータパスを用

意し、データ転送を高速にする。

構造体の表現方法には、ストラクチャシェアリング方式とストラクチャコピー方式の二つがあり、それぞれ一長一短があり、速度もプログラムの性質に大きく依存するため、どちらが良いか一概には決めることができない。現在最高速と言われるProlog処理系は、DEC 2060上のDEC-10 Prologであり、ストラクチャシェアリング方式を採用しているが、これはDEC 2060の間接アドレス機構に負うところが大きいと思われる¹³⁾。そこでPEKもストラクチャシェアリング方式とし、変数セルのアドレス計算用のハードウェアの付加により、変数のデリフェレンスを3マイクロ命令で実行可能にした。

その他、Prologプログラムの実行の高速化に有効と思われる以下のような各種のハードウェア機能を有している。

a) タグアーキテクチャの採用。4ビットのタグフィールドを設け、タグの判別を高速に行えるようにする。

b) 各種のアドレッシングモードの使用。分散化させたメモリモジュールごとに、専用のアドレッシングモードを設ける。アドレッシングモードには、プロセスメモリに対するインデックスアドレッシング、ハードウェアスタックとトレイルスタックに対するスタックアドレッシング、アドレスレジスタに対するポストインクリメント、グローバルスタックに対する変数セルのアドレス計算がある。

c) マッチング回路。ユニフィケーション時に、マッチさせる二つの構造体のデータのタグの判別と、値の一致・不一致を検出し、16通りの多方向分岐を行うための回路である。

d) 自動トレイリング機能。変数への代入時のトレイル作業を自動化する。

以上のような方針で設計を行った。

本マシンは筆者らの研究室で比較的短期間に完成させることを目指しているので小型でパーソナルなマシンとして実現させた。

3. システムの全体構成

システムの全体構成を図1に示す。PEKプロセッサはホストプロセッサであるMC-68000と共有メモリおよびコマンドレジスタを介して結合されている。ホストプロセッサはCP/M-68Kのもとで稼動しており、PEKプロセッサの起動、入力プログラムの内部

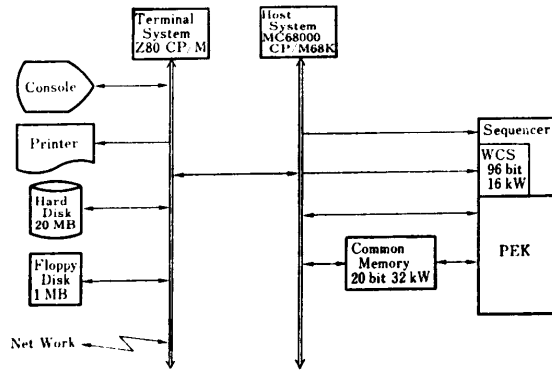


図 1 システムの全体構成
Fig. 1 Configuration of the system.

形式への変換，入出力処理やファイル処理のサポート各種システム開発用のソフトウェアのサポートを行っている。Z-80 はホストプロセッサに付加された入出力装置制御用のプロセッサである。

端末またはファイルからホストプロセッサによって入力されたプログラムはホストプロセッサ上で稼動するパーザの動きにより内部形式に変換され，共有メモリに格納される。プログラムの実行を指示するゴール

文が入力された時には，内部形式に変換して共有メモリに格納するとともに，PEK プロセッサに起動をかける。PEK プロセッサは入力ゴール文の実行を行う。

4. PEK プロセッサのハードウェア構成

Prolog プログラムの高速実行を実現するため，PEK プロセッサのハードウェア構成を以下のように設定した。

PEK プロセッサのハードウェア構成を図 2 に示す。

システムは大きく分けてマイクロプログラム制御を実現するためのマイクロプログラムシーケンサと制御記憶 (WCS)，算術・論理演算を行う演算部である ALU と拡張レジスタファイル，ユニフィケーションとバックトラッキングの高速化と自動化を進めるため設けられたマッチング回路，グローバルスタック，トレイルスタック，アンドウ回路，その他全体の計算速度向上をサポートするハードウェアスタック，プロセスメモリ，シフタ，バイパスコントローラから構成されている。

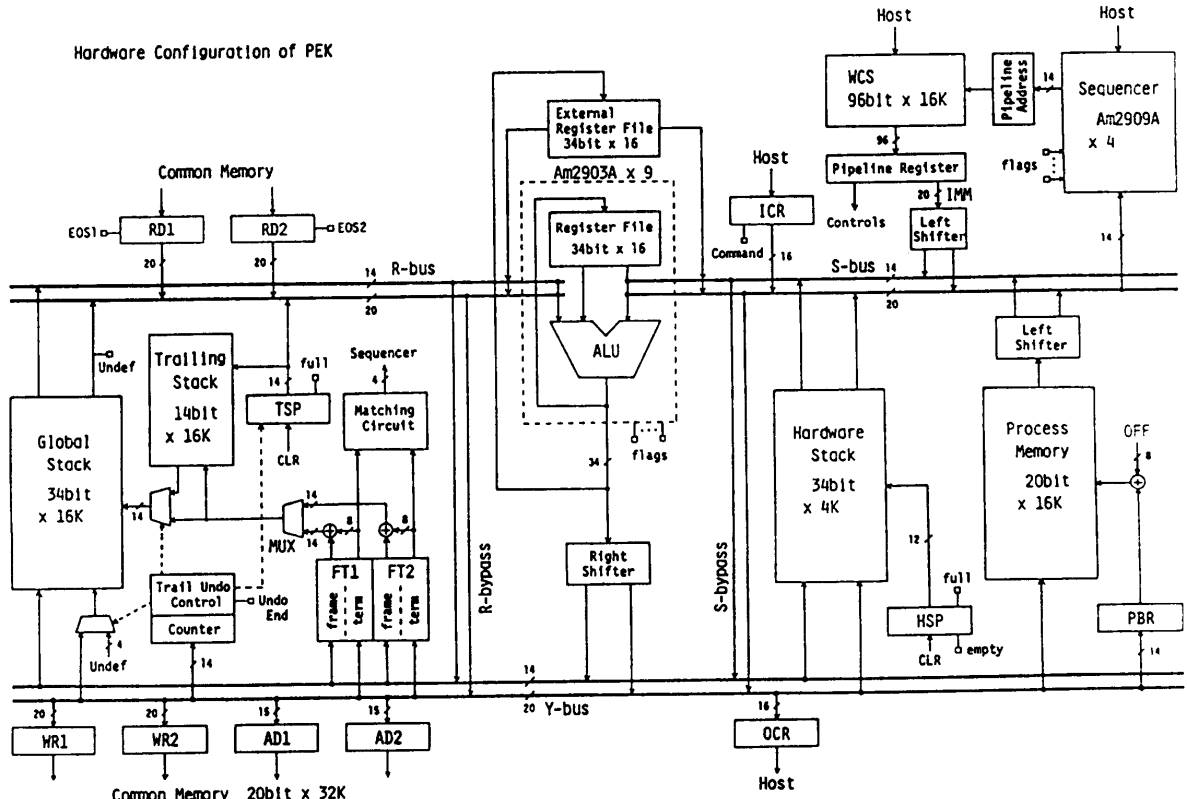


図 2 PEK のハードウェア構成
Fig. 2 Hardware configuration.

マイクロプログラムシーケンサと ALU には市販のビットスライスマイクロプロセッサ素子である AMD 社 (Advanced Micro Devices) の Am 2909 A と Am 2903 A を採用した¹⁶⁾。WCS は 96 ビット×16 k 語でアクセス時間は 55 ナノ秒である。

プロセッサ内の内部バスは 34 ビット幅で、ソースバスとして R-bus と S-bus の二つ、デスティネーションバスとして Y-bus の合計三つのバスから成立している。これらのバス上のデータは 14 ビットのフレーム部と 20 ビットの項部、さらに項部は 4 ビットのタグ部と 16 ビットの値部に分けられており、モレキュール単位のデータ転送が可能となっている。

以下に、各ハードウェアモジュールについて述べる。

4.1 マイクロプログラムシーケンサと WCS

マイクロプログラムシーケンサには AMD 社の Am 2909 A を 4 個用いている。また、マイクロサイクル長の制御のため同じく Am 2925 を備えている。周波数 25 MHz のクロックが Am 2925 に与えられており、その分周比をマイクロ命令中のサイクル長制御フィールドで指定することにより、8 種類のサイクル長を選択できる。サイクル長は 120 ナノ秒から 400 ナノ秒である。

WCS に与えるマイクロアドレスの発生に関して、パイプラインレジスタを備えることにより、マイクロ命令の読出しと次の命令アドレスの発生を並行して行い、最短 120 ナノ秒のサイクル長を実現している。

WCS は 96 ビット×16 k 語の容量をもっており、パイプラインレジスタを設けることにより、1 命令の先読みを行っている。また WCS に対するマイクロ命令の書き込みはホストマシンから行うようになっている。

4.2 算術・論理演算ユニット (ALU)

ALU には Am 2903 A を 9 個使用している。これらは図 3 に対応して三つのフィールドに分けられており、フラグはそれぞれのフィールドについて独立に出力される。また外付けのレジスタファイルとして Am 29705 A を 9 個備えており、Am 2903 A 内蔵のものと合わせて計 32 語のレジスタファイルを有している。

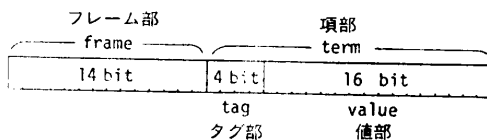


図 3 モレキュールの表現形式
Fig. 3 Structure of a molecule.

4.3 バイパス

PEK プロセッサ内部の高速データ転送用のハードウェアで、RバイパスとSバイパスの二つをもっている。それぞれ R-bus, S-bus 上のデータを ALU を通過させずに Y-bus に高速に送り出す機能をもっている。

4.4 シフタ

図 3 に示した内部データをフィールド単位でシフト操作を行うときに用いられるハードウェアで、次に示す 2 種類のシフトをもっている。

(1) レフトシフタ：項部の下位 14 ビットをフレーム部に取り出すときに用いるシフタで、フレーム部以外のフィールドには 0 が出力される。マイクロ命令の定数フィールドおよびプロセスメモリからのデータを S-bus 上に読み出すときに使用できる。

(2) ライトシフタ：フレーム部やタグ部を値部に取出すときに用いられるシフタで、値部以外のフィールドには 0 が出力される。ALU の出力に接続されている。

4.5 プロセスメモリとハードウェアスタック

本マシンでは単一のメモリユニットへのメモリアクセスの集中によるボトルネックの発生という汎用マシンの難点を克服するために並行アクセス可能なメモリユニットを分散して配置し実効的なアクセス時間の短縮を行っている。プロセスメモリ、ハードウェアスタック、グローバルスタック、トレイルスタックはすべて高速アクセス可能なメモリユニットとして機能する。

4.5.1 プロセスメモリ

本マシンではプログラム中の各述語の実行ごとに一つのコントロールフレームが生成され、そのコントロールフレームを用いて述語の実行を行う。プロセスメモリはこれらの管理制御情報の格納に用いられる高速メモリで、20 ビット×16 k 語の容量をもっている。14 ビット幅のプロセスベースレジスタ (PBR) と加算器を備えており、マイクロ命令中の 8 ビットをプロセスベースからのオフセット値として与えることにより、PBR+0~+255 の範囲の要素を 1 マイクロ命令でアクセスすることができる。

4.5.2 ハードウェアスタック

34 ビット×4 k 語のスタックメモリであり、ユニフィケーション時に局所的に使用する。

4.6 ユニフィケーション・バックトラッキングユニット

ユニフィケーションとバックトラッキングを高速に

実行するために設けられたハードウェアで本マシンの特徴の一つとなっている。本ユニットはマッチング回路、グローバルスタック、トレイルスタック、アンドゥ回路と若干の付属回路から構成されている。

4.6.1 マッチング回路

モレキュール格納用の 34 ビットレジスタ FT 1, FT 2 のタグ部と項部の比較を行い、その結果によりマイクロプログラム上で 16 通りの多方向分岐を行うための回路である。値部の一致、不一致を示す 1 ビットと、FT 1, FT 2 のタグの合計 9 ビットを入力し 4 ビットの出力を出す高速 ROM から成る。本回路からの 4 ビットの出力は、シーケンサ Am 2909 A の OR 入力に接続されている。

4.6.2 グローバルスタック

グローバル変数の値の格納用に用いられる 34 ビット×16k 語のメモリである。FT 1 のフレーム部 14 ビットと項部の下位 8 ビット(変数のインデックス値)との加算値、あるいは FT 2 での同様の加算値のいずれかをアドレスとして与えることができる。どちらを選択するかはマイクロ命令中の MUX フィールドで指定できる。また、undef フラグを備えており、現在指定されているアドレスの変数セルを実際に読み出して判定することなく、そのセルが未定義か否かを知ることが可能である。

4.6.3 トレイルスタック

代入を行ったグローバル変数のセルアドレスを保存しておくための 14 ビット×16k 語のスタックメモリである。トレイルスタックポインタ (TSP) は、R-bus 上に読み出すことができる。グローバルスタックへ与えられているアドレスがトレイルスタックの書込値となり、グローバルスタックへの書込時にそのセルアドレスをプッシュすることができる。プッシュするか否かはマイクロ命令によって指定できる。

4.6.4 アンドゥ回路

グローバル変数の値を未定義 (undef) に戻すアンドゥ動作を行う回路である。一種のサブシーケンサで前述のマイクロプログラムシーケンサとは独立に並行動作する。アンドゥ動作の回数をアンドゥカウンタへ書込むことにより本回路が起動し、①トレイルスタックからポップされた値をグローバルスタックのアドレスとして与えられる。②グローバルスタックのタグ部への書込値として未定義を示す値を与える。③TSP の制御などを行う信号を発生する。トレイルスタックの読み出しに関してパイプラインレジスタを設けること

により高速なアンドゥ動作を可能にしている。アンドゥ動作の終了はフラグにより知ることができる。

4.7 共有メモリ

ホストプロセッサと PEK プロセッサとの共有メモリで主として構造データの格納に用いる。PEK プロセッサ側から見ると 2 ポートのメモリとなっており、二つのアドレスレジスタ AD 1, AD 2, 読込用レジスタ RD 1, RD 2, 書込用レジスタ WR 1, WR 2 を用いてアクセスする。とくに連続したアドレスのデータを高速に読み込むために、RD 1 (または RD 2) を読み込むと自動的に AD 1 (または AD 2) がインクリメントされ次のアドレスのデータが RD 1 (または RD 2) に準備される。

4.8 ハードウェア規模と実装

ハードウェアの各モジュールの概要は前述したとおりであるがこれらのハードウェアは 45 cm×28 cm, 300 ピンの基板 5 板の上に構成されている。全 IC 数は約 600 石であり、5 板の基板の内訳は以下のようになっている。

[No. 1] CCU ボード

マイクロプログラムシーケンサ, WCS, CMR, ICR, OCR 等のホストプロセッサとのインタフェースレジスタ。

[No. 2] ALU ボード

ALU, R バイパス, S バイパス, プロセスメモリ, ハードウェアスタック等。

[No. 3] ユニフィケーションボード

グローバルスタック, トレイルスタック, マッチング回路, アンドゥ回路等のユニフィケーションに関する部分。

[No. 4] 共有メモリボード

共有メモリおよび AD 1, AD 2, RD 1, RD 2, WR 1, WR 2 等のアドレスレジスタとデータレジスタ。

[No. 5] 評価用ボード

実行時間計測用のタイマ, 実行命令数のカウンタ。

PEK プロセッサは Prolog 向きのアーキテクチャの研究を目的とした実験機であるためマシン規模も大きくなく、比較的短時間で設計・製作ができた。

5. マイクロ命令

図 4 にマイクロ命令のフォーマットと各フィールドの名称を示す。マイクロ命令は 1 語 96 ビットの水平型であり、24 のフィールドから構成される。DEB フ

position	length	name	
95 - 92	4	DEB	Debug
91 - 89	3	CYC	Cycle Control (Am2925)
88 - 83	6	FMX	Flag Multiplexer Control
82 - 79	4	SEQ	Sequencer (Am2909A) Control
78	1	ORE	Or Enable Address Source
77 - 75	3	XWE	External Register Write Enable
74 - 72	3	RWE	Register Write Enable
71 - 68	4	SC	Shift Control (Am2904)
67 - 66	2	CC	Carry Control (Am2904)
65	1	CEM	Condition Enable (Am2904)
64	1	EA	Enable A (Am2903A)
63 - 60	4	RB	Register B (Am2903A)
59 - 56	4	RA	Register A (Am2903A)
55 - 52	4	ALS	ALU (Am2903A) Shift Operation
51 - 47	5	ALF	ALU (Am2903A) Function
46	1	MUX	Multiplex Global Stack Address Source
45 - 44	2	TSC	Trailing Stack Control
43 - 42	2	HSC	Hardware Stack Control
41 - 38	4	YD	Y-bus Destination
37 - 35	3	YS	Y-bus Source
34 - 32	3	RS	R-bus Source
31 - 28	4	SS	S-bus Source
27 - 20	8	OFF	Offset to Process Base Register
19 - 0	20	IMM	Immediate Data

図4 マイクロ命令の形式

Fig. 4 Micro-instruction format.

フィールドはデバッグおよびシステム評価用のもので、Halt ビット、計測用タイマおよびカウンタの Start ビット、Stop ビット、命令数カウント用のビットの計4ビットから成る。CYC フィールドはクロックジェネレータ Am 2925 コントロール用のフィールドで、8種 (120~400 ナノ秒) のクロックの選択を行う。

FMX フィールドは Am 2904 およびフラグ・マルチプレクサの制御用で条件分岐の選択に用いる。

SEQ フィールドはシーケンサ Am 2909 A への命令を指定する。

ORE フィールドは多重路ジャンプ用のフィールドでこのビットを1にセットすることにより、マッチングしたい二つの項のタグ部各4ビットと値部の比較結果1ビットの計9ビットの値に応じて16通りの多方向分岐を行える。

XWE, RWE フィールドは外部および内部レジスタへの書き込み指定用のフィールドで、フレーム部、タグ部、値部をそれぞれ独立に指定できる。

SC, CC フィールドは ALU へのシフト入力、キャリー入力の制御を行う。

CEM フィールドは ALU の演算結果のフラグセットを指定するために用いる。このフラグはフレーム部と値部で独立になっている。

EA フィールドは ALU の R 側入力ソースの選択を行う (R-bus または内部レジスタ)。

RB, RA フィールドは外部および内部レジスタの番号を指定するために用いる。

ALS, ALF フィールドは ALU のシフト演算および算術・論理演算命令用のフィールドである。

MUX フィールドはグローバルスタックのアドレスソースの選択を行うためのものである。

TSC, HSC フィールドはそれぞれトレイルスタック、ハードウェアスタックの制御用のフィールドで、スタックのクリアあるいは自動プッシュ/ポップモードの指定に用いる。

YD フィールドは Y-bus のデスティネーションの指定を行う。

YS フィールドは Y-bus ソースの指定およびライトシフトのコントロールに用いる。

RS フィールドは R-bus のソース指定用のフィールドである。

SS フィールドは S-bus ソース指定およびレストシフトのコントロールに用いる。

OFF フィールドはプロセスメモリのオフセット (0~+255) 指定用のフィールドである。

IMM フィールドは即値指定用のフィールドである。

6. 結 言

本マシンのシステム設計を行うに当たり念頭に置いたことは筆者らが LISP マシン^{9),14)}や FORTH マシン¹⁵⁾を開発し性能を評価したときに得られた経験を生かすことで、システムを並行動作可能なモジュールに分割すること、パイプライン制御方式を導入することにより演算処理がスムーズに進むように心がけたことである。

(1) 大容量の WCS の導入と水平型マイクロ命令による各モジュールの並行駆動。

(2) WCS よりのマイクロ命令のフェッチおよび主メモリのフェッチ操作のパイプライン化を図り、スルーットレイトを上げる。

(3) 三つのハードウェアスタック、プロセスメモリ、ALU のレジスタファイル、WCS, 共有メモリとメモリ機能を分散し並行動作させることにより、実効的なアクセス時間の短縮を図った。

(4) PEK プロセッサ内にデータの高速転送用のバイパスルートを設け、データの高速転送を行うとともに、転送データのシフトやフィールド抽出を高速に行った。

(5) マイクロ命令の実行サイクル時間を可変長として最適化により高速化を図った。

(6) タグを用いた判別、トレイル、アンドゥ操作の自動化などのハードウェア制御による自動操作を取

入れ、ユニフィケーションとバックトラッキングの高速化・自動化を図った。

などの工夫を行った。

PEK マシンシステムはその設計からハードウェア製作、調整終了までに約1年半を要した。現在はソフトウェアの充実を図っている段階であるが、簡単なベンチマークプログラムでは約 60k LIPS の性能を出している^{2), 6), 7)}。PEK マシンシステムのソフトウェア構成と性能評価については別論文で詳しく報告する予定である。

謝辞 なお本研究は一部文部省科学研究費補助金(一般B)によっている。

参 考 文 献

- 1) Kaneda, Y., Tamura, N., Wada, K. and Matsuda, H.: Sequential Prolog Machine PEK Architecture and Software System, Proc. of the International Workshop on High-Level Computer Architecture '84, Los Angeles, 4.1 (1984).
- 2) Tamura, N., Wada, K., Matsuda, H., Kaneda, Y. and Maekawa, S.: Sequential Prolog Machine PEK, Proc. of the International Conf. on FGCS 1984, Tokyo, pp. 542-550 (1984).
- 3) 田村直之, 和田耕一, 松田秀雄, 金田悠紀夫, 前川禎男: PROLOG マシン PEK について, Proc. of the Logic Programming Conf. '84, Tokyo, 8-2 (1984).
- 4) 田村直之, 和田耕一, 松田秀雄, 小畑正貴, 金田悠紀夫, 前川禎男: シーケンシャル PROLOG マシン PEK のアーキテクチャとソフトウェアシステム, 情報処理学会信号処理研究会資料, 25-2 (1983).
- 5) 田村直之, 和田耕一, 金田悠紀夫, 松田秀雄, 小林久和, 前川禎男: Prolog マシン PEK の開発の現状報告, 情報処理学会記号処理研究会資料, 27-5 (1984).
- 6) 田村直之, 和田耕一, 松田秀雄, 金田悠紀夫: Prolog マシン PEK 上での Pure Prolog インタプリタの作成, 情報処理学会記号処理研究会資料, 29-1 (1984).
- 7) 田村直之, 和田耕一, 金田悠紀夫, 松田秀雄, 小林久和, 綾部雅之, 前川禎男: Prolog マシン PEK と Prolog インタプリタとその性能評価, 情報処理学会第 29 回全国大会 (昭和 59 年後期), 7B-3 (1984).
- 8) 金田悠紀夫: PROLOG マシン, 情報処理, Vol. 25, No. 12, pp. 1345-1352 (1984).
- 9) 安井 裕: LISP マシン, 情報処理, Vol. 23, No. 8, pp. 757-772 (1982).
- 10) Taki, K. et al.: Hardware Design and Implementation of the Personal Sequential Inference Machine (PSI), Proc. of the International Conf. on FGCS 1984, Tokyo, pp. 398-409 (1984).
- 11) Tick, E. and Warren, D. H. D.: Towards a Pipelined Prolog Processor, 1984 International Symposium on Logic Programming, Atlantic City (1984).
- 12) Tick, E.: Towards a Multiple Pipelined Prolog Processor, Proc. of the International Workshop on High-Level Computer Architecture '84, Los Angeles, 4.7 (1984).
- 13) Warren, D. H. D.: Implementing Prolog—Compiling Predicate Logic Programs, Vol. 1-2, D. A. I. Research Report No. 39-40, Department of Artificial Intelligence, Univ. of Edinburgh (1977).
- 14) 瀧 和男, 金田悠紀夫, 前川禎男: LISP マシンの試作, 情報処理学会論文誌, Vol. 20, No. 6, pp. 481-486 (1979).
- 15) 和田耕一, 金田悠紀夫, 前川禎男: FORTH マシンシステムの設計とハードウェア構成, 電子通信学会論文誌, Vol. J65-D, No. 3, pp. 338-345 (1982).
- 16) Advanced Micro Devices, Inc.: *Bipolar Microprocessor Logic and Interface Data Book* (1983).

(昭和 59 年 11 月 7 日受付)

(昭和 60 年 2 月 21 日採録)