

## 検査容易な LSI 論理回路の自動設計方式†

林 照 峯\*\* 島 山 一 実\*\*  
 国 友 佳 男\*\* 久 保 木 茂 雄\*\*

論理回路のテストを容易にするため、これまでにいくつかのスキャン方式が開発され実用化されている。しかし、適用分野によってはスキャン方式は論理設計規則の煩雑さのために、論理設計者に受け入れられにくいという問題があった。本論文では論理 LSI を対象に、一般の論理回路からスキャン構造を有する論理回路への自動変換によってこれらの論理設計規則の大部分を排除できる方式を提案する。特に、これを実現するためのスキャン構造とフリップ・フロップの構造を示すとともに、論理回路変換の手順を示す。変換された論理回路は四つのスキャン制御用外部入力ピンをもち、これらの4個のピンが1レベルのとき変換前のもとの論理回路と機能的に同じ動作をするという特徴をもっている。

### 1. ま え が き

最近のエレクトロニクス技術の進展により、論理 LSI がいろいろな分野で使われるようになってともに、その集積度も年々増加している。これに伴って、故障検出能力の高いテストパターンをいかに短い期間で効率良く作成するかが重要な問題となってきた。

この問題に対する一つのアプローチは論理設計の段階で検査容易化を考慮することである。特に、スキャン設計方式(文献 1)~4)などは順序回路に対するテストの問題を組合せ回路のそれに置きかえて解くことができるため有効である。

しかし、スキャン構造をもつ論理回路を設計するためには煩雑な論理設計規則を守らなければならないため、スキャン設計方式は必ずしも一般の論理設計者には受け入れられないという欠点をもっている。

本論文ではこのような欠点を取り除くことができる検査容易化設計方式を提案する。すなわち、スキャン構造に伴う論理設計規則を満足しない一般の論理回路からスキャン構造をもつ論理回路への自動変換によって、スキャン設計方式に精通していない論理設計者でも容易にテストバリエーションの高い論理回路を設計できる方式を提案する。

本文では、この目的に用いるスキャン構造と論理回路の変換方式を示す。

### 2. スキャン構造に伴う論理設計規則

スキャン構造をもつ論理回路を設計するためにはい

くつかの論理設計規則を守らねばならない。論理設計規則はスキャン方式によって少しずつ異なっている。特に、使用できるフリップ・フロップ (FF と略す) がラッチ型の場合とエッジトリガ型 (またはマスタスレイブ型) の場合とでは前者の方が一般に規則の数が多。ここでは両者の型の FF が混在する場合の論理設計規則を述べる。

(R1) どの FF にもその状態変化を制御する一つ以上のクロック外部入力ピンが存在すること。また、これらのクロック外部入力ピンからその FF のクロック入力ピン\* に至る直接あるいはゲートのみを通るパスが存在すること。

(R2) どの FF も対応するクロック外部入力ピンがすべて“OFF”のとき、状態変化しないこと。

(R3) ある FF  $A$  の入力ピン  $p$  の信号が FF  $B$  ( $A$  と  $B$  が同一のこともある) の出力信号から直接あるいはゲートを通して供給されているとき、次の条件を満たすこと。

(1)  $p$  がクロック入力ピンのとき、 $p$  の信号を供給するクロック外部入力ピンが  $B$  のクロック外部入力ピンでないこと。

(2)  $p$  がデータ入力ピンのとき、その FF の  $p$  に対するクロック入力ピンの信号を供給するクロック外部入力ピンが  $B$  のクロック外部入力ピンでないこと。

(R4) クロック信号同士を真値あるいは否定値のどちらにおいても AND しないこと。

(R5) ゲートだけから成るフィードバック・ループが存在しないこと。

(R6) すべての FF はスキャン・イン/アウト可能なこと。また、すべての FF に対する任意の状態

\* 非同期セット (またはリセット) 入力ピンも、そのデータ入力がつねに 1 (または 0) のクロック入力ピンとみなす。

† An Automatic Design Method for Easily Testable LSI Logic Circuits by TERUMINE HAYASHI, KAZUMI HATAYAMA, YOSHIO KUNITOMO and SHIGEO KUBOKI (Hitachi Research Laboratory, Hitachi Ltd.).

\*\* (株)日立製作所日立研究所

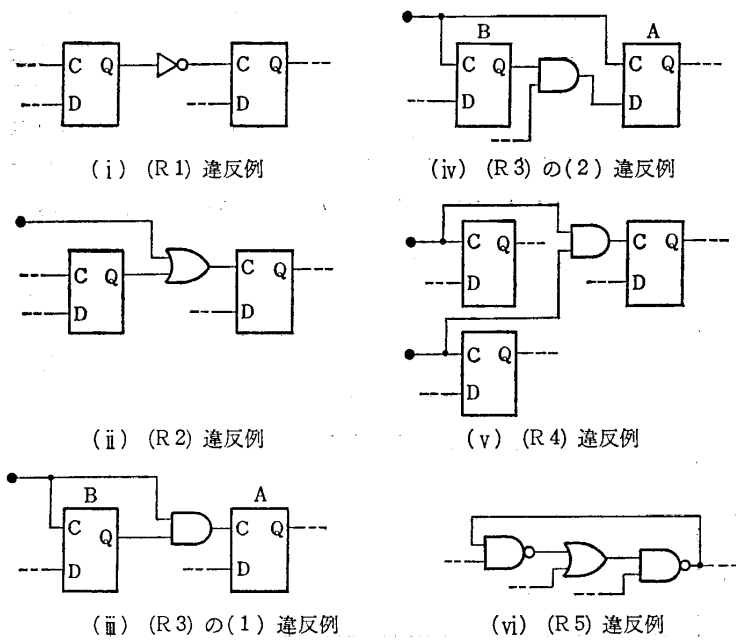


図 1 設計規則違反例

Fig. 1 Examples of design rule violation.

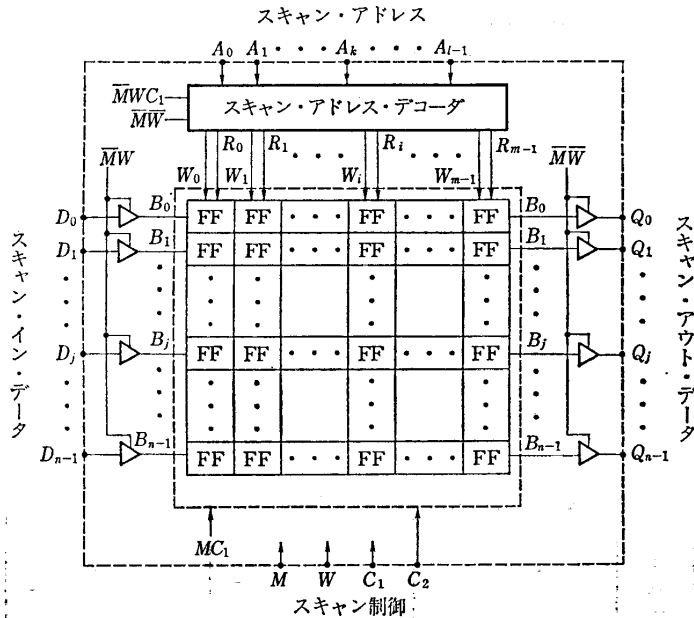


図 2 スキャン構造

Fig. 2 Scan structure.

の組合せがスキャン・インにより実現できること。どの FF の状態も他の FF の状態のいかにかわらずにスキャン・アウトできること。

図 1 にこれらの規則の違反例を示す。

### 3. スキャン構成

本章では用いるスキャン構成を、基本構成、スキャ

ン機能付 FF の構成、外部ピンの通常/スキャン動作での兼用に分けて述べる。

#### 3.1 基本構成

図 2 はスキャン構造の基本構成をモデル化して示したものである。ここでのスキャン方式は RAM のアクセス法に似た方式に基づいている。すなわち、すべての FF はスキャン・アドレス位置  $i$  とスキャン・ビット位置  $j$  の対  $(i, j)$  によって他の FF と一意的に区別される。

スキャン動作制御のために四つの外部入力ピン  $M, W, C_1, C_2$  が用いられる。 $M$  はモード制御を行うもので、 $M=1$  のとき通常モード、 $M=0$  のときスキャン・モードとなる。 $W$  はスキャン・イン/アウトの制御を行うもので、 $M=0$  のとき、 $W=1$  でスキャン・インが、 $W=0$  でスキャン・アウトが可能となる。 $C_1$  と  $C_2$  はテスト用の正極性 2 相クロックを供給する。

外部入力ピン  $A_k (k=0, 1, \dots, l-1)$  はスキャン・アドレス信号を供給するもので、 $D_j$  と  $Q_j (j=0, 1, \dots, n-1)$  はそれぞれスキャン・イン・データとスキャン・アウト・データを表している。

スキャン・アドレス・デコーダは  $A_k (k=0, 1, \dots, l-1)$  で示されるアドレス信号を復号し、スキャン選択信号  $X_i (i=0, 1, \dots, m-1)$  を作るとともに、スキャン・イン/アウト制御信号  $W_i$  と  $R_i (i=0, 1, \dots, m-1)$  を作る。ここで、 $W_i = \bar{M}W X_i$ 、 $R_i = \bar{M}\bar{W} X_i$  であり、 $2^{l-1} < m \leq 2^l$  を満たす。

$B_j (j=0, 1, \dots, n-1)$  はスキャン・データ・バスを表しており、スキャン・ビット位置が  $j$  であるすべての FF のスキャン・データはバス  $B_j$  を介して転送される。

#### 3.2 スキャン機能付 FF の構成

一般の論理回路においては、エッジトリガ DFF、マスタ・スレイブ JKFF、D ラッチ、非同期 RSFF などいろいろな種類の FF が使用される。これらに対するスキャン機能付 FF の一般構成を図 3 に示す。スキャン機能付 FF はもとの FF のピン以外に 5 個のスキャン用ピンをもつ。これらは入力ピン  $MC_1, W_i, R_i, C_2$  およびバスピン  $B_j$  である。また、テスト

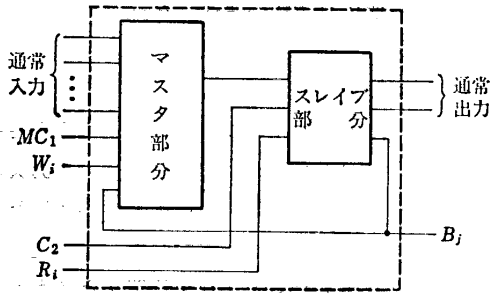


図3 スキャン機能付FFの一般構成  
Fig. 3 General structure of FF with scan function.

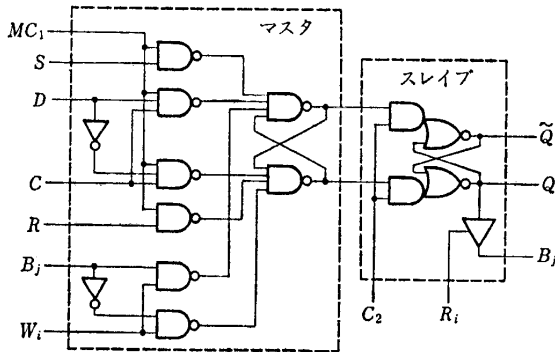


図4 スキャン機能付Dラッチの等価回路  
Fig. 4 Equivalent circuit of D-latch with scan function.

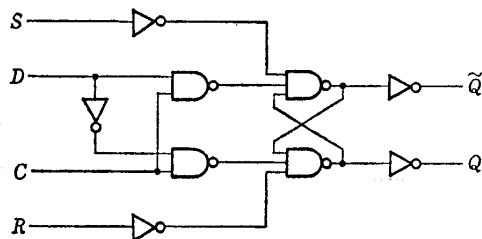


図5 Dラッチ等価回路図  
Fig. 5 Equivalent circuit for D-latch.

用クロック外部入力ピン  $C_1$  をもつマスタ部分と、 $C_2$  をもつスレイブ部分から成っている。図4はスキャン機能付Dラッチの等価回路例を示したものである。この回路は  $M=W=C_1=C_2=1$  に信号レベルを固定すると図5で示す回路と等価となり、スキャン機能をもたない普通のDラッチとなる。

3.3 論理設計規則との関連

スキャン構造に伴う論理設計規則を満足しない論理回路であっても、FFをスキャン機能付FFに置きかえ、図2で示すスキャン用回路を付加するだけで設計規則のほとんどが満足されることを示す。いま、テ

スト時においては  $C_1$  と  $C_2$  のみをクロック外部入力ピンとして用いることにする。また、規則適用上はFFのマスタ部分とスレイブ部分は別のFFとみなすことにする。そうすると、マスタ部分はクロック外部入力ピンとして  $C_1$  を、クロック入力ピンとして  $MC_1$  と  $W_i$  をもち、 $C_1$  から  $MC_1$  と  $W_i$  に至るゲートのみを通るパスが存在する。したがって (R1) を満たす。同様にスレイブ部分も (R1) を満たす。また  $C_1=0$  のときマスタ部分の状態は変化せず、 $C_2=0$  のときスレイブ部分の状態は変化しないので (R2) を満たす。また、マスタ部分の出力はスレイブ部分に、スレイブ部分の出力はマスタ部分に入力される構造となっており、しかも両者のクロック外部入力ピンは互いに異なるので (R3) を満たす。同様に (R4) と (R6) も満たすことがわかる。結局 (R5) の「ゲートのみから成るフィードバック・ループの禁止」を除いてすべての規則が満足される。(R5)の規則は論理設計者にとってそれほど厳しい規則ではなく、これを守ることは容易である。また、この規則の違反をチェックするプログラムも簡単に作成できるので、それほど問題とはならない。

3.4 外部ピンの兼用

スキャン用の外部ピンをすべて専用に設けると、もとの回路の外部ピンの他に  $(l+2n+4)$  個の外部ピンが必要となり、現実的でなくなるおそれがある。ここでは外部ピンのオーバーヘッドを減らすための兼用方式を述べる。

まず、スキャン・イン・データ用外部ピン  $D_j$  とスキャン・アウト・データ用外部ピン  $Q_j$  を一つにまとめる。そうすると、スキャン用外部ピンの数を  $(l+$

通常 スキャン	入 力 ピ ン	トードムボール 出力ピン	トライステート 出力ピン
未 使 用			
スキャン アドレス			
スキャン データ			

図6 外部ピンの兼用例  
Fig. 6 Examples for common use of primary pins.

$n+4$ ) に減らすことができる。

次に、もとの論理回路の外部入力ピンとスキャン用外部ピンとを一つの外部ピンにまとめることを行う。

図 6 は外部ピンの機能別に両者の兼用方法を示している。ただし、4 個のスキャン用外部ピン  $M, W, C_1, C_2$  については兼用しないものとする。これにより、もとの論理回路が  $(l+n)$  個以上の外部ピンを使用しているものとするれば、外部ピンのオーバヘッドは原理的に 4 ピンにまで減らすことができる。

#### 4. スキャン構造をもつ論理回路の生成法

本章では一般の論理回路 (ただし、ゲートのみから成るフィードバック・ループはないものとする) から、 $M=W=C_1=C_2=1$  のときこれと同等の動作をするようなスキャン構造付論理回路への自動変換方法を述べる。変換は大きく分けて、スキャン情報の作成とスキャン機能付論理回路の生成から成っており、以下ではこれらの方法を示す。

##### 4.1 スキャン情報の作成

スキャン情報は各 FF のスキャン位置  $(i, j)$  とスキャン用外部ピンを実現する LSI ピン番号の二つの情報から成る。スキャン情報を決めるためにはまず、スキャン・アドレス本数  $l$ 、スキャン選択信号数  $m$ 、スキャン・データ本数  $n$  の三つのスキャン・パラメータを決めなければならない。

いま、もとの論理回路で使われているすべての外部ピンに対して、LSI ピン番号が割付けられているものとする。また、 $M, W, C_1, C_2$  の 4 個のスキャン制御外部ピンはもとの回路で使われていない LSI ピンに適当に割付けられているものとする。スキャン・アドレスおよびスキャン・データ用外部ピンとして使用可能な LSI ピンの数を  $N_F$ 、もとの論理回路で用いられている FF の数を  $N_F$  ( $N_F \geq 1$ ) とする。

そうすると、以下の条件式を満たすように

$l, m, n$  を決める必要がある。

$$(m-1)n < N_F \leq m \cdot n \quad (1)$$

$$m(n-1) < N_F \leq m \cdot n \quad (2)$$

$$2^{l-1} < m \leq 2^l \quad (3)$$

$$l+n \leq N_F \quad (4)$$

式(1)~(3)はガウス記号を用いた式(5)~(7)と等価である。

$$m = \lceil (N_F - 1) / n \rceil + 1 \quad (5)$$

$$n = \lceil (N_F - 1) / m \rceil + 1 \quad (6)$$

$$l = \lceil \log_2(2m - 1) \rceil \quad (7)$$

さらに、スキャン・インの実行ステップを短くするためには、 $m$  をなるべく小さい値に決めたほうがよい。

以上の条件を満たすスキャン・パラメータは以下の手続きにより求めることができる。

(S1)  $n = N_F + 1$  とおく。

(S2)  $n \leq 1$  なら決定不能であり手続き終了。  $n > 1$  なら (S3) へ。

(S3)  $n = n - 1$  とし、式(5)と(7)によって  $m$  と  $l$  を求める。

(S4)  $l+n \leq N_F$  なら (S5) へ。  $l+n > N_F$  なら (S2) へ。

(S5) 式(6)によって  $n$  を求める。求めた  $l, m, n$  が解である。

いま、例題として  $N_F = 47$ 、 $N_F = 12$  の場合について  $l, m, n$  を求めてみる。(S2)~(S4)のくり返しにより、 $(l, m, n) = (2, 4, 12) \rightarrow (3, 5, 11) \rightarrow (3, 5, 10) \rightarrow (3, 6, 9)$  が得られる。さらに、(S5)によって  $(l, m, n) = (3, 6, 8)$  が求まり、これが解である。

このようにして、 $l, m, n$  を求めた後で、もとの論理回路の中にあるすべての FF に対して、スキャン位置  $(i, j)$  を互いに重複しないように、かつ  $0 \leq i \leq m-1$ 、 $0 \leq j \leq n-1$  を満たすように割付ける。次に、 $l$  個のスキャン・アドレス外部ピンと  $n$  個のスキャン・データ外部ピンを  $N_F$  個の割付可能な LSI ピンのどれかに互いに重複しないように割付ける。

##### 4.2 スキャン機能付論理回路の生成

もとの論理回路とスキャン情報からスキャン機能付論理回路を生成する。このためには以下を行う必要がある。

(1) FF をスキャン機能付 FF に置きかえる。これは FF のタイプ名称の置きかえと、FF のスキャン用ピンに対する信号名の付加を行うことで達成さ

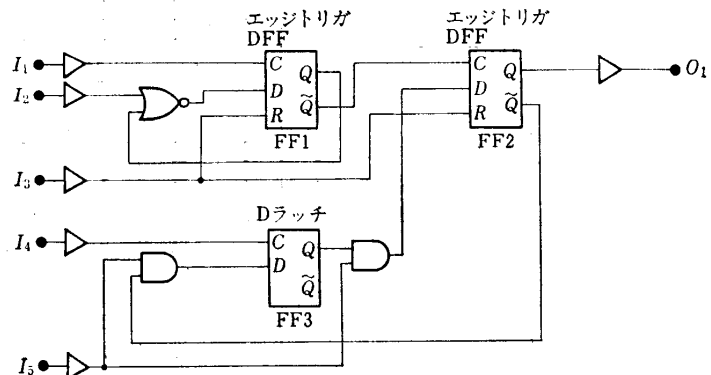


図 7 順序論理回路例  
Fig. 7 An example of sequential logic circuit.

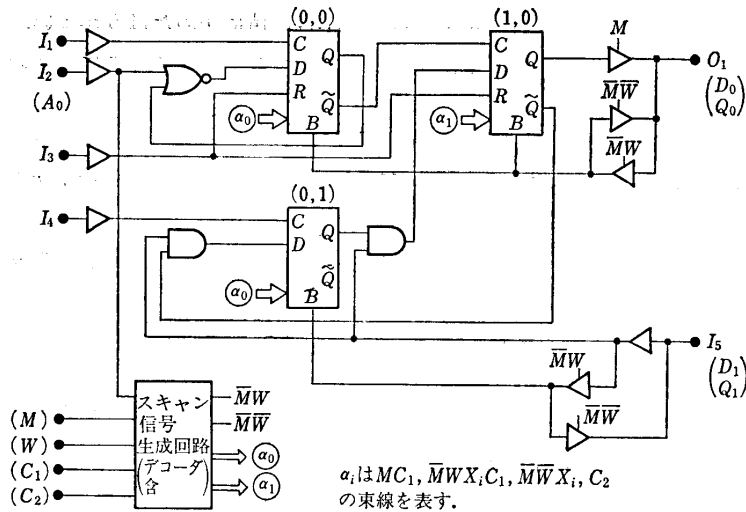


図 8 スキャン機能付論理回路例  
Fig. 8 An example of logic circuit with scan function.

れる。

- (2) スキャン用外部ピンの周辺回路を生成する。特に、もとの回路における外部ピンと兼用される場合には、図6で示すような回路構成となる。
  - (3) スキャン・アドレス・デコーダなどのスキャン用回路を付加する。
- これらの処理はそれほど複雑でなく、ほぼ機械的に行うことができる。

4.3 変換例

図7は3個のFFを含む一般の順序論理回路の例を示している。また、図8は図7の論理回路をスキャン機能付論理回路に変換したものである。ただし、 $l=1, m=2, n=2$  かつ FF 1~FF 3 をそれぞれスキャン位置 (0, 0), (1, 0), (0, 1) に決め、かつスキャン・アドレス外部ピン  $A_0$  を  $I_2$  に、スキャン・データ外部ピン  $D_0$  と  $Q_0$  を  $O_1$  に、 $D_1$  と  $Q_1$  を  $I_5$  に割付けたものとする。

5. テストパターンの作成方法

スキャン構造をもつ論理回路のテストパターン生成の問題は組合せ回路のテストパターン生成の問題に置きかえて解

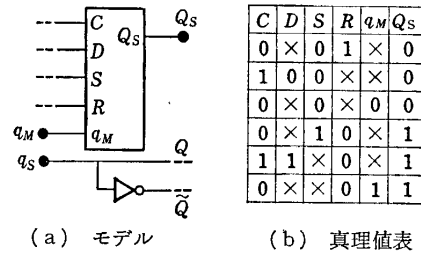


図 9 D ラッチのテスト生成用モデル  
Fig. 9 Test generation model of D-latch.

表 1 スキャン用外部ピンの機能  
Table 1 Functions of primary pins for scan.

Primary Pins	Scan Control				Scan Address	Scan In Data	Scan Out Data	Normal Input	Normal Output
	M	W	C <sub>1</sub>	C <sub>2</sub>	A <sub>i</sub>	D <sub>j</sub>	Q <sub>j</sub>	PI	PO
Normal Mode	1	1	1	1	—	—	—	0/1	0/1/Z
Test Mode	Master-Slave Scan In	0	1			0/1	0/1	—	—
	Master Scan In	0	1		0	0/1	0/1	—	—
	Normal PO Out	1	1	0	0	—	—	0/1	0/1/Z
	Normal Data In	1	1			—	—	0/1	—
	Scan Out	0	0	0	0	0/1	—	0/1	—
		0	0	0	0	0/1	—	0/1	—
		0	0	0	0	0/1	—	0/1	—

くことができる。したがって、Dアルゴリズム<sup>5)</sup>、PODEM<sup>6)</sup>、FAN<sup>7)</sup>などのテストパターン自動生成アルゴリズムにより故障検出能力の高いテストパターンを容易に得ることができる。

ここでのスキャン方式はいろいろな種類のFFを含むことを許しているのので、単にFFの入力点を組合せ回路の出力点とみなすようなモデル化は可能でなく、テストパターン生成用回路モデルの中にFFを組合せ回路用素子として含めた形でモデル化する必要がある。図9はDラッチに対するモデルとその真理値表を示したものである。ここで、図中の $q_M$ と $q_S$ はそれぞれスキャン・インによってあらかじめイニシャライズされるべきマスタ部分とスレイブ部分の状態を表している。また、 $Q_S$ はスキャン・アウト状態を表している。これらの三つのピンは直接にモデル上の仮の外部ピンに接続される。

表1は本スキャン構造をもつ論理回路の動作のさせ方を示している。通常モードは、 $M=W=C_1=C_2=1$ とすることにより、もとの論理回路と機能的にまったく同じ動作をすることを示している。テスト・モードの欄は、部分組合せ回路に対して生成された一つのテストパターンを、LSIピンのパターンとして実現するときの展開方法を示している。

## 6. む す び

本論文では、スキャン構造に伴う論理設計規則を満足しない一般の論理回路からスキャン構造をもつ論理回路への自動変換方式を提案した。本方式によれば、論理設計者は検査のことをあまり考えなくともテストビリティの高い論理回路を設計でき、故障検出率の高いテストパターンを自動的に得ることができるという利点がある。このことはスキャン設計方式に精通して

いない一般の論理設計者がLSI論理を設計する場合において特に有効と思われる。また、論理設計規則チェック・プログラムはゲートから成るフィードバック・ループの存在だけをチェックすれば良いため単純になるという利点もある。

謝辞 ご指導ご討論いただいた当社の福田秀樹部長、大沢晃副技師長、当研究所の谷中雅雄部長、増田郁郎主任研究員をはじめとする皆様に深謝する。

## 参 考 文 献

- 1) Eichelberger, E. B. and Williams, T. W.: A Logic Design Structure for LSI Testability, Proc. of 14th DA Conf., pp. 462-468 (1977).
- 2) Funatsu, S., Wakatsuki, N. and Arima, T.: Test Generation Systems in Japan, Proc. of 12th DA Conf., pp. 114-122 (1975).
- 3) Ando, H.: Testing VLSI with Random Access Scan, Dig. COMPCON 1980, pp. 50-52 (1980).
- 4) Stewart, J. H.: Application of Scan/Set for Error Detection and Diagnostics, Dig. 1978 Semiconductor Test Conf., pp. 152-158 (1978).
- 5) Roth, J. P.: Diagnosis of Automata Failures: A Calculus and a Method, IBM J. Res. Dev., Vol. 10, pp. 278-291 (1966).
- 6) Goel, P.: An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits, IEEE Trans. Comput., Vol. C-30, No. 3, pp. 215-222 (1981).
- 7) Fujiwara, H. and Shimono, T.: On the Acceleration of Test Generation Algorithms, IEEE Trans. Comput., Vol. C-32, No. 12, pp. 1137-1144 (1983).

(昭和60年3月27日受付)

(昭和60年6月20日採録)