

C-023

故障挿入による TMR プロセッサの耐縮退故障性評価 Evaluation for Stuck-at Fault Tolerance of TMR Processor by Using Fault Injections

丸本 耕平[†]新井 雅之[†]福本 聡[†]岩崎 一彦[†]Kohei Marumoto[†]Masayuki Arai[†]Satoshi Fukumoto[†]Kazuhiko Iwasaki[†]

1. はじめに

近年の大規模化した VLSI プロセッサにおいては、高い信頼性を保証するために厳密なテストが必要であり、そのためのコストが非常に高くなっている。テストコストを抑えながら高信頼性を達成する一つの方法として、極めて耐故障性の高いプロセッサの設計による、テストの簡略化が考えられる [1]。その一つとして、三重冗長構成である TMR (Triple Modular Redundancy) プロセッサによって、縮退故障をマスクしようとするアプローチがあげられる。本研究では、多数決の対象となるハードウェア単位が異なる 2 種類の TMR プロセッサを設計し、それらのオーバヘッドと故障挿入に基づく耐故障性評価について論ずる。

2. TMR プロセッサのモデル

本研究で評価する TMR プロセッサのアーキテクチャを図 1 に示す。TMR プロセッサは 3 個の同一のプロセッサコア、多数決器、制御回路で構成される。プロセッサコアとして、H8/300 命令のサブセットが実行可能なプロセッサを用いる。3 個のプロセッサコアは同一の命令を実行する。多数決器は、3 個のプロセッサコアの内部レジスタと外部出力、合計 260 ビットの信号線の多数決を採り結果を出力する。外部出力の多数決結果は外部に出力される。制御回路は、多数決結果を基に TMR プロセッサを制御する。1 個のプロセッサコアが他のプロセッサコアと異なる値を出力した場合は、プロセッサコアの内部レジスタに多数決結果を転送するリカバリ動作を実行する。リカバリはすべてのデータを並列に転送するため、1 クロックで完了する。3 個のプロセッサコアが互いに異なる値を出力した場合は、TMR プロセッサは動作を停止する。

本研究では、図 2, 3 のように多数決の対象となるハードウェア単位が異なる 2 種類の TMR プロセッサの評価を行う。図 2 の方式 (TMR プロセッサ (a)) では、プロセッサコアの内部レジスタ (REGs) と外部出力について一括して多数決を採る。この多数決方法では、1 個のプロセッサコアの誤りをマスクすることが可能であるが、

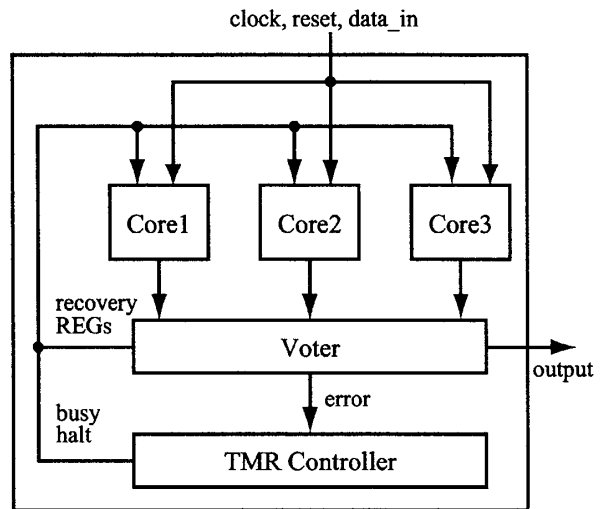


図 1: TMR プロセッサのアーキテクチャ

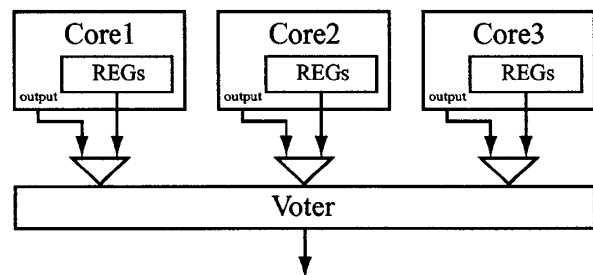


図 2: 内部レジスタと外部出力を一括して多数決 (TMR プロセッサ (a))

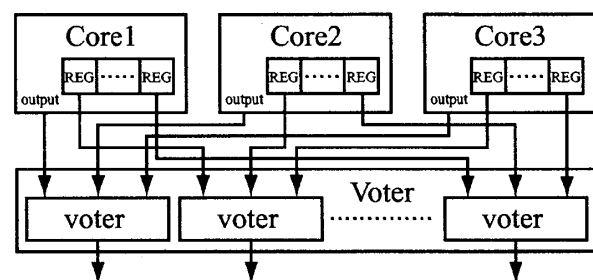


図 3: 内部レジスタと外部出力を個別に多数決 (TMR プロセッサ (b))

[†]首都大学東京 大学院 システムデザイン研究科,
Graduate School of System Design, Tokyo Metropolitan University

2個以上のプロセッサコアが誤りを出力した場合にはマスクすることができない。図3の方式(TMRプロセッサ(b))では、プロセッサコアの内部レジスタ(REG)と外部出力についてそれぞれ個別に多数決を採る。本研究では多数決の対象となる260ビットの信号を、レジスタや外部出力の構成によって28個の組に分割にし、組ごとに独立して多数決を採ることにした。この多数決方法でも同様に、1個のプロセッサコアの誤りをマスクすることが可能である。また、2個以上のプロセッサコアが誤りを出力した場合でも、誤りが同一の多数決器に入力されなければマスク可能である。

上記の回路をレジスタ転送レベルのVerilo-HDLで記述し、シノプシス社のDesign Compilerによって論理合成を行った。プロセッサコア及び2種類のTMRプロセッサのセルエリアを表1に示す。プロセッサコア単体と比べると、どちらのTMRプロセッサも面積オーバーヘッドは同程度となっている。

表1: プロセッサのセルエリア

Processor Core	10234
TMR Processor (a)	35993
TMR Processor (b)	35975

3. 評価

論理シミュレーションによって、プロセッサコア及び2種類のTMRプロセッサの耐故障性を評価する。回路の信号線の論理値を0に固定することによって0故障を挿入する。故障を挿入したプロセッサで65ワードのクイックソートプログラムを実行し、信号線を観測することによって動作を確認する。縮退故障数が1個から10個の条件でそれぞれ1000回の試行を行い、正常動作率を求める。

プロセッサコア単体及びTMRプロセッサのシミュレーション結果を図4に示す。プロセッサコア単体の結果をみると、故障数が1個の場合では約半分の試行で正常動作しているが、故障数が増加すると正常動作率が減少し、故障数が10個になるとほぼすべての試行で正常動作しなくなっている。TMRプロセッサの結果をみると、故障数が1個の場合ではすべての試行で正常動作し、故障数が増加すると正常動作率が減少している。故障数が2個以上では、レジスタごとに多数決を採るTMRプロセッサのほうが正常動作率が高くなっている。

TMRプロセッサの詳細なシミュレーション結果を表2に示す。故障による誤りが多数決によりマスクされ正常に動作した回数'recovery'は、TMRプロセッサ(b)の

ほうが高くなっている。また、3個のプロセッサコアが互いに異なる値を出力したために停止した回数'halt'は、TMRプロセッサ(a)のほうが高くなっている。これは、TMRプロセッサ(a)ではマスク不可能な誤りも、TMRプロセッサ(b)ではマスク可能なためであるからと考えられる。

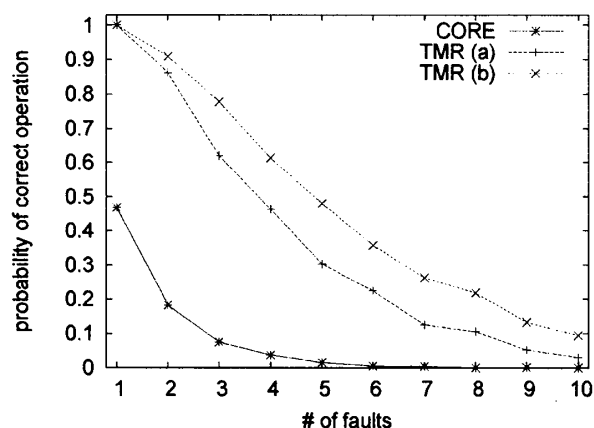


図4: プロセッサの縮退故障数と正常動作率

表2: TMRプロセッサのシミュレーション結果

# faults	TMR	correct		fail	
		no error	recovery	halt	error
1	(a)	441	559	0	0
	(b)	413	587	0	0
2	(a)	165	697	138	0
	(b)	202	707	86	5
3	(a)	75	544	375	6
	(b)	81	697	214	8
4	(a)	35	428	529	8
	(b)	22	590	381	7

4. まとめ

本研究では、多数決の対象となるハードウェア単位が異なる2種類のTMRプロセッサを設計し、オーバーヘッドならびに故障挿入に基づく耐故障性評価について議論した。2種類のTMRプロセッサの面積オーバーヘッドはほぼ同一であるが、故障挿入時の正常動作率はレジスタごとに多数決を採るTMRプロセッサのほうが高くなることを確認した。

参考文献

- [1] E. Schuchman et. al., "BlackJack: Hard Error Detection with Redundant Threads on SMT," Proc. DSN, 5B.4, 2007.