

Non-Scan BIST を実現する RTL コントローラの最適化法

A Method of RTL Controller Optimization for Non-Scan BIST

高田 篤史[†] 山口 賢一[‡]

Atsushi Takada Ken'ichi Yamaguchi

1. はじめに

近年, LSI は半導体技術の向上により, 高集積・高機能化している。一方で, 回路の故障を検出するテストに必要な時間や費用が増加し, 信頼性の保証が困難になっている。そのため, LSI の信頼性確保を容易にする技術としてテスト容易化設計(DFT)が注目されている。

本稿では, テストの実現方式として, ノンスキャン組込み自己テスト(Non-Scan BIST)を扱う。Non-Scan BIST は, 通常動作時のクロックを用いる実動作速度テストの適用が容易である。実動作速度テストを適用することで, 論理故障だけでなく遅延故障の検出も容易になる。

Non-Scan BIST を実現する DFT 手法には, [1]や[2]の手法がある。さらに著者らは, [1]や[2]の手法よりも高い故障検出率を保証可能な階層テスト生成に基づく[3]や[4]の手法を提案している。

本稿で扱う[3]や[4]の手法は, いずれもレジスタ転送レベル(RTL)のデータパスを主な対象としている。また, テスト対象に印加するテストパターンとして擬似ランダムパターン発生回路によるランダムパターンを用い, 出力応答の解析には応答圧縮器によって得られる圧縮値を用いる。

[3]や[4]の手法では, データパステストのために, テスト対象の回路要素や回路要素の集合に対して, テストパターン及び出力応答の伝搬経路(テスト経路)を生成する。テスト経路を実現するためには, テスト経路上の各回路要素に制御信号を与える必要がある。このとき与える制御信号の系列をテストプランという。RTL 回路において, データパスの動作に必要な制御信号は, データパス外部のコントローラから供給するが, 通常のコントローラにはテストプラン供給の機能を実現していない。

そこで本稿では, 通常のコントローラにテストプラン供給の機能を追加し, [3]や[4]の手法のようにテスト経路の生成が必要なデータパステストを実現する。さらにコントローラを RTL で記述することで, 論理合成によるコントローラの最適化を図る。

2. 提案手法

本章では, RTL におけるデータパスとコントローラの位置づけを明確にするため, RTL 回路の構成について述べる。そして通常のコントローラに対してテストプラン供給の機能を追加する手法を提案する。さらに提案するコントローラのテスト法について説明する。

2.1 RTL 回路の構成

本稿で扱う RTL 回路は, コントローラとデータパスで構成する。コントローラは有限状態機械(FSM)で記述し, データパスの行う演算を制御するために制御信号を供給する。データパスはレジスタや演算モジュール等で記述し, コントローラからの制御信号に従いデータの演算を行う。

図1に RTL 回路の構成を示す。コントローラが供給する制御信号は, 制御信号線を通してデータパス中の各回路要素に供給する。

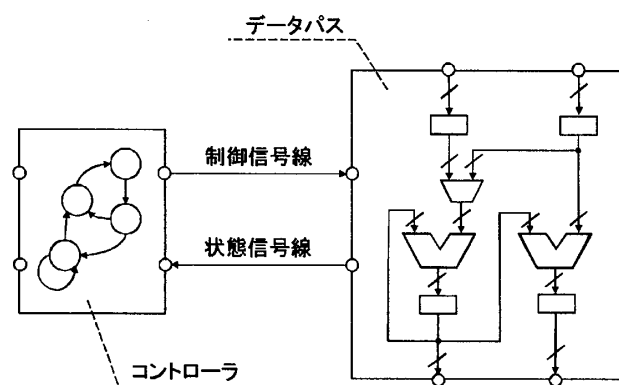


図1: RTL回路

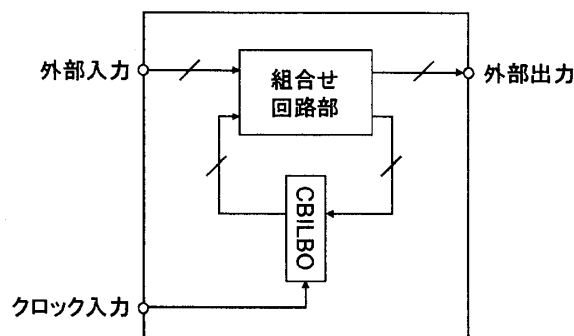


図2: DFT適用後の提案するコントローラ

2.2 テストプラン供給機能の追加

本稿では, 通常のコントローラにテストプラン供給機能を追加するため, コントローラの FSM にテスト状態を新たに追加する。テスト状態とは, テストプランを出力とする状態をいう。

追加するテスト状態数は, データパステストに必要なテストセッション数と同数とする。テストセッションの単位は, 一つのテスト経路を実現している期間とする。

通常動作状態からテスト状態への遷移は, 外部ピンを新たに追加し, 外部からの制御に従う。テスト状態間の遷移は, テストセッションの推移に準じ, 一つのテストセッションが完了するごとに次のテスト状態へと遷移する。なお, すべてのテストセッションが完了すると, リセット状態へ遷移するものとする。

†奈良工業高等専門学校 専攻科 電子情報工学専攻

‡奈良工業高等専門学校 情報工学科

2.3 提案するコントローラのテスト法

本稿では、提案するコントローラに対してテストを行うため、DFTを適用する。以下にコントローラのDFTの手順を示す。

1. コントローラのFSMに対し、論理合成を行い、組合せ回路部と状態レジスタに分離する。
2. 論理合成によって得られた状態レジスタに対し、CBILBO[5]への設計変更を行う。

なお、CBILBOとは、テストパターンの発生と出力応答の圧縮が同時に可能なレジスタをいう。図2にDFT適用後のコントローラ概念図を示す。

図2に示すように、コントローラの組合せ回路部に対するテストパターンの印加は、外部入力とCBILBOを併せて用いることによって可能とする。また、テストパターンを印加した組合せ回路部から得られる出力応答の圧縮は、外部出力とCBILBOを併せて用いることによって可能とする。

以上の手順で、提案するコントローラの組合せ回路部に対するテストを実現する。

また、CBILBOのテストは、組合せ回路部のテストと同時に進行。つまり、組合せ回路部のテストに用いるテストパターンの発生や出力応答の圧縮にはCBILBOを利用しているため、CBILBOは組合せ回路部のテスト時に正しく機能している必要がある。本稿ではCBILBOのこの特性を利用して、CBILBO自身のテストを行うものとする。

3. [3]の手法との比較

文献[3]では、データパステストのためのDFTだけでなく、これを実現するためのコントローラについても述べている。本章では、[3]の手法によるテストプラン供給法について紹介し、その上で提案手法の優位性を述べる。

3.1 [3]の手法によるテストプラン供給法

[3]の手法によるテストプランの供給は、データパスやコントローラとは別に、テスト状態のみで記述されるテストコントローラをRTL回路に追加することによって実現する。図3に[3]の手法によるRTL回路の構成を示す。

図3のSelで示されるマルチプレクサ(MUX)は、テスト動作時にはテストコントローラからの信号線を選択し、通常動作時にはコントローラからの信号線を選択する。Selに与える制御信号は、提案手法と同様に外部ピンを新たに追加し、外部からの制御に従う。

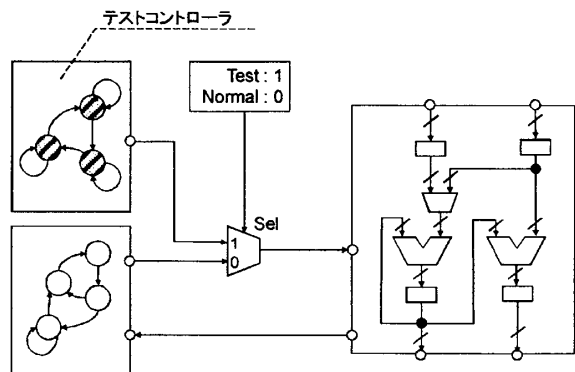


図3:[3]の手法によるRTL回路

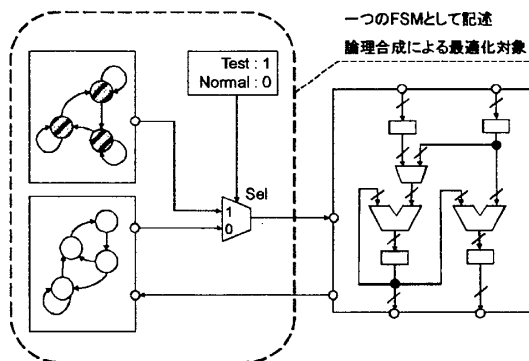


図4:提案するコントローラの最適化対象範囲

3.2 提案手法の優位性

[3]の手法では、テストコントローラをRTL回路に追加しているため、図3のSelで示されるようなMUXを制御信号線上へ追加する必要がある。一方、提案手法では、元のコントローラにテスト状態を追加しているため、制御信号線上へのMUX追加が不要である。図4に提案手法がコントローラのFSMとして記述する範囲を[3]の手法と比較して示す。

DFT後のRTL回路において、クリティカルパスには制御信号線が含まれることが多いと実験的に知られている。そのため制御信号線上へのMUX追加は、クリティカルパスの増加につながる。これは回路の最大遅延の増加となり、実動作速度テストの妨げとなることがある。したがって、[3]の手法には、実動作速度テストを保証できない可能性が考えられる。

提案手法は、制御信号線上へのMUX追加が不要なため、最大遅延の増加は小さい。また、提案手法では図4の破線で囲まれる範囲を一つのFSMとして論理合成を行うため、[3]の手法のようにコントローラやテストコントローラといった機能単位で論理合成を行うよりも面積、遅延の最適化が期待できる。以上のことから、提案手法は[3]の手法と比較して実動作速度テストの実現を容易化できる。

また、[3]の手法では、コントローラに対しては23で述べた提案するコントローラのテスト法と同様にCBILBOを用いた構造テストを適用し、テストコントローラ(テスト状態)に対しては出力の観測による機能テストを適用する。一方、提案手法では、コントローラにテスト状態を追加するため、[3]の手法におけるテストコントローラ部に対してCBILBOを用いた構造テストを適用可能にする。よって提案手法は、テスト状態に対して機能テストに加えて構造テストも適用可能なため、[3]の手法よりも高い信頼性の保証が可能といえる。

4. 実験結果

本稿では、提案手法の有用性を検証するため、ベンチマーク回路LWF, Paulin, Tsengに対する適用実験を行った。表1に各ベンチマーク回路の特性を示す。#Reg, #Modlはそれぞれデータパス中のレジスタ数、テスト対象回路要素を表す。#N_StateはコントローラのFSMにおける通常動作状態数、#T_Stateは追加するテスト状態数を表す。ただし、#T_Stateはデータパスに適用するDFT手法に依存する。本稿ではデータパスに適用するDFT手法として[4]の手法を用いたため、[4]の手法によるテスト状態数を示す。Areaは論理合成ツールDesign Compiler (synopsys社)によって得られたRTL回路全体の規模を表し、単位はgate equivalentである。

表1:ベンチマーク回路特性

	#Reg	#Modl	#N State	#T State	Area
LWF	5	8	4	5	3144
Paulin	7	15	6	6	14690
Tseng	6	14	5	9	9669

表2:LWFへの適用結果

	HW/ OH [%]	Max Path /OH [%]	FC_DP [%]	FC_C [%]	FC_TC [%]
提案手法	20.52	70.00	100		100
[3]の手法	19.82	91.43	100	100	—

表3:Paulinへの適用結果

	HW/ OH [%]	Max Path /OH [%]	FC_DP [%]	FC_C [%]	FC_TC [%]
提案手法	7.47	43.21	100		100
[3]の手法	7.70	59.26	100	100	—

表4:Tsengへの適用結果

	HW/ OH [%]	Max Path /OH [%]	FC_DP [%]	FC_C [%]	FC_TC [%]
提案手法	13.40	12.38	100		100
[3]の手法	13.58	28.57	100	100	—

表2, 表3, 表4にそれぞれLWF, Paulin, Tsengに対する適用結果を示す。また, 比較のため, [3]の手法による結果を同時に示す。HW/OH, Max_Path/OHはそれぞれ手法適用による面積増加率, クリティカルパスのゲート段数の増加率(遅延増加率)を表す。FC_DP, FC_C, FC_TCはそれぞれデータパス, コントローラ, テストコントローラの構造テストによる故障検出率を表す。提案手法では, コントローラ部とテストコントローラ部を併せて扱っているため, 故障検出率を同時に示している。

表2より, LWFに対する適用結果では, 遅延増加率について[3]の手法を下回り, 最大遅延の増加抑制に成功した。しかし, 面積増加率については提案手法が[3]の手法を上回っている。これはコントローラの状態レジスタに対するCBILBOへの設計変更で発生する面積増加率が支配的になるためである。

表1より, LWFの通常動作状態数は4であるのに対し, テスト状態数は5である。提案手法では, 通常動作状態数とテスト状態数の和9がコントローラの状態数となる。したがって, [3]の手法, 提案手法のコントローラを実現するために必要な状態レジスタのビット数は, それぞれ2と4である。そのため, [3]の手法ではCBILBOに設計変更するレジスタのビット数は2であるが, 提案手法では4である。これが提案手法の面積増加率が[3]の手法よりも上回った原因といえる。

通常動作状態数を n , テスト状態数を t としたとき, 提案手法が[3]の手法より面積増加率を抑制可能な十分条件を式(1)に示す。

$$\lceil \log_2(n+t) \rceil = \lceil \log_2 n \rceil \quad (1)$$

つまり, 通常動作状態数に比べてテスト状態数が少ないとき, 提案手法は[3]の手法より面積増加率を抑制可能といえる。

一般に, 通常動作状態数は回路規模が大きくなるにつれて増加するため, 提案手法は大規模回路に対して大きな効果を期待できる。

表3, 表4より, Paulin, Tsengに対する適用結果では, 面積増加率, 遅延増加率ともに[3]の手法を下回り, 面積, 最大遅延の増加抑制に成功した。

表2, 表3, 表4より, 提案手法はLWF, Paulin, Tsengのデータパス, テストコントローラ部を含めたコントローラに対し, 100%の故障検出率を達成している。一方, [3]の手法ではデータパス, コントローラに対し, 100%の故障検出率を達成しているものの, テストコントローラに対しては構造テストを適用していない。したがって, 提案手法は, テストコントローラ部(テスト状態)に対して, [3]の手法より高い信頼性の保証が可能といえる。

5. まとめ

本稿では, Non-Scan BISTを実現する[3]や[4]の手法で必要となるテストプランの供給が可能となるコントローラを提案した。

提案手法では, 元のコントローラのFSMに対し, テスト状態を追加することで, コントローラをテストプラン供給可能にする。また, 従来のテストプラン供給法である[3]の手法と比較して, FSMの論理合成の際に面積, 遅延の最適化が期待できる。

実験結果では, 提案手法が[3]の手法と比較して, ほぼ面積増加率の変化なしに最大遅延の増加抑制に成功したことを示した。さらに, 提案手法が[3]の手法におけるテストコントローラ(テスト状態)に対して構造テストを適用し, 100%の故障検出率を達成したことを示した。したがって, 提案手法はテスト状態に対して[3]の手法よりも高い信頼性の保証が可能といえる。

今後の課題として, 提案したコントローラの通常動作状態, テスト状態の出力をそれぞれ解析し, 状態数を削減することによってさらなる面積増加率, 最大遅延の増加を抑制することや, 提案したコントローラの外部テスト方式への応用を検証することが挙げられる。

謝辞

本研究に際し, 貴重なご助言をいただいた奈良先端科学技術大学院大学の竹哲史先生に感謝します。

本研究の実験は, 東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社のご協力のもとで行いました。深く感謝します。

参考文献

- [1] A. P. Storele and H. J. Wunderlich: "Hardware-optimal test register insertion," IEEE Trans. On Computer Aided Design of Integrated Circuits and Systems, Vol.17. (1998).
- [2] I.Ghosh, N.K.Jha and S.Bhawmik: "A BIST Scheme for RTL Circuit Based on Symbolic Testability Analysis," IEEE Trans. On Computer Aided Design of Integrated Circuits and Systems, Vol.19. (2000).
- [3] K. Yamaguchi, M. Inoue and H. Fujiwara: "Hierarchical BIST," Proc of WRTILT 2002. (2002).
- [4] 岩田大志, 青山瑠美, 山口賢一: "モジュールセット化による低面積組込み自己テストの実現", FIT2006一般論文. (2006).
- [5] L. T. Wang and E. J. McCluskey: "Concurrent Built-in logic block observer (CBILBO)," Proc of The Ing.Symp. on Circuits and Systems. (1986).
- [6] S. Ohtake, T. Masuzawa and H. Fujiwara: "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency", Proc of JETTA. (2000).