

FPGA を用いたリアルタイム音響解析システム

An real-time sound analysis system utilizing FPGA

秋山 友孝†, 松下 宗一郎†

Tomotaka Akiyama and Soichiro Matsushita

1. はじめに

大規模半導体集積回路 (VLSI) チップは、パソコンを始めとする情報処理機器に利用されている他、今やほとんどの家庭電化製品、例えば洗濯機や炊飯器といったものにも使用されており、いつでも、どこでも情報化の恩恵を得られるユビキタスコンピューティングの世界が現実のものとなりつつある。VLSI チップを用いることによって得られる恩恵は、高度な情報処理機能を極めて小さいスペースにて実現することで、その適用範囲を広げられるという点にある。また、パソコンや家電製品等で用いられている一般的なマイクロプロセッサ等のチップでは、その汎用性が大きな武器となっており、ユビキタス社会化に際してはチップを少品種大量生産とすることができ、コストの低減等に大きく寄与している。この反面、汎用であるが故に、こういったマイクロプロセッサについては取り扱う情報処理の種類によっては、必ずしも万能ではないケースが散見される。すなわち、マイクロプロセッサでは、プログラム、とりわけ人間にとって理解が容易である手続き型言語によるプログラムにより、時間系列に沿って逐次処理を進めていくような処理を行っているが、同時に並行して大量の処理を行う必要があるアプリケーション、例えば、3次元コンピュータグラフィックスにおける描画や、音声認識等におけるパターンマッチングといった情報処理パラダイムに対しては、最適とはなっていないと考えられる。

そこで、本研究では、VLSI チップ化が有する、超小型化により、いつでも、どこでも使用することができるという利点を生かしつつ、従来のマイクロプロセッサでは困難であるような情報処理アプリケーションを考え、これをFPGA (Field Programmable Gate Array) と呼ばれるプログラマブルな集積回路チップ上で実現することで、その有効性を検証していくことを考えた。具体的には、ウェアラブルコンピュータのように、サイズや発熱、消費電力に対し厳しい要求が存在する環境下において、リアルタイムにて音響を処理し、例えばその結果からウェアラブルコンピュータの利用者が置かれている環境を推定することで、より利用者のニーズにあった情報処理サービスを提供する、音響解析システムを考えた。このようなシステムとしては、例えば文献 [1] に述べられているような、ASIC (Application Specific Integrated Circuit) により音響認識をボタンサイズの中で実現したものが知られているが、ASIC 化した場合には、ハードウェア構成が固定となり、設計段階において情報処理の流れをあらかじめ規定してしまう必要がある。これに対し、FPGA を使用するアプロー

チでは、回路の性能面、すなわちチップ面積や消費電力、動作速度といった点においてASICに一步譲るものの、情報処理原理が未だ不明であるようなアプリケーションの探求に際しては、むしろ有力であると考えられる。さらには、FPGAが再構築可能である点を生かし、アプリケーションの実行中に回路構成を動的に最適化していくような応用も考えられる。

2. リアルタイム音響解析システム

本研究では、Altera社の開発ツール Quartus II 5.1 Web Edition (www.altera.com) を用いて Verilog-HDL での回路記述を行った後、論理合成、動作シミュレーションを実施した。ターゲットとしたFPGAはAltera社のCyclone EP1C6T144C8であり、PCIバス(66MHz)との接続を前提とした比較的高速な回路システム向けのチップであり、簡単な16ビットマイクロプロセッサを論理合成可能なゲート規模となっている。FPGAチップについては、市販の評価用回路基板に実装されている状態にて使用し、音響信号の入力(出力)や、処理状況を表示するための回路基板を追加している。

図1は、製作を行ったリアルタイム音響解析システムのブロック構成図であり、前述したFPGA評価基板を中心に構成されている。図2は、全体の写真であり、FPGA評価基板に対し、アナログ音響信号データを入出力するための小型のマイクロコントローラ (Microchip Technology社、8ビットCPU、PIC16LF876) 基板および、音声の入出力を行うマイクロフォンおよびスピーカ (パワーアンプを含む) にて構成されている。

処理に用いる音響信号は、マイクロフォンから入力された音響信号を、PIC16LF876に内蔵されているA/Dコンバータにてデジタル化してFPGAに送られる。また、マイクロコントローラ基板上に置かれた256Kbit容量のフラッシュEEPROMに記録されたデジタルデータを音響信号として用いることも可能である。A/D変換並びにD/A変換におけるサンプリング周波数は、主として音声帯域をカバーする値として8kHzとし、分解能は8bitとした。そして、変換されたデジタルデータはサンプリングクロック信号と共にFPGAへ受け渡し、FPGA内に合成された回路モジュールにより情報処理を行う。本研究によるシステムでは、最終的には音響をリアルタイムにて認識し、その結果をシノボルとして出力することを考えているが、アルゴリズムの検討段階において処理結果をリアルタイムにて評価する目的で、FPGAにより処理されたデジタル音響データをD/Aコンバータによってアナログデータに変換し、パワーアンプを通じてスピーカから出力することができる。尚、D/Aコンバータ(8ビット分解能)の直後には、8次のデジタルローパスフィルタを備えており、カットオフ周波数(可変)を4kHzに設定している。

†東洋大学工学部コンピュータシヨナル工学科

Department of Computational Science & Engineering,
Toyo University

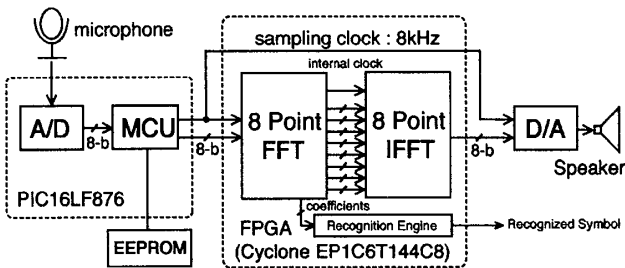


図1 音響解析システムのブロック図

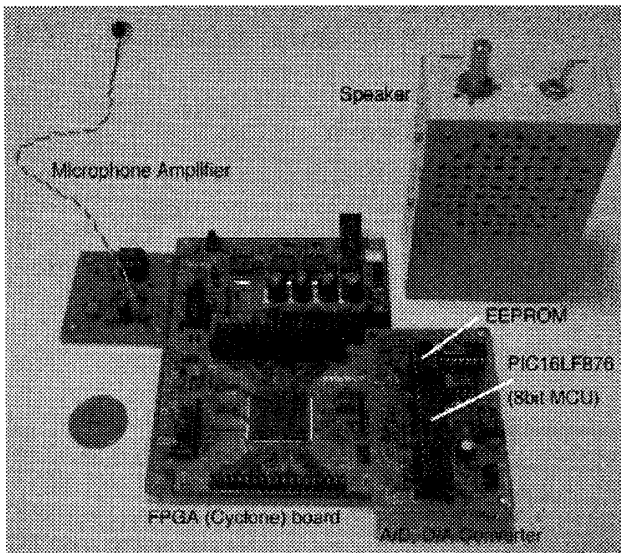


図2 音響解析システム回路基板及び周辺デバイス

3. FPGA上に合成した情報処理回路システム

今回の研究では、音響解析で一般的に用いられている手法であるFFT (Fast Fourier Transform) アルゴリズムによる周波数解析器をFPGA上に回路実装した。なお、FPGAに合成可能な規模という観点から、まずはFFTのデータ点数は8点とし、周波数ドメインでのパラメータ解析から、入力された音響をリアルタイムにクラス分けできるようなアルゴリズムの開発に供することを考えた。ここで、リアルタイムでの認識処理では、将来的にはニューラルネットワーク的な処理パラメータ学習機構をFPGA上に展開し、外部よりリアルタイムで教師信号を印可することで、ソフトウェア処理では時間のかかる学習(自己組織化)過程を高速かつ簡便に行うことを考えている。例えば認識のターゲットとなる音響(特定の騒音等)が聞こえているときには、利用者がFPGAボードに取り付けられた回路からボタン入力を行うことで、ボタンが押された時と、そうではない時とで、識別結果出力から誤差逆伝搬法による学習を行い、デジタルニューロンの結合強度を動的に変更する。この結果、任意の特徴的な音響に対する識別システムを動的に構築する応用を考えている。尚、実装したFFTモジュールはサンプリング周期(125マイクロ秒)毎に8bit音響データを取得し、FPGA上で別途生成した高速クロックをサンプリングクロックに同期させる形で、パイプライン処理による高速処理を図っている。また、研究に使用したFPGAチップでは、浮動小数点演算器を搭載することは困

難であり、更には本研究による回路システムをウェアラブルコンピュータのような低消費電力の要求が厳しいアプリケーションにて使用することを想定していることから、計算処理は計算ビット長を最適化した固定小数点演算にて実装している。その結果、FFT後にそのまま逆FFT(IFFT)を行った際の誤差は1LSB程度に収まっている。尚、FPGAボード上には、回路の動作状況を確認するための表示回路を装着することで、リアルタイムにて情報処理の状態を確認することができる。尚、使用したFPGAでは、FFT、IFFTを実装した際のゲート使用率は、Altera社のFPGAの規模を表記する際に使用されているLE(Logic Element)数ベースで2400程度であり、使用したFPGAの最大LE数(5980)に対し約40%であった。

4. 実験結果と今後の展望

本研究では、システム全体の音響特性をチェックするため、周波数帯域の広いサンプル音(例えばホワイトノイズ)をサンプリングしたデータをマイクロコントローラ基板上のフラッシュEEPROMに記録し、音響データをサンプリングクロック毎に読み出すことで、FPGAに入力した。FPGA基板上に装着した表示回路基板を用い、スイッチにて処理の有無をリアルタイムで切り替えることにより(スルーの場合はFFT等の処理を行わずに、サンプリングデータをD/Aコンバータへと出力する)音響伝達特性の確認を行った。その結果、FPGA回路基板より発生するノイズに起因すると見られる音質の低下が若干見られたが、ほぼ原音に近い出力音を確認した。続いて、FPGA上の回路にて生成される周波数ドメインでのデータを一定のルール、例えば高周波成分のみの振幅(実部、虚部)を減衰させることにより、周波数イコライザとしての動作を確認した。

FFT回路部分については、データ点数が8点の場合、3段のバタフライ演算回路にて実装しているが、各段の間にパイプラインラッチ回路を入れることで、演算スループットの増大を図っている。このため、今回使用したFPGA(Cycloneシリーズ)が有するクロック周波数上限(典型的には66MHz)に対し、大きな処理時間余裕が生じていることから、低消費電力化を図る際には、例えばクロック周波数を数100KHz程度にまで下げるといった措置をとることを考えている。

現時点においては、FFTにおけるデータ点数が8点と少ないことや、FPGAにおけるゲート規模がかなり大きくなってしまいうことから、現実的な音響認識処理を確認するには至っていないが、今後はFFT処理回路の一部を回路ループにより実装し、リアルタイム音響認識処理に必要なスループットを維持しつつ、アプリケーションとして有効な認識処理方式の開発を進めていく。また、同時にパイプライン化されたニューラルネットワーク回路を実装することで、低い動作周波数にて駆動できるシステムの構築を目指していく予定である。

参考文献

- [1] Mathias Staeger et al. "SoundButton: Design of a Low Power Wearable Audio Classification System," Proceedings of International Symposium on Wearable Computers (ISWC) 2003, pp.12-17, 2003 (New York).