

論理 LSI 用ディレイ・テスト生成システム†

林 照 峯^{††} 島 山 一 実^{††} 森 脇 郁^{†††}

スキャン構造を持つ論理 LSI を対象とするディレイ・テスト生成システムを開発した。本論文では、ディレイ・テスト生成においては縮退故障に対する組合せ回路モデルは不相当であることを示し新しい回路モデルを与える。さらに、14 値を用いた経路活性化法に基づくディレイ・テスト生成手法を示す。本手法の特徴は活性化臨界点 SCP (Sensitization Critical Point) という新しい概念を導入していること、テストの型をセットアップ型とホールド型に分類していることにあり、これによってデータ系パスだけでなくクロック系パス上のディレイ故障に対してもディレイ・テスト生成を可能にしている点にある。1500 ゲート級の LSI 4 ケースに対する実験により、ディレイ故障検出率 95.9%、CPU タイム 3.2 分 (HITAC-M 200 H 使用) が得られ、本手法が実用的な能力を持つことを確認した。

1. ま え が き

論理 LSI の設計仕様に誤りがない場合でも、製造された LSI チップはゲートや配線の遅延時間不良によって正しいタイミング特性を持たないことがある。ディレイ・テスト生成システムはこのような製造不良を検出するためのテストを生成する設計自動化システムである。

最近の LSI の大規模化と多品種化に伴って検査のためのテスト・データ作成に要するマンパワーとコストは著しく増加する傾向にある。このため、論理設計の段階から検査の容易化について考慮しておく必要が生じてきた。スキャン設計方式(たとえば文献 1)~4))は順序回路の縮退故障に対するテスト生成の問題を組合せ回路のそれに置きかえて解くことを可能にするため検査の容易化に有効であり、広く用いられている。

本論文では、スキャン設計方式で設計された論理回路(スキャン構造型論理回路と呼ぶことにする)を対象とする新たなディレイ・テスト生成手法を提案する。本文ではまず、スキャン構造型論理回路においては縮退故障に対するテスト生成用の組合せ回路モデルはディレイ・テスト生成用の回路モデルとして適当でないことを簡単な例で示し、新たな回路モデルを与える。次に、この回路モデルに対して 14 値を用いた経路活性化法に基づくディレイ・テスト生成手法を与える。従来のディレイ・テスト生成手法としては、縮退故障に対するテストを利用して作成する方法⁵⁾と、経路活性化法に基づいて生成する方法^{6),7)}があるが、テスト

生成能力の面では一般に後者の方が優れていると考えられる。しかし、後者の方法であっても従来の方法はデータ系パスのディレイ故障のみを対象としており、クロック系パスのディレイ故障まで扱ってはいなかった。これに対して、本手法では活性化臨界点と呼ぶ新しい概念を導入し、テストの型をセットアップ型とホールド型に分類することによって、クロック系パスのディレイ・テストを可能にしている。

最後に、ディレイ・テスト生成システムの構成と約 1500 ゲート規模の LSI に対する性能評価結果を述べ、本システムが実用的な能力を持つことを示す。

2. ディレイ・テストと回路モデル

一つのディレイ・テストはテストパターンとテスト付加情報(極性を含む活性化パス情報とタイミング情報)から成るとみなすことができる。テストパターンは外部入力ピンに与える信号パターンの系列として表現され、その中には必ず信号変化を伴うパターンが存在する。スキャン構造型論理回路の場合には、テストパターンはラッチの状態をイニシャライズするためのスキャン・イン・パターン、信号変化を伝播させるための活性化パターン、信号変化の伝播先がラッチである場合のスキャン・アウト・パターンから成る。このうち、スキャン・イン/アウトのパターンはラッチのスキャン位置と要求されるラッチの状態から簡単に求めることができるので、ディレイ・テスト生成手法においては活性化パターンの生成のみを考えればよい。

活性化パスは信号変化を伝播するパスのことであり、分岐と再収れんを含まない一次元活性化パスと、これを含む二次元活性化パスに分類できる。二次元活性化パスの場合には、ディレイ不良の有無によって遅延時間的にどの分岐がクリティカルとなるかが変わる

† A Delay Test Generator for Logic LSIs by TERUMINE HAYASHI, KAZUMI HATAYAMA (Hitachi Research Laboratory, Hitachi, Ltd.) and KAORU MORIWAKI (Kanagawa Works, Hitachi, Ltd.).

†† (株)日立製作所日立研究所
††† (株)日立製作所神奈川工場

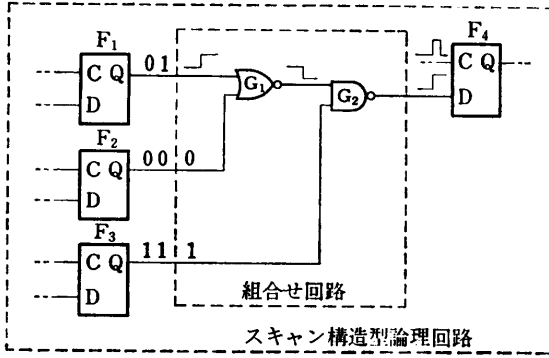


図1 組合せ回路モデルにおける問題点の例
Fig. 1 Example of problems in combinational circuit model.

可能性があるため、活性化パス上に遅延不良があっても必ずしも検出できないことがある。したがって、ここでは一次元活性化パスのみを扱うことにする。

スキャン構造型論理回路においては、縮退故障に対するテスト生成用の回路モデルを組合せ回路とすることができる。しかし、遅レイ・テスト生成用の回路モデルを組合せ回路とすることはできない。その理由を図1の例で簡単に説明する。図1の回路はスキャン設計方式の一つであるLSSD (Level Sensitive Scan Design) 方式¹⁾で設計された回路であるものとし、ラッチ F₁, F₂, F₃, F₄ はこの順番でスキャン信号がシフトされる構造になっているものとする (ただし、図からはスキャン回路部分省略)。いま、ラッチ F₁ の出力からラッチ F₄ に至るパスを立上り信号変化で活性化するパターン v を、ゲート G₁ と G₂ を含む組合せ回路で求めると、 $v=(\lceil, 0, 1)$ が求まる。ここで、 v の各要素はそれぞれラッチ F₁, F₂, F₃ の出力信号値を表しており、 \lceil と \lfloor はそれぞれ 0→1 と 1→0 の信号変化を表している。 v は時間的にあい続く二つのベクトル $v_1=(0, 0, 1)$ と $v_2=(1, 0, 1)$ に分解することができる。しかし、 v_1 をスキャン動作により1回シフトしても v_2 を得ることはできない。したがって、組合せ回路モデルは遅レイ・テスト生成には不適當であることがわかる。

本論文ではこの問題を解決する遅レイ・テスト生成用の新しい回路モデルを与える。その回路モデルはラッチまたは外部ピンではさまれた組合せ回路 (対象組合せ回路と呼ぶ) のほかに、その入力点と出力点にあるラッチ (これらをそれぞれ入力ラッチ、出力ラッチと呼ぶ) と、入力ラッチの入力信号を供給する組合せ回路 (前段組合せ回路と呼ぶ) から成る。図2は図1に対応する遅レイ・テスト生成用の回路モデルの

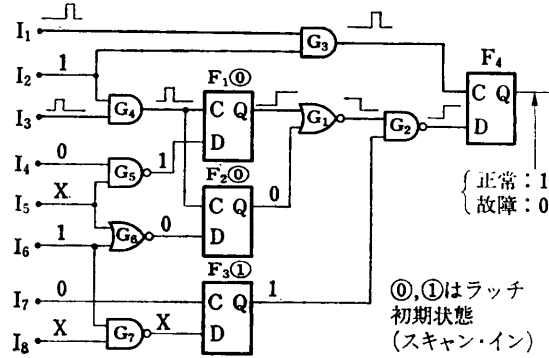


図2 遅レイ・テスト生成用回路モデルとテストパターン
Fig. 2 Our circuit model for delay test generation and test pattern.

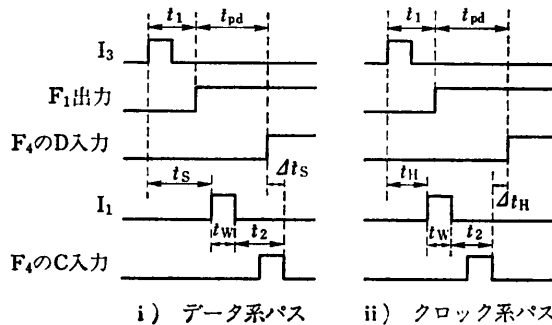


図3 遅レイ・テストのタイムチャート
Fig. 3 Time chart of delay test.

構成例を示している。この回路モデルを用いれば、先に述べたベクトル v_2 は前段組合せ回路から実現できるので実行可能なテストパターンを得ることができる。図2の中に、ラッチ F₁ から F₄ に至るデータパスを活性化するパターンを示した。ここで、I₃ の \lceil は第1相正パルス、I₁ の \lfloor は第2相正パルスを表している。これら二つのパルスを適正なタイミングで印加することにより活性化パスの遅延時間が大となる不良を検出することができる。いま、I₃ のパルスの立上り変化から I₁ のパルスの立上り変化までの時間を t_s とすると、図3の i) のタイムチャートから、

$$t_s = (t_{pd} + t_1) - (t_2 + t_w) + \Delta t_s \quad (1)$$

と決めればよいことがわかる。ここで、 t_{pd} はラッチ F₁ から F₄ に至るパスの遅延時間を、 t_1 と t_2 はそれぞれ I₃ から F₁、I₁ から F₄ に至るクロック・パスの遅延時間を表す。また、 t_w はクロック・パルス幅を、 Δt_s はラッチ F₄ のセットアップ・タイムや製造ばらつきやテスト精度に依存する余裕時間を表す。

また、図2のパターンは I_1 と I_3 に印加するパルスのタイミングを変えるだけで、 I_1 から F_4 に至るクロック・パスの遅延時間が大となる不良の検出にも用いることができる。この場合の時間 t_H は、図3のii)により、

$$t_H = (t_{pd} + t_1) - (t_2 + t_w) - \Delta t_H \quad (2)$$

で与えられる。ここで、 Δt_H は Δt_s と同様の意味を持っているが、ラッチ F_4 のセットアップ・タイムではなくホールド・タイムに関係する点が異なる。

ここで述べた方法は、ラッチのクロック入力ピンとデータ入力ピンにおける信号変化の相対的な時間差によって遅延時間の不良を検出するという考え方に基づいている。したがって、単一故障という仮定を置けば、同様の方法で遅延時間が小となる不良の検出も可能である。

3. ディレイ・テスト生成手法

本章では前章で述べた回路モデルに対するディレイ・テスト生成手法を述べる。

3.1 故障モデル

ディレイ不良には遅延時間が大になる不良と小になる不良とがある。このうち、実用上問題となるのは主に前者の不良である。また、前章で述べたようにデータ・パスとクロック・パスの相対的な遅延時間差で検査を行うため、後者の不良のかなりの部分を前者の不良に対するテストで検出することができる。したがって、ここでは前者の不良のみを扱うことにする。

故障仮定の方法としては、パスに対して故障を仮定する方法と、素子（または素子のピン）に対して故障を仮定する方法とがある。前者はクリティカル・パスの遅延時間不良をそのまま仮定故障とすることができるという長所を持っている。しかし、一般に正常時と故障時とでクリティカル・パスが異なる可能性があるため、実質的に全パスに対する故障仮定が必要となる。この場合、故障の数は素子数のべき乗に比例して増大するため、全故障をそのまま扱うのは実用的ではない。扱う故障の数を素子数に比例する程度にまで少なくする方法として、すべての一次独立なパスに対してのみディレイ・テスト生成を行う方法⁷⁾が考案されている。この方法は、ディレイ・テスト生成の負担を軽くしているが、活性化パスに対する実遅延時間をテストで精度よく測定しなければならないため、テストの負担が大きいのが欠点である。

一方、後者の方法は遅延時間が非常に大となる不良

の検出には有効であり、故障の数が素子数に比例するという点で実用的である。しかし、必ずしもクリティカル・パスを活性化できるとは限らないのが欠点である。

以上述べたように両者の方法には一長一短がある。そこで、ここでは素子に対して故障仮定する方法を基本とし、これに人手指定されたクリティカル・パスに対する故障を加えることによって、実用的な故障モデルを構成した。

(1) ゲートのディレイ故障

この故障はゲート入力ピンの信号変化がゲート出力ピンに現れるまでの遅延時間が大となる不良をモデル化したものである。配線の遅延時間は等価的にゲートの遅延時間の中に入れて考えることができるので、配線の遅延時間不良もこの故障モデルで扱うことができる。一般に、各入力ピンごとにゲートの遅延時間は異なるので、この故障はゲートの入力ピンに対して仮定される。

(2) ラッチのディレイ故障

この故障はラッチのセットアップ・タイムとホールド・タイムの不良をモデル化したものであり、各ラッチに対してセットアップ故障とホールド故障を仮定する。この故障はゲートのディレイ故障に対するテストで同時検出されることが多いが、ラッチのソースにあるゲートが複数個のラッチに信号を供給するような回路構成の場合には同時検出されないこともある。したがってこの故障モデルが必要である。

(3) パスのディレイ故障

この故障は一次元データ・パスの遅延時間不良をモデル化したものであり、主にクリティカルなパスの遅延特性を検査するために用いる。ラッチを含まない一次元データ・パスが人手指定されたときのみ、この故障を仮定する。

以上述べた故障はすべて信号変化が立上りか立下りかの極性情報を伴う。また、同時には1か所しか故障しない単一故障のみを扱う。

LSI 全体回路に対してはスキャン回路部分を除くすべてのゲートとラッチに対して(1)と(2)が仮定され、必要に応じて(3)が仮定される。これを受けて、回路モデル上の故障についてディレイ・テスト生成を行う。ただし、回路モデル上のすべての故障についてテスト生成を行うとは限らない。なぜなら、前段組合せ回路のデータ・パス上の故障などそのモデルではテスト生成できない故障が存在するからである（このよ

うな故障に対しては別の対象組合せ回路を選んだ時の回路モデルのどれかで必ず一度はテスト生成を行う)。

3.2 テスト生成用論理値

本手法で用いる 14 個の論理値の集合 V を式 (3) で与える。

$$V = \{0, 1, X, U, D, \bar{D}, P_1, \bar{P}_1, P_2, \bar{P}_2, P_2', \bar{P}_2', P_2'', \bar{P}_2''\} \quad (3)$$

各論理値の意味を表 1 に示す。このうち、 P_1, \bar{P}_1 は入力ラッチのクロック・パス上のみ現れ、 $P_2, \bar{P}_2, P_2', \bar{P}_2', P_2'', \bar{P}_2''$ は出力ラッチのクロック・パス上のみ現れる。

各論理値間のインタセクション \cap を式 (4), (5) で定義する。

$$a \cap X = X \cap a = a \cap a = a \text{ for } a \in V \quad (4)$$

$$a \cap b = b \cap a = \phi \text{ for } a \in V - \{X\}, \\ b \in V - \{X\} - \{a\} \quad (5)$$

ここで、 ϕ はインタセクションが空 (矛盾) であることを表す。

式 (4), (5) で示すインタセクション則は 0, 1, X から成る 3 値論理のインタセクション則と同じ形であり単純である。したがって、論理値の種類が多岐でもそれほど処理が複雑にならなくてすむ。

3.3 活性化臨界点 SCP とテストの型

論理値 P_2 または \bar{P}_2 を含む任意のディレイ・テストに対して、活性化臨界点 SCP (Sensitization Critical Point) とテストの型を以下のように定義する。SCP とはその入力に P_2 (または \bar{P}_2) と D (または \bar{D}) が現れるゲートまたは出力ラッチのことである。すなわち、SCP はその入力側では故障の有無によってタイミングが違っただけであるが、その出力側では故障の有無によって異なる動作をするような素子である。SCP は多くの場合出力ラッチであるが、出力ラッチのクロック・パス上のゲートである場合もある。

SCP の入力ピンにおいて、正常時には P_2 (または \bar{P}_2) の立下り信号変化 (\bar{P}_2 の場合は立上り信号変化) が D (または \bar{D}) の信号変化より後でなければならぬディレイ・テストをセットアップ型と呼び、この逆の場合をホールド型と呼ぶ。たとえば、図 3 の i) はセットアップ型であり、ii) はホールド型である。

3.4 基本キューブ

本手法は経路活性化法に基づいており、縮退故障に対するテスト生成手法である D アルゴリズム⁸⁾と同様に基本キューブを用いる。ただし、縮退故障に対する

表 1 論理値の意味
Table 1 Meaning of logic values.

論理値	意味
0	0 レベル (Low)
1	1 レベル (High)
X	Don't Care
U	不明 (ハザード、レースなど)
D	0 から 1 への信号変化 ($0\bar{1}$)
\bar{D}	1 から 0 への信号変化 ($1\bar{0}$)
P_1	第 1 相正パルス ($\underline{\square}$)
\bar{P}_1	第 1 相負パルス ($\overline{\square}$)
P_2	第 2 相正パルス ($\underline{\square}$)
\bar{P}_2	第 2 相負パルス ($\overline{\square}$)
P_2'	正常時 P_2 , 故障時 0
\bar{P}_2'	正常時 \bar{P}_2 , 故障時 1
P_2''	正常時 0, 故障時 P_2
\bar{P}_2''	正常時 1, 故障時 \bar{P}_2

テスト生成の場合と異なり、故障仮定点の入力側にも D または \bar{D} があらわれることがあるので基本キューブは基本 D キューブと特異キューブに分類されない。また、基本キューブはテストの型を属性として持つことができる。SCP である素子に対しては、ディレイ・テストのテストの型と同じテストの型を持つ基本キューブのみを適用する。

表 2 に 2 入力 AND ゲートと D ラッチの基本キューブを示す。

3.5 ディレイ・テスト生成手続き

本節ではまず経路活性化法に基づくディレイ・テスト生成手続きを述べ、その後でいくつかの型の故障に対する手続きの適用方法を述べる。

ある一つのディレイ故障に対するテスト生成手続きは次の三つの基本操作から成る。

故障操作: すべての信号線に対して初期論理値 X をセットし、その後で故障に関連する部分に故障論理値 (通常は D または \bar{D}) を与える。

前方操作: 故障論理値を持ち、かつ、外部出力点 (外部出力ピンまたは出力ラッチ) に最も近い素子に対して、その出力分岐先素子の中から一つの素子を選ぶ。選んだ素子への故障伝播が可能な基本キューブを一つ選び、これを適用して故障を伝播させる。このとき、その素子の入力に P_2 (または \bar{P}_2) と D (または \bar{D}) の両方を必要とする場合には、その素子を SCP とし、テストの型をセットアップ型かホールド型かに決めてから基本キューブを適用する。

表 2 基本キューブの例
Table 2 Examples of primitive cubes.

i) Two input AND gate

入 力		出 力		テス トの 型	使 用 条 件
I_1	I_2				
0	X	0		—	後 方 操 作
X	0	0			
1	1	1			
a	1	a		—	後方操作と前方操作 (SCP 除く) $a \in V - \{0, 1, X, U\}$
1	a	a			
P_1	D	P_1'		set up	前方操作 (SCP のみ)
D	P_1	P_1'			
P_1	\bar{D}	P_1''			
\bar{D}	P_1	P_1''			
P_1	D	P_1''		hold	前方操作 (SCP のみ) ただし、適用優先度低い。
D	P_1	P_1''			
P_1	\bar{D}	P_1'			
\bar{D}	P_1	P_1'			

ii) D-latch

入 力		出 力		初 期 状 態	テス トの 型	使 用 条 件
C	D	正 常	故 障			
0	X	0		0	—	入力ラッチの後方 操作
X	0	0		0		
0	X	1		1		
X	1	1		1		
P_1	1	D		0	—	入力ラッチの後方 操作と前方操作
P_1	0	D		1		
P_1	D	1	0	X	set up	SCP 出力ラッチの 前方操作
P_1	\bar{D}	0	1	X		
P_1	D	0	1	X	hold	SCP 出力ラッチの 前方操作
P_1	\bar{D}	1	0	X		
P_1'	1	1	0	0	—	SCP でない出力ラ ッチの前方操作
P_1'	0	0	1	1		
P_1''	1	0	1	0		
P_1''	0	1	0	1		

後方操作：新たに論理値が 0, 1, D, \bar{D} , P_1 , \bar{P}_1 , P_2 , \bar{P}_2 のどれかに決まった素子に対して、適用可能な基本キューブの一つを選んで適用し、その入力論理値を決める。これをこのような素子がなくなるまで繰り返す。

これらの操作のうち、故障操作は最初に一度行われるだけであるが、前方操作は外部出力点に故障が伝播されるまで繰り返す必要がある。前方操作と後方操作の制御方法としては、外部出力点までの前方操作を優先する方法と、Dアルゴリズムと同様に後方操作を優先する方法とがある。ここでは一次元活性化のみを行うという立場から、前者の方法を採用している。また、後方操作は基本的には対象組合せ回路、入力ラッチ、前段組合せ回路の順で外部出力点に近い素子から行う。ここで、もとの回路にラッチ2段を含むフィードバック・ループがある場合などにおいては、モデル化回路の対象組合せ回路部分と前段組合せ回路部分の両方に同一の素子が現れることがある。したがって、前段組合せ回路に対する後方操作において、このような素子の論理値がX, U以外に決まる場合には、対象組合せ回路に戻って後方操作を続行する。

さらに、本手法では含意操作を十分に行うことによって矛盾を早期に発見できるようにしている。もし、前方操作や後方操作で矛盾が生じたときは、故障を伝播させる素子や基本キューブの選択をやり直し(バックトラックという)で手続きを続行する。したがって、これらの選び方がテスト生成能力に大きな影響を与える。バックトラックを少なくするためには、可制御性と可観測性のテストビリティ・メジャー⁹⁾を用いる方法が有効であり、ここでは出力分岐を考慮したメジャー(コスト関数)¹⁰⁾をディレイ・テスト用に算法変更を行って用いている。

以上で各故障に共通なディレイ・テスト生成手続きを述べた。以下では故障の種類と位置で故障をいくつかの型に分類し、各型の故障に対してディレイ・テスト生成手続きの適用方法を述べる。まず、次の仮定を置く。スキャン構造型論理回路は当然そのスキャン設計方式に応じたスキャン設計規則(たとえば文献 11))を満足しており、クロック外部入力ピンとそのクロック極性は明確になっていると考えられる。いま、この情報からクロック・パス上の信号線とそのクロック極性があらかじめ求められているものとする。

(1) 対象組合せ回路上でかつクロック・パス上でないゲートの故障。

クロック・パス上のゲートに故障伝播されない場合(たとえば、図2のゲート G_1 のディレイ故障)には、故障論理値をD, \bar{D} として前方操作を行う。もし、出力ラッチへの故障伝播が必要となったときは、SCPをその出力ラッチとし、テストの型をセットアップ型と

する。

クロック・パス上のゲートに故障伝播される場合(図4に例を示す)には、最初に故障伝播を行うクロック・パス上のゲート(図4の場合ゲート G_2)をSCPとし、テストの型をセットアップ型とする。故障論理値はSCPの入力側では D, \bar{D} であり、SCPの出力側では $P_2', \bar{P}_2', P_2'', \bar{P}_2''$ である。

(2) 出力ラッチのクロック・パス上のゲートの故障。

クロックが ON→OFF となる極性の故障のみを扱う。故障論理値を P_2, \bar{P}_2 とし、出力ラッチまで故障を伝播する。故障伝播を行う出力ラッチをSCPとし、テストの型をホールド型とする。もし、この方法でテストが生成できない場合に限って、SCPをクロック・パス上のゲートとすることができる。この場合にもテストの型をホールド型とする。

(3) 出力ラッチの故障。

故障操作において、そのデータ入力ピンに故障の極性に応じて D または \bar{D} をセットし、クロック入力ピンにラッチのクロック極性に応じて P_2 または \bar{P}_2 をセットする。故障がセットアップ故障のとき、故障論理値を D, \bar{D} とし、テストの型をセットアップ型とする。また、故障がホールド故障のとき、故障論理値を P_2, \bar{P}_2 とし、テストの型をホールド型とする。

(4) 入力ラッチのクロック・パス上のゲートの故障。

クロックが OFF→ON となる極性の故障のみを扱う。故障伝播が入力ラッチに対して行われるまでは、故障論理値は P_1, \bar{P}_1 であり、入力ラッチの出力側では D, \bar{D} である。入力ラッチに故障伝播された後は(1)と同様の処理となる。

(5) パスの故障。

人手指定されるのはパス上の一部のゲートとその極性である。故障操作においては指定されたゲートに対

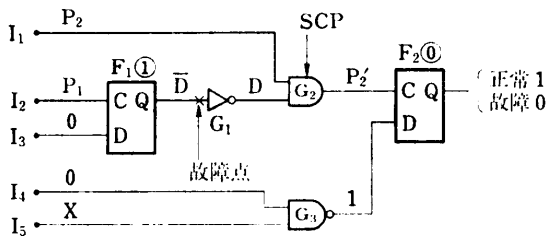


図4 クロック制御パス上の故障に対するディレイ・テスト生成例

Fig. 4 Example of delay test generation for gate fault on clock control path.

し、その極性に応じて D または \bar{D} をセットする。前方操作においては、指定されたゲートの中で最も入力側にあるゲートを起点とし、指定されたすべてのゲートを通るように故障伝播が行われる。その他は(1)と同様の処理となる。

(6) その他の故障。

入力ラッチのデータ・パス上のゲートの故障など、(1)から(5)の記述に含まれない故障についてはテスト生成を行わない。

4. ディレイ・テスト生成システムの構成

論理LSI用に開発したディレイ・テスト生成システムの構成を図5に示す。本システムは前処理部分、ディレイ・テスト生成部分、テストパターン編集部分の三つの部分から成っている。前処理部分はLSIの論理回路情報を入力とし論理セル・ライブラリを参照してディレイ・テスト生成に必要なテーブル類を作成する。ディレイ・テスト生成部分はディレイ・テスト用のモデル化回路を作成するとともに、本文で述べた手法を用いて自動的にテストパターン(活性化パターンのみ)を生成する。また、生成されたテストパターンと遅延時間計算に必要なパスの情報をテストパターン・ファイルに出力する。テストパターン編集部分はテストパターン・ファイルとスキャン情報ファイルと遅延時間情報ファイルの内容からLSIのディレイ・テストを作成するとともに、これをテストでの検査に利用しやすい形式に変換してテスト・データ・ファイルを作成する。

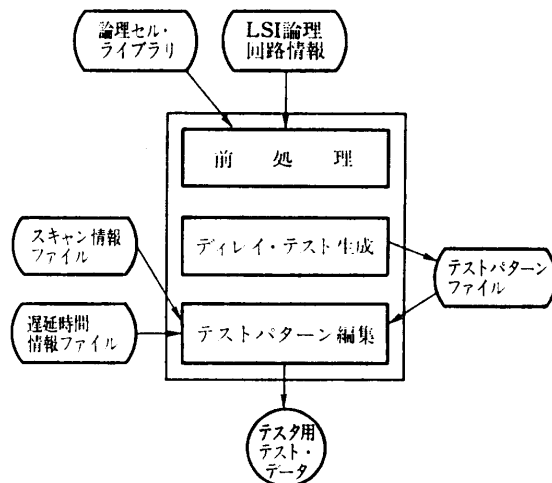


図5 ディレイ・テスト生成システムの構成

Fig. 5 Construction of delay test generator.

表 3 ディレイ・テスト生成実験結果
Table 3 Experimental results of delay test generation.

No.	ゲート数	ラッチ数	故障検出率 (%)	CPU タイム (分)	テスト数
1	1430	81	99.9	2.0	2126
2	1377	59	89.3	3.5	1284
3	1477	77	95.3	1.8	1430
4	2394	99	99.2	5.6	1898
平均	1670	79	95.9	3.2	1685

5. 実験結果

表 3 に 1500 ゲート級の論理 LSI 4 ケースに対する評価実験結果を示す。実験の結果、平均でディレイ故障検出率 95.9%、テスト生成 CPU タイム 3.2 分 (HITAC-M200H 使用) が得られ、本システムが実用的にほぼ十分な性能を持つことを確認した。また、製造された LSI チップに対するテストでの評価により、本システムで生成したディレイ・テストが実際のディレイ不良検出に有効であることも確認している。

6. むすび

スキャン構造を持つ論理 LSI を対象とするディレイ・テスト生成システムについて述べた。まず、ディレイ・テスト用の新しい回路モデルを与え、経路活性化法に基づくディレイ・テスト生成手法を示した。特に、データ系パスだけでなくクロック系パス上のディレイ故障に対してもディレイ・テストを生成できるように手法を構成した。さらに、ディレイ・テスト生成システムの性能評価実験により本手法の有効性を確認した。

残された課題としては、さらに高速な手法を追求すること、二次元活性化パスの扱い方を工夫しさらに故障検出能力を向上させることなどがあげられる。

参 考 文 献

- 1) Eichelberger, E. B. and Williams, T. W.: A Logic Design Structure for LSI Testability, *Proc. 14th DA Conf.*, pp. 462-468 (1977).
- 2) Funatsu, S., Wakatsuki, N. and Arima, T.: Test Generation Systems in Japan, *Proc. 12th DA Conf.*, pp. 114-122 (1975).
- 3) Ando, H.: Testing VLSI with Random Access Scan, *Dig. COMPCON 1980*, pp. 50-52 (1980).
- 4) Stewart, J. H.: Application of Scan/Set for Error Detection and Diagnostics, *Dig. 1978*

Semiconductor Test Conf., pp. 152-158 (1978).

- 5) Liaw, C., Su, S. Y. H. and Malaiya, Y. K.: Test Generation for Delay Faults Using Stuck-at-Fault Test Set, *Dig. 1980 Test Conf.*, pp. 167-175 (1980).
- 6) Hsieh, E. P. et al.: Delay Test Generation, *Proc. 14th DA Conf.*, pp. 486-491 (1977).
- 7) Lesser, J. D. and Shedletsky, J. J.: An Experimental Delay Test Generator for LSI Logic, *IEEE Trans. Comput.*, Vol. C-29, No. 3, pp. 235-248 (1980).
- 8) Roth, J. P.: Diagnosis of Automata Failures: A Calculus and a Method, *IBM J. Res. Dev.*, Vol. 10, pp. 278-291 (1966).
- 9) Goldstein, L. H.: Controllability/Observability Analysis of Digital Circuits, *IEEE Trans. Circ. Syst.*, Vol. CAS-26, No. 9, pp. 685-693 (1979).
- 10) 林, 五嶋, 岡: 順序回路に対するテスト発生の一手法, 電子通信学会論文誌 D, Vol. J64-D, No. 9, pp. 869-876 (1981).
- 11) Godoy, H. C., Franklin, G. B. and Bottorff, P. S.: Automatic Checking of Logic Design Structures for Compliance with Testability Ground Rules, *Proc. 14th DA Conf.*, pp. 469-478 (1977).

(昭和 60 年 8 月 7 日受付)

(昭和 61 年 4 月 17 日採録)

林 照峯 (正会員)

昭和 22 年生。昭和 44 年名古屋大学工学部電気学科卒業。昭和 46 年同大学院工学研究科修士課程修了。

同年 (株) 日立製作所入社。以来、LSI、プリント板に対する設計自動化システムの研究開発に従事。現在、同社日立研究所第 3 部主任研究員。電子通信学会会員。

山 一実 (正会員)

昭和 28 年生。昭和 51 年京都大学工学部数理工学科卒業。昭和 57 年同大学院博士課程修了。工学博士。

昭和 57 年 4 月 (株) 日立製作所に入社。以来、同社日立研究所にて、論理回路に対するテストデータの設計自動化の研究に従事。IEEE, 日本オペレーションズリサーチ学会各会員。

森 脇 郁 (正会員)

昭和 31 年生。昭和 51 年松江高専電気工学科卒業。同年 4 月 (株) 日立製作所入社。現在、同社神奈川工場 DA 設計部にて、社内診断 DA システムの開発に従事。