

C-019

## 不均一ビット幅 RTL データパスに対する組み込み自己テスト法

## A Built-In Self Testing Method for RTL Data Paths with Various bit Widths

青山 瑠美†  
Rumi Aoyama山口 賢一‡  
Kenichi Yamaguchi

## 1. まえがき

VLSI の故障検査(テスト)に必要な費用の低減を目的として、組み込み自己テスト(BIST)が注目されている。BIST では、VLSI に組み込んだランダムパターンを発生する回路から、ランダムパターンを VLSI の機能部分に印加してテストを行う(ランダムパターンテスト)。

著者らは、レジスタ転送レベル(RTL)で設計されたデータパスに対し高品質の BIST を実現する階層 BIST 手法[1]を提案している。しかしながら、この手法には、全てのデータ信号線のビット幅が均一なデータパスのみが対象という制約があり、実用的な回路に適用できない。従って本稿では、この制約を緩和し、任意のビット幅の信号線を持つ RTL データパス(以後、単にデータパス)を対象とする階層 BIST に基づくテスト手法を提案する。提案手法は、対象データパスに対し、階層 BIST に基づくテストを容易とするためにテスト容易化設計(DFT)を行う。一般的に、DFT によって回路面積は増加するが、提案手法では、ランダムパターンテストを行う BIST の特性を利用することによって回路の面積増加を抑制する。

## 2. 提案手法

提案手法は、RTL 回路におけるデータパスを対象としている。まず、本稿が対象とするデータパスを定義し、データパスの階層 BIST に基づくテスト手法を説明する。そして、データパスに対してそのテスト手法を適用可能とするために行う DFT において、ランダムパターンテストの特性を利用して回路の面積増加を抑制するアイデアを紹介する。

## 2.1 RTL データパス

RTL 回路は、データパスと制御部から成る。データパスは、回路要素と信号線で構成される。回路要素には、外部入力、外部出力、演算モジュール、観測モジュール、マルチプレクサ(MUX)、レジスタ等が含まれ、それぞれ入出力端子や制御端子、状態端子を持つ。外部入力は 1 個の入出力端子のみを持つ回路要素とし、外部出力は 1 個の入出力端子のみを持つ回路要素とする。信号線はデータ信号線と制御信号線、状態信号線に分類される。データ信号線は任意のビット幅を持ち、出力端子と入力端子を接続する。制御信号線は制御部から回路要素の制御端子へ制御信号を伝搬し、状態信号線は回路要素の状態端子から制御部へ状態信号を伝搬する。テスト時、全ての制御信号線及び状態信号線は、それぞれ任意の系列を設定、観測が可能であるとする。

## 2.2 テスト手法

提案手法では、対象データパスの外部入出力で、クロック毎にランダムパターンの発生と出力応答の観測を行い、回路要素毎にテストを行う。従って、提案手法は、テスト対象データパ

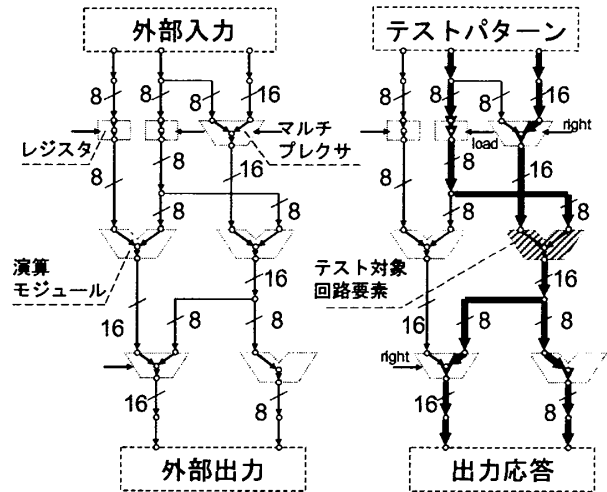


図1 RTL データパス

図2 回路要素のテスト

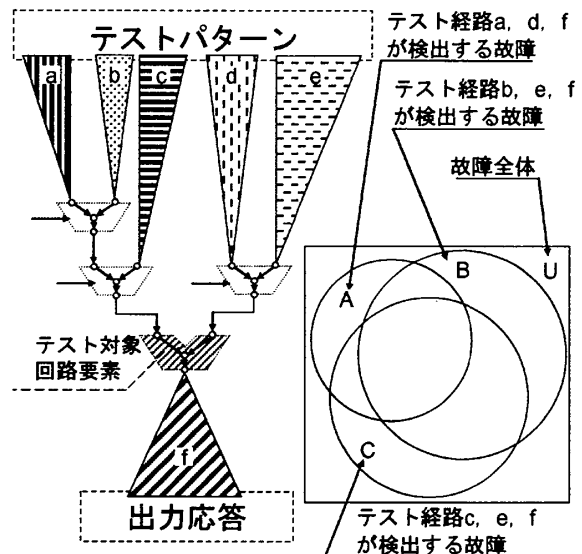


図3 複数のテスト経路による回路要素のテスト

スの回路要素毎に外部入力からのランダムパターンの伝搬を行う経路(制御経路)を少なくとも 1 個生成し、外部出力へのランダムパターンに対する回路要素の出力応答の伝搬を行う経路(観測経路)を 1 個生成する。制御経路は、外部入力からテスト対象回路要素の入力端子へ、その入力端子のビット幅を満たすテストパターンを伝搬し、観測経路は、テスト対象回路要素の出力端子からその出力端子のビット幅を満たす外部出力へ、出力応答を伝搬する。制御経路及び観測経路(テスト経路)は、データパスの既存の経路を用いて生成する。しかし、既存の経路を用いてテスト経路が生成できない回路要素が存在する場合、

† 奈良工業高等専門学校 専攻科 電子情報工学専攻

‡ 奈良工業高等専門学校 情報工学科

DFT(信号線や回路要素の追加)によってテスト経路を生成する。生成したテスト経路は、回路要素への制御信号を決定することで実現する。図2に、図1のRTLデータパスのテスト対象回路(斜線部)に対するテスト経路を例示する。テスト経路を実現するために、他の回路要素の制御端子には制御信号を定めている。

提案手法では、要求される故障検出率を保証するために、1個の回路要素のテストを複数の制御経路を用いて行うことを可能としている。各制御経路がテスト対象回路要素に対して検出可能な故障をお互いに補完することによって、要求される故障検出率を保証する。つまり、1個の回路要素に対し複数の制御経路によるテストで検出される故障全体が、回路要素に定義されている全ての故障に対し、要求される故障検出率を満たす。

図3に複数の制御経路による回路要素のテストを例示する。テスト対象回路要素に対するテスト経路が(a,d,f),(b,e,f),(c,e,f)である時、これらのテスト経路が検出する故障集合をそれぞれA,B,Cとする。各故障集合の和AUBUCは、テスト対象回路要素に定義される故障全体Uに対して要求される故障検出率を満たす。つまり、要求される故障検出率を $\Delta$ とすると、 $\Delta$ とUに対するAUBUCの割合は式(1)のようになる。

$$\frac{|AUBUC|}{|U|} \geq \Delta \quad \text{式(1)}$$

このように、複数の制御経路を用いるテストにより、各制御経路で検出可能な故障を補完し、故障検出率を保証する。

### 2.3 回路面積増加抑制 DFT アイデア

データパスの既存の経路を用いて、回路要素に対しテスト経路を生成できない場合、DFTにより経路を生成する。DFTは、MUXや回路要素に対するスルー機能の追加を行うので、回路面積を増加させる。本稿では、テスト経路を生成するために、ランダムパターンでテストを行うBISTの特性を利用した回路の面積増加を抑制するDFTアイデアを紹介する。

#### ○ 演算パターン生成(Calculated Pattern Generation : CPG)

CPGとは、データパス中の演算モジュールを擬似的にテストパターン発生器として扱う考え方である。つまり、演算モジュールのランダムパターンに対する出力応答を他の回路要素のテストパターンとして利用する。CPGは、入力端子のビット幅に対して出力端子のビット幅が増加する乗算器のような演算モジュールに適用する。CPGによって、制御経路生成に必要な演算モジュールに対するスルー機能の追加が減少するため、スルー機能追加による面積増加を抑制する。スルー機能とは、演算モジュールへの入力信号をそのまま出力端子に伝搬する機能である。スルー機能が追加された演算モジュールは構造が複雑になるため、テストが困難である[1]。従って、CPGは、回路面積増加の抑制だけでなく、回路のテスト容易性の維持も可能である。

#### ○ 時分割観測(Time Division Observation : TDO)

TDOとは、MUXを用いて外部出力で観測可能なビットを増加する考え方である。この考え方によって、回路要素の出力応答のビット幅に対する外部出力のビット幅の不足を補い、出力応答観測用の外部ピンを新たに追加する必要がなくなる。

TDOでは、外部出力のビット幅と同じビット幅の出力端子を持つMUXを挿入する。そして、TDOによって観測する回路要素の出力応答を外部出力のビット幅に応じて分割し、分割した出力応答をそれぞれ挿入したMUXに入力する。MUXの出力端子は、出力応答の観測を行う外部出力に接続する。ランダムパ

ターンが回路要素に印加される毎に、挿入したMUXへの制御信号を変化することによって、回路要素の出力応答を外部出力で時分割に観測することが可能となる。

図4にCPG及びTDOの適用例を示す。図4の左側のデータパスにおいて、テスト対象回路要素のテスト経路の生成を考える。制御経路の生成には、テスト対象回路要素の左入力端子に接続している8ビット-2入力16ビット-1出力の回路要素に、両方の入力端子への信号を同時に出力端子に伝搬するスルー機能を追加する必要がある。また、観測経路の生成においては、16ビットのテスト対象回路要素の出力応答を観測するのに十分なビット幅を持つ外部出力が存在しないため、新たな出力応答観測用の外部ピンの追加が考えられる。

しかし、図4右側のように、対象回路要素のテストにCPGとTDOというDFTアイデアを導入することによって、回路面積の増加を抑制することができる。CPGを適用する回路要素は、通常動作を行うため、設計変更による面積増加は一切発生しない。また、8ビットの外部出力では、MUXの挿入のみによって16ビットのテスト対象回路要素の出力応答を時分割で観測(TDO)する。従って、テスト対象回路要素の出力応答は、TDOによってMUXの挿入のみで実現されるため、新たに出力応答を観測するための外部ピンを追加する必要がない。

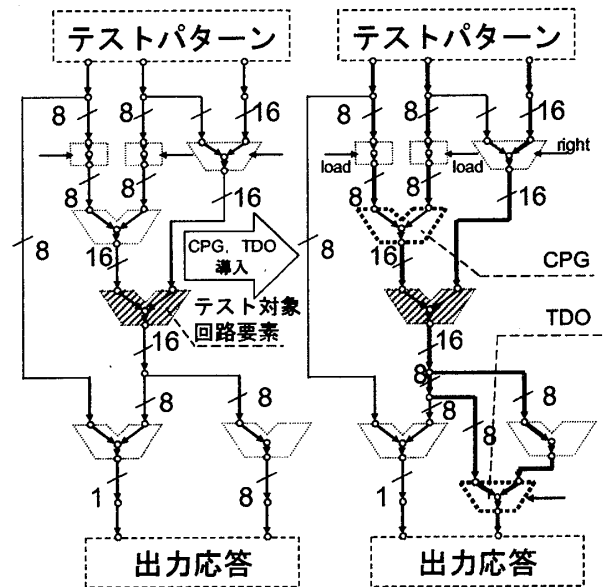


図4 CPG, TDOによるテスト経路生成

### 3. 実験結果

2.3で述べたアイデアを導入したテスト手法を実現するDFTアルゴリズムの有効性を証明するために、ベンチマーク回路WRIT[2], Paulin, LWFの各データパス部に対する適用実験を行った。まず、表1に各ベンチマーク回路の特性を示す。Paulin及びLWFは文献[3]に準じる。PI[ビット], PO[ビット]はそれぞれ外部入出力端子の総ビット幅を表し、#Reg, #Modlはそれぞれレジスタ数, テスト対象回路要素数を表す。Areaは、論理合成ツールDesign Compiler(synopsys社)による論理合成結果であり、単位はgate equivalentである。

表2に、表1で示した各ベンチマーク回路に対する提案手法の適用結果を示す。HW/OH[%], T\_CLK[clock], FC[%]はそれぞれ提案手法適用による回路面積の増加率、テスト実行時間、故障検出率を示す。表3には、文献[2]で示されている適用結果と、提案手法の適用結果の比較を示す。PIビット/OH[%], POビット/OH[%]はそれぞれ外部入出力端子のビット増加率を表す。表4には、文献[3]で示されている適用結果と、提案手法の適用結果の比較を示す。表5では、手法[4]と提案手法のWRTに対する各適用結果を比較している。

実験により、本稿で提案したDFTアイデアであるCPGやTDOが、回路面積の増加や外部入出力ビット数の増加を抑制し、実用的な故障検出率を達成できる有用なアイデアであるということが示された。表2より、提案手法によって、回路WRT及びLWFに対しては100%の故障検出率を達成し、回路Paulinに対しても99.99%の故障検出率を達成することができた。また、面積増加率も比較的小さく、外部入出力ビット数の増加も発生していない。

表3では、回路WRTに対する提案手法と手法[2]の各適用結果において、面積増加率と外部入出力のビット増加率を比較している。提案手法による結果は、手法[2]と比較して、外部入出力に対してビットを一切増加せず、面積増加率も低い。手法[2]では、外部入出力に対してビットが増加して回路のインタフェースが変更されているため、回路外部でも大きな面積増加が発生する。

表4では、回路PaulinとLWFに対する提案手法と手法[3]の各適用結果において、面積増加率とテスト実行時間を比較している。手法[3]におけるT\_CLK[clock]は、手法[3]に、提案手法で適用するランダムパターンテストを実行した場合に必要なクロック数である。ランダムパターンテストを適用した場合、提案手法の方が短いテスト実行時間を達成できる。

表5では、回路WRTに対する提案手法と手法[4]の各適用結果において、面積増加率と故障検出率を比較している。提案手法は、比較的小さい面積増加率で、高い故障検出率を達成している。手法[4]は、面積が全く増加していないが、故障検出率が非常に低い。

表1 ベンチマーク回路特性

	PI[bit]	PO[bit]	#Reg	#Modl	Area
WRT	14	5	3	6	1434.0
Paulin	16	12	7	15	5069.0
LWF	12	32	5	8	2457.0

表2 適用結果

	HW/OH[%]	T_CLK[clock]	FC[%]
WRT	11.43	1695	100.0
Paulin	5.85	2546	99.99
LWF	15.51	1471	100.0

表3 手法[2]との比較

		提案手法	手法[2]
WRT	HW/OH[%]	11.43	20.99
	PI bit/OH[%]	0	29.17
	PO bit/OH[%]	0	61.54

表4 手法[3]との比較

		提案手法	手法[3]
Paulin	HW/OH[%]	5.85	5.40
	T_CLK[clock]	2546	28006
LWF	HW/OH[%]	15.51	16.30
	T_CLK[clock]	1471	13239

表5 手法[4]との比較

		提案手法	手法[4]
WRT	HW/OH[%]	11.43	0
	FC[%]	100.0	79.49

#### 4. まとめ

本稿では、階層BISTに基づき、任意のビット幅の信号線を持つRTLデータパスに対して高品質なテストを実現するための手法を提案した。任意のビット幅の信号線を持つRTLデータパスをテスト可能な他の手法とのベンチマーク回路に対する適用実験結果の比較によって、提案手法が、有用性の高い高品質テスト手法であることが証明された。

つまり、提案手法では、低い面積増加率と短いテスト実行時間で、高い故障検出率を達成する。また、外部入出力のビット数を増加して回路のインタフェースを変更することもない。今後は、制御部を含めたRTL回路全体に対するテスト手法の提案を課題としている。

#### 謝辞

本研究に際し、多くの貴重な意見を頂いた奈良先端科学技術大学院大学の藤原秀雄教授、井上美智子助教授、大竹哲史助手、米田友和助手ならびに奈良先端大学院大学情報科学研究科コンピュータ設計学講座の諸氏に感謝します。また、本学情報工学科の教員ならびに山口賢一研究室の諸氏に感謝します。本研究は、奈良先端大学院大学情報科学研究科コンピュータ設計学講座の施設を借用させていただいた。

#### 参考文献

- [1] 山口賢一, 井上美智子, 藤原秀雄: “階層BISTのためのテスト容易化設計に関する研究”, 電子情報通信学会論文誌(DI), Vol.J86-D-I, 2003.
- [2] H. Date, et al.: “A Non-scan DFT Method for RTL Circuits of Irregular Data Path,” WRTLT 2002.
- [3] 村田優, 大竹哲史, 藤原秀雄: “ビット幅調整機能を用いたデータパスのテスト容易化設計法”, 電子情報通信学会技術研究報告(DC2004-58), 2004.
- [4] A. P. Storek and H. J. Wunderlich: “Hardware-optimal test register insertion,” IEEE Trans. On Computer Aided Design of Integrated Circuits and Systems, 1998.
- [5] F. Mayer and A. P. Stroele: “Configuring Arithmetic Pattern Generators and Response Compactors from the RT-Modules of a Circuit,” IEEE Trans. 1998.
- [6] R. B. Norwood and E. J. McChuskey: “Orthogonal scan: low overhead scan for data paths,” in Proc. of ITC, 1996.