

C-004

## 再構成機能をもつHW/SW協調設計方式

### A Hardware/Software Co-design Method with Reconfigurable Functions

松本 祐輔†  
Yusuke Matsumoto

遠藤 祐†  
Yu Endo

小泉 寿男†  
Hisao Koizumi

清尾 克彦††  
Katsuhiko Seo

#### 1. まえがき

近年の半導体技術やマイクロプロセッサ技術の進歩によって、組込みシステムの応用分野は拡大し、いろいろな技術分野で開発されてきた要素技術が、組込みシステム上に集約される傾向にある。今後、機器のデジタル化やネットワーク化が進み、制御対象となる機器の高機能化や複合化に伴って、組込みシステムも大規模化・複雑化していく。その流れの中で、次々と新しいものを作り出すために開発期間の短縮やコスト削減などが要求されている。そこで、近年注目されているものとして、システムの要求仕様をコスト、速度、消費電力のトレードオフを考慮し、ハードウェアとソフトウェアの最適なアーキテクチャを決定する設計手法である、ハードウェア/ソフトウェア協調設計方式(HW/SW協調設計方式)が挙げられる[1][10]。

筆者らは、制御対象モデルと設計対象モデルを結合させたシミュレーションを行い、これをもとにして設計仕様をHWとSWに機能分担させ、それぞれを段階的に詳細設計していくHW/SW協調設計方式を提案した[4]。また、システム機能仕様を、HWとSWの区別なしに同じ文法によって統一的に記述できるシステムレベル言語のひとつであるSpecC(Specification description language based on C)を活用した、HW/SW協調設計方式を提案してきた[5]。

組込みシステムにおいて、様々な技術により新たな機能が増えていく中で、ユーザの利用形態は常に変化し続け、ユーザの要求は多様化してきている。そのため、各ユーザの目的に適したシステムへ再構築する方式が必要となってきた。現在、書き換え可能なアーキテクチャを利用して、動的かつ適応的にプロセッサとHW/SWの構成を変更していく技術の研究がなされている[6]。

従来では、機能モジュールをHWかSWのどちらかで実現する場合に、その都度人手によって主にインタフェースに係わる詳細な設計作業が必要であった。そのため、本稿では、システム全体の効率化のために、機能モジュールをHWとSWのどちらかで実行するかを選択できることが必要となる。本研究では、機能モジュールをHWやSWのうち、システム全体の効率化を図る上で適するほうを選択できるようなHW/SW協調設計方式を提案する。

#### 2. HW/SW協調設計方式

HW/SW協調設計方式とは、システム要求仕様をコスト、速度、消費電力などのトレードオフを考慮し、ハードウェアとソフトウェアを同時に設計しながら、要求を満たすアーキテクチャを決定する設計方式である。

本稿で提案する、組込みシステムにおけるHW/SW協調設計方式を図1に示す。

† 東京電機大学大学院理工学研究科情報システム工学専攻  
†† 有限会社ソニックウェア  
†† 三菱電機株式会社

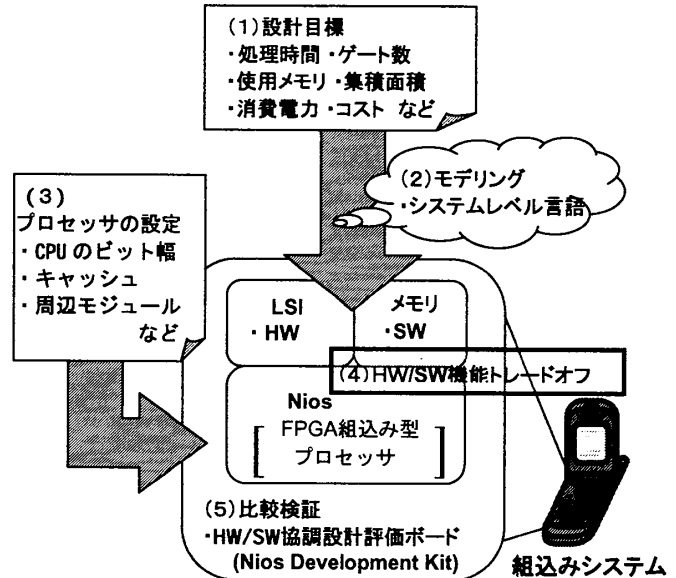


図1 組込みシステムのHW/SW協調設計方式の流れ

##### (1)設計目標

組込みシステム構築における設計目標および設計環境条件を決め、それを満足させるための上限を設定する。設計目標は目標とする組込みシステムの処理時間、使用メモリ、ゲート数、プロセッサ仕様、集積面積、消費電力、コストなどである。設計環境条件は目標とする組込みシステム実現のために利用可能な設備、部品、開発ツールの制限・制約から生じる条件の記述である。

##### (2)モデリング

システムを導入する制御対象モデルと、システムそのものである設計対象モデルをシステムレベル言語で作成する。システムレベル言語は、C言語をベースとした、ハードウェア記述のための並列性・同期・通信・タイミングなどの構文を追加した言語である。本研究で用いているSpecCはANSI Cをベースとし、ハードウェア記述のための並列性、同期・通信、タイミングなどの構文を追加した言語である。SpecCではシステムの構成要素の動作(計算)をビヘイビア、構成要素間の通信をチャネルと呼ばれるオブジェクトで表す。通信部分と、動作制御や演算を分離することで、ビヘイビアの入力と出力を明確にする。また、並列な動作も明確に記述し、関連する機能はグループ・階層化を行い、局所的な影響が上位の階層に及ぶことを避けられる[2]。

##### (3)FPGA組込み型プロセッサの設定

FPGA組込み型プロセッサを用いることで、自由にオリジナルのプロセッサを構築でき、マルチプロセッサ、ネットワークを用いたアップグレードといったシステム機能の拡大が可能となる。

設計目標を実現できるようにパラメーターを指定していく。まず、ビット幅やキャッシュの設定を行い CPU を定義する。そして、周辺モジュールの設計を行い、内臓メモリの定義、通信速度やデータ・フォーマット、フロー制御の有無などの UART の設定、各種 I/O ポートなど、使用するモジュールをすべて定義する。その後、CPU と周辺モジュールをどのように接続するか定義し、ネットリストなどを作成する論理生成を行う。

#### (4)HW/SW 機能トレードオフ

プロファイリング結果と設計目標から、各機能をハードウェア部分とソフトウェア部分に分担する。ハードウェアとソフトウェア、プロセッサに機能を分担することで、集積面積の縮小化、コスト削減、低電力化など、組込みシステムにおける最適化を行う。

ハードウェア部分はシステムレベル言語から VHDL 言語に書き換えコンパイル、結線、構成を行い、論理シミュレーションなどによる検証を行う。ソフトウェア部分は、システムレベル言語を C 言語に変換しコンパイルする。

#### (5)比較検証

プロセッサを組込んだ HW/SW 協調設計評価ボード(Nios Development Kit)上において、ハードウェア部分は、論理合成、配置配線、FPGA へコンフィグレーションをする。ソフトウェア部分は命令メモリである ROM(Read Only Memory)書き込むためにフォーマットを変換しダウンロードし動作させる。

### 3. 再構成機能をもつ HW/SW 協調設計

再構成機能をもつとは、設計時だけでなくシステム運用時においても、HW/SW 協調設計を適用し、システム全体を効率よく動作するように再構成できないかと考えた。書き換え可能な FPGA を用いることによって、ユーザのよく利用する機能処理能力を上げることや、ユーザが要求する新たな機能を加えるといった変更が可能となる。この変更時にシステム全体において、その機能が HW, SW のどちらで構成すべきかを決定しなければならない。

そこで、ユーザの利用形態や新たな要求を設計目標と位置づける。図 2 のように HW, SW の両方で各機能を実現しておき、その全ての組み合わせにおいてプロセッサ/HW/SW 機能トレードオフを行い、ユーザの要求を満たし、システム全体が凍り強く動作するようなシステムに再構成する。

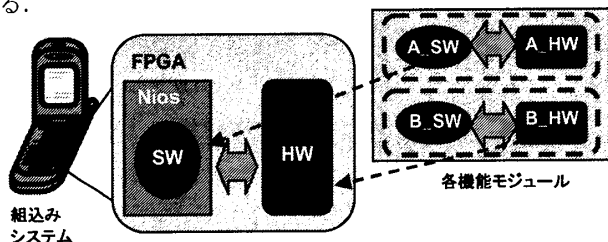


図2 システムの再構成

### 4. 協調設計環境の構築

モデリングは、「VisualSpec V2.0 for VC++」ツールを用い SpecC 記述し、C++に自動変換し、プロファイリングを行う。ハードウェア部分はシステムレベル言語から VHDL 言語に書き換え、「Quartus II」ツールを用いて、コンパ

イル、結線、構成を行う。ソフトウェア部分は、システムレベル言語を C 言語に変換し、「Visual C++」ツールを用いてコンパイルし、HW/SW 協調設計評価ボード上で動作させ比較検証を行う。FPGA 組み込み型プロセッサを組込んだボードである HW/SW 協調設計評価ボードと PC を USB で接続する。HW/SW 協調設計評価ボードには、Nios を組込んだ Nios Development Kit Cyclon Edition を用いる。Nios は Altera 社が提供している FPGA 向けに特化したソフト・マクロの CPU コアで、RISC アーキテクチャをとり、32 ビットと 16 ビットの 2 種類がある。周辺機器のカスタマイズも可能である。Nios を使用する場合、CPU コアを組込むための FPGA 設計は、FPGA 開発ツールである「Quartus II」を用いる。Nios 周辺回路の設計は「SOPC Builder」によって行う。

### 5. 携帯電話アプリケーション系機能への適応

設計対象は携帯電話とする。携帯電話は、通信用のベースバンドチップとアプリケーション用のアプリケーションチップのツイン CPU アーキテクチャで構成されている。本研究では、アプリケーションユニットの CPU、周辺回路、メモリを評価ボード上に構築する。まずは、1つの機能の各モジュールについて、プロセッサ/HW/SW トレードオフを適用し、FPGA 上においても HW/SW 協調設計方式が有効であるのか検証する。その機能として、JPEG 画像処理について行う。

### 6. まとめ

本稿で提案した方式を実証するために、1つの機能に対する再構成機能をもつ HW/SW 協調設計のプロトタイプ構築中である。その後、他の機能と合わせたシステム全体における再構成について検討していく。

### 文 献

- [1]中本幸一, 高田広章, 田丸喜一郎, “組込みシステム技術の現状と動向”, 情報処理, Vol.38, No.10, pp.871-878, 1997
- [2] DANIEL D.GAJSKI 他著, “SpecC 仕様記述言語と方法論”, CQ 出版株式会社, 2000
- [3]浅田朋範, 田中良平, 浅井 剛, 飛永 徹, 中根隆康, “FPGA 活用チュートリアル”, デザイン ウェーブ マガジン, 3月増刊号, pp.12-85, May.2004
- [4] 遠藤 祐, 吉田 健, 井上 聡, 飯田庸介, 小泉寿男, “ITS 画像処理系・制御系開発におけるハードウェア・ソフトウェア協調設計方式”, 情報処理学会論文誌, Vol. 43, No. 12, pp.3745-3755 (2002).
- [5]井上 聡, 遠藤 祐, 吉田 健, 飯田庸介, 小泉寿男, 清尾克彦, “SpecC を用いたハードウェア/ソフトウェア協調設計方式と ITS 安全運転支援システムによる評価”, 情報処理学会 ITS 研究会, pp.53-60, 2003
- [6]天野 英晴, “ダイナミックコンフィギュラブルプロセッサの研究開発動向”, 情報処理学会 研究報告, pp.139-144, 2003
- [7]本田晋也, 富山宏之, 高田広章, “システムレベル設計環境: SystemBuilder”, 電子情報通信学会論文誌, D-I, No.2, pp.163-174, 2005