

MIMD 型汎用複合計算機の一方式について (理論的評価)[†]

宮脇 富士夫^{††} 富田 眞 治^{†††} 萩 原 宏^{†††}

計算機の処理速度を高める方法として、並列処理方式は重要な位置を占めている。本論文では、MIMD 型汎用複合計算機を指向したシングル・バス密結合型のモデルを提案し、理論的な評価を行っている。本モデルの特徴は、(1)パケット転送方式のバスを採用し、各プロセッサごとのノードにバッファを設けて、各プロセッサのバス・アクセス競合を分散的に調停している、(2)共有メモリには多重先入出先バッファを導入し、インタリーブ方式と組合せることによってスループットを高めている、ところにある。評価の結果、(1)は分散型調停方式として有効であり、(2)によって、メモリ・アクセス要求に十分近いスループットが得られることが明らかになった。したがって、本モデルは MIMD 型汎用複合計算機のモデルとして有効であろう。

1. ま え が き

計算機の処理速度の向上をはかる方法として、複合計算機による並列処理の着想に至るのは容易であるが、MIMD 型汎用複合計算機として満足すべきモデルは未知数といってよい。実現されたものとしては、並列台数が 10 程度のものが精々であり¹⁾、また、それ以上多くしてもあまり効果がないという報告もある²⁾。問題は、多数のプロセッサ (以後 PU と呼ぶ) が並列的に動作した場合、同一資源へのアクセス競合を調停するのに時間を要することと、メモリのスループットがボトルネックとなることである。いろいろなモデルが考えられているが³⁾、本論文では最も簡単な構造であるシングル・バス方式のモデルを提案する。そして、バスの競合には分散型の調停方式、メモリのスループットの向上にはインタリーブ方式に多重先入出と称するバッファを導入し、それぞれの理論式を導くとともに、それを使ってモデルの評価を行った。その結果、1つの例として、275 台の PU が同時に動作して、1台に比較して、155 倍の処理速度の向上が得られることを示す。

本論文はバスとメモリの理論的評価に重点をおき、論文 4) では、モデル上でのプログラムの実行をシミュレートすることによって具体的な評価を行う。

バス結合型複合計算機の解析については文献 5)、共有メモリの解析については文献 6) 等があるが、本システムは各 PU の性能に差が生じることと、特殊な

バッファを導入しているので独自の解析を行った。本論文の主題の 1 つであるバスの分散型調停方式は文献 7) にみられるバッファ方式と似ているが、構造が簡単であることから解析が可能となり、諸特性の公式を得ることができた。また第 2 の主題である多重先入出先バッファについては他に見られないところである。

2. モデルの構造

モデルの概念図を図 1 に示す。n 台の PU、アドレス・データ・バス (以後 AD バスと呼ぶ)、コモン・メモリ、データ・バスおよび通信機構からなっている。各 PU は独立に動作し、それぞれがメモリ・アクセスに必要な情報 (2.2 節参照) を AD バスに送り出す。情報は AD バスのノードからノードへと転送されてコモン・メモリに至る。それが、読出要求であれば、アクセス・タイムの後に目的のデータと PU 番号がデータ・バスに出て来る。それを、該当する PU がとりこんでメモリ・アクセスが完了する。破線で囲った通信機構については論文 4) に報告する。

2.1 AD バスおよびデータ・バスの構造

AD バスの概念図を図 2 に示す。アドレス部、データ部、PU 番号部、オペレーション部からなる。各線は 1 ビットのレジスタが直列に接続されており、1 クロック (これを 1 マイナサイクルという) ごとに次のレジスタへ情報を転送する。各線から 1 ビットずつとって横切ったビットの組で 1 つのパケットを構成する。PU が AD バスにアクセスする場合、原理的には空のパケットがその PU のノードに流れて来た時に情報をのせることができる。しかし、そうすると、上流の番号の高い PU のアクセスが優先されて下流の PU のアクセスが抑圧されることになる。そこで、下流の PU が適当に割り込み、所望のアクセスを得られる機

[†] A MIMD Type General Purpose Multi-processor System (Theoretical Estimation) by FUJIO MIYAWAKI (Department of Electrical Engineering, Himeji Institute of Technology), SHINJI TOMITA and HIROSHI HAGIWARA (Department of Information Science, Kyoto University).

^{††} 姫路工業大学電気工学教室
^{†††} 京都大学工学部情報工学教室

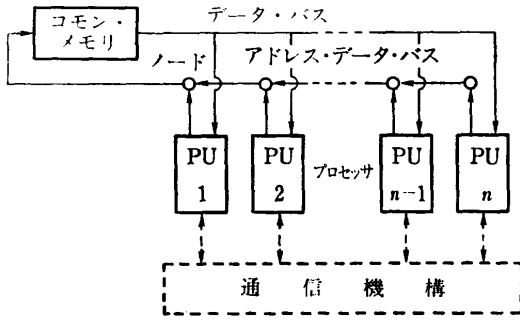


図 1 モデルの概念図
Fig. 1 Structure of the model.

構を導入する。

図 3 は ADバスの 1 本について詳細な概念図を示したものである。1つの PU_i に対して 1つのウェイト・ノード (W_i), およびバッファ・ノード ($B_{i,1} \sim B_{i,m}$) があり, 情報の流れは次のルールに従って制御される。

1. PU_i のアクセス情報はまず W_i に入る。
2. ($i+1$) 段目に情報があれば, マイナサイクルごとに 1つの情報が $B_{i,1}$ へ転送される。
3. $B_{i,1}$ への転送があれば, i 段目のバッファ・ノードの情報は順に押し上げられる。
4. i 段目の情報が ($i-1$) 段目に転送される優先順序は (1) $B_{i,m}$, (2) W_i , (3) バッファ中の最上位の情報, とする。
5. W_i の情報が ($i-1$) 段目に転送されていないのに, なお PU_i が次のアクセスを要求した時は PU_i のアクセス要求動作をフリーズさせる。その後, W_i の情報が流れ去ると, 同時に待機中の情報が W_i に移り, フリーズは解除される。

こうすることによって, バッファの深さを適切に設計すれば各 PU が所望のアクセスをすることが出来る。本論文では, これを分散型調停方式といっている。

データ・バスは PU 番号部とデータ部からなる単純なバスである。各 PU は PU 番号部によって該当するデータを認識し, それを取り込む。

2.2 コモン・メモリの構造

コモン・メモリの概念図を図 4 に示す。入口ノードは ADバスの最終ノードである。ここで, ADバスの各部分の意味を述べておく。

1. アドレス部: アクセスすべきメモリの番地。
2. データ部: メモリに書き込むべきデータ。
3. PU 番号部: 情報を送り出した PU の番号。
4. オペレーション部: メモリ上での処理の区別を

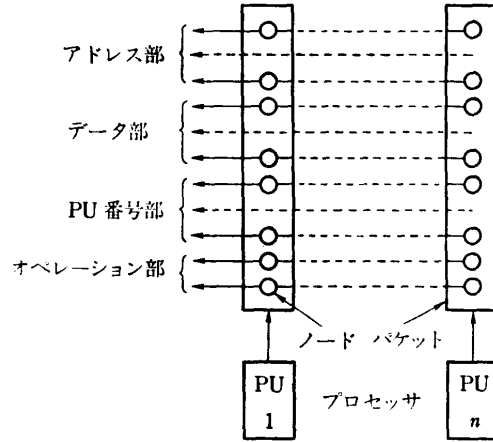
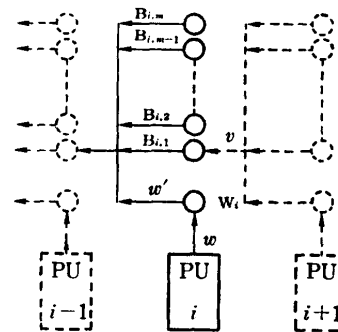


図 2 アドレス・データ・バスの概念図
Fig. 2 Address data bus model.



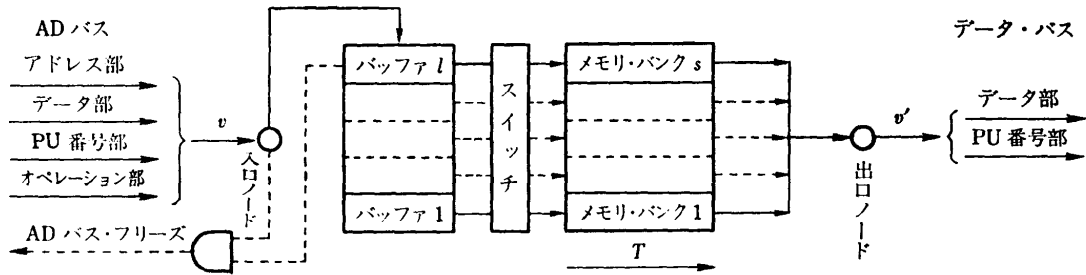
- v : 前段から情報が流れて来る確率 (マイナサイクル当り)
- w : PU_i のアクセス要求確率
- w' : PU_i の実アクセス確率
- m : バッファの深さ

図 3 アドレス・データ・バス・ノードの詳細概念図
Fig. 3 Detailed model of address data bus node.

示すもので, 次の 4 通りの区別がある。

- READ: 指示アドレスの内容を読み出す。
- WRITE: 指示アドレスにデータを書き込む。
- SWAP: 指示アドレスの内容を読み出した後, データを書き込む。
- 無効: パケットが空であることを示す。

バッファは深さ l の多重先入先出バッファである。メモリは s 個のバークに分かれており, インタリーブ方式である。メモリのアクセス・タイムは T とする。入口ノードに到達した情報は, 通常, 次のクロックでバッファにスタックされるが, バッファが一杯の場合は ADバスをフリーズ状態にする。そして, バッファに空きができた次のマイナサイクルで解除されるようにした。これは, スイッチの部分と連動して, 空き



v : アドレス・データ・バスからのメモリ・アクセス要求の確率
 v' : 実アクセス確率
 l : バッファの深さ
 s : バンク数
 T : メモリ素子のアクセス・タイム (単位はマイナサイクル)

図 4 コモン・メモリの概念図
 Fig. 4 Model of common memory.

ができると同時に解除することができないわけではないが、スイッチの処理時間を少しでも短くする方が重要であるからである。

コモン・メモリの特徴は多重先入先出バッファの導入にあるが、これは、次の条件を満足する情報が先に出ていくバッファである。

1. 同一 PU 番号を有する情報のうち、先にスタックされた情報である。
2. アクセスすべきバンクが非動作中である。
3. 上記の条件を満足する情報のうち、先にスタックされた情報である。

この方式によって動作バンクの多重度を上げ、したがってメモリのスループットを上げることができる。

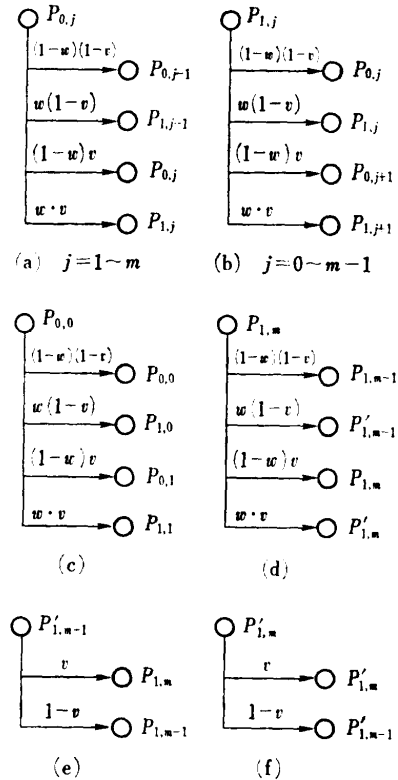
動作に入ったバンクはアクセス・タイム T の後、データと PU 番号を出口ノードに送り出す。バッファからバンクへの転送は 1 マイナサイクルにつき高々 1 個であるから、出口ノードにおける衝突はおきない。

3. AD バスの理論的考察

AD バスのノードにおけるパラメータは図 3 に示した v, w, m である。解析をするために、ノードの状態確率を次のように定義する。

- $P_{0,j}$: バッファが深さ j までスタックされており、Wノードに有効情報がない状態の確率。
- $P_{1,j}$: バッファが深さ j までスタックされており、Wノードに有効情報がある状態の確率。

そして、これらの確率をパラメータの関数として求めるために、2.1 節のルールに従った場合の状態遷移図と遷移確率を示したのが図 5 である。これから、平衡状態における状態確率の関係は次の連立一次方程式



P' は PU がフリーズ状態にあることを示す。

図 5 AD バス・ノードの状態遷移図と遷移確率
 Fig. 5 State transition diagram and probabilities of AD bus node.

(1. a~c) にまとめられる。

$$\begin{aligned}
 P_{0,0} &= aP_{0,0} + aP_{1,0} + aP_{0,1} \\
 P_{1,0} &= bP_{0,0} + bP_{1,0} + (1-v)P'_{1,0} + bP_{0,1} + aP_{1,1} \\
 P'_{1,0} &= bP_{1,1} + (1-v)P'_{1,0} \\
 P_{0,1} &= cP_{0,0} + cP_{1,0} + cP_{0,1}
 \end{aligned}$$

$$\begin{aligned}
 P_{1,1} &= dP_{0,0} + dP_{1,0} + vP'_{1,0} + dP_{0,1} + cP_{1,1} \\
 P'_{1,1} &= dP_{1,1} + vP'_{1,1} \\
 \text{式(1. a)} \quad m=1 \text{ の場合, ただし } a &= (1-w)(1-v), b = w(1-v), c = (1-w)v, d = v \cdot w, \text{ (以下同様).}
 \end{aligned}$$

$$\begin{aligned}
 P_{0,0} &= aP_{0,0} + aP_{1,0} + aP_{0,1} \\
 P_{1,0} &= bP_{0,0} + bP_{1,0} + bP_{0,1} \\
 P_{0,1} &= cP_{0,0} + cP_{1,0} + cP_{0,1} + aP_{1,1} + aP_{0,2} \\
 P_{1,1} &= dP_{0,0} + dP_{1,0} + dP_{0,1} + bP_{1,1} \\
 &\quad + (1-v)P'_{1,1} + bP_{0,2} + aP_{1,2} \\
 P'_{1,1} &= bP_{1,2} + (1-v)P'_{1,2} \\
 P_{0,2} &= cP_{1,1} + cP_{0,2} \\
 P_{1,2} &= dP_{1,1} + vP'_{1,1} + dP_{0,2} + cP_{1,2} \\
 P'_{1,2} &= dP_{1,2} + vP'_{1,2} \\
 \text{式(1. b)} \quad m=2 \text{ の場合.}
 \end{aligned}$$

$$\begin{aligned}
 P_{0,0} &= aP_{0,0} + aP_{1,0} + aP_{0,1} \\
 P_{1,0} &= bP_{0,0} + bP_{1,0} + bP_{0,1} \\
 P_{0,1} &= cP_{0,0} + cP_{1,0} + cP_{0,1} + aP_{1,1} + aP_{0,2} \\
 P_{1,1} &= dP_{0,0} + dP_{1,0} + dP_{0,1} + bP_{1,1} + bP_{0,2} \\
 P_{0,j+1} &= cP_{1,j} + cP_{0,j+1} + aP_{1,j+1} + aP_{0,j+2} \\
 &\quad (j=1 \sim m-2) \\
 P_{1,j+1} &= dP_{1,j} + dP_{0,j+1} + bP_{1,j+1} + bP_{0,j+2} \\
 &\quad (j=1 \sim m-3 \text{ かつ } m > 3) \\
 P_{1,m-1} &= dP_{1,m-2} + dP_{0,m-1} + bP_{1,m-1} \\
 &\quad + (1-v)P'_{1,m-1} + bP_{0,m} + aP_{1,m} \\
 P'_{1,m-1} &= bP_{1,m} + (1-v)P'_{1,m} \\
 P_{0,m} &= cP_{1,m-1} + cP_{0,m} \\
 P_{1,m} &= dP_{1,m-1} + vP'_{1,m-1} + dP_{0,m} + cP_{1,m} \\
 P'_{1,m} &= dP_{1,m} + vP'_{1,m} \\
 \text{式(1. c)} \quad m > 2 \text{ の場合.}
 \end{aligned}$$

これらを解いて、各Pの合計が1となるように正規化を行った結果が次に示す式(2. a~b)である。

$$\begin{aligned}
 P_{0,0} &= (1-w)(1-v)^3 / \{vw^2 + (1-v)vw + (1-v)^2\} \\
 P_{1,0} &= P_{0,0}vw / \{(1-w)(1-v)\} \\
 P'_{1,0} &= P_{0,0}vw^2 / \{(1-w)(1-v)^2\} \\
 P_{0,1} &= P_{0,0}v / (1-v), P_{1,1} = P_{0,0}vw / \{(1-w)(1-v)^2\} \\
 P'_{1,1} &= P_{0,0}v^2w^2 / \{(1-w)(1-v)^3\} \\
 \text{式(2. a)} \quad m=1 \text{ の場合.} \\
 P_{0,0} &= (1-v)^4(1-w)^2 / \{v^2w^3 + (1-v)v^2w^2 \\
 &\quad + (1-v)^2(2v-1)w + (1-v)^3\} \\
 P_{1,0} &= P_{0,0}vw / (1-w), P_{0,1} = P_{0,0}v / \{(1-v)(1-w)\} \\
 P_{1,1} &= P_{0,0}vw(vw + 1-v) / \{(1-v)^2(1-w)^2\} \\
 P'_{1,1} &= P_{0,0}v^2w^3 / \{(1-v)^3(1-w)^2\}
 \end{aligned}$$

$$\begin{aligned}
 P_{0,2} &= P_{0,0}v^2w / \{(1-v)^2(1-w)\} \\
 P_{1,2} &= P_{0,0}v^2w^2 / \{(1-v)^3(1-w)^2\} \\
 P'_{1,2} &= P_{0,0}v^3w^3 / \{(1-v)^4(1-w)^2\} \\
 \text{式(2. b)} \quad m=2 \text{ の場合.}
 \end{aligned}$$

$$\begin{aligned}
 P_{0,0} &= (1-v)^{m+2}(1-w)^m(1-v-w) / \\
 &\quad \{(1-v)^{m+2}(1-w)^m - v^m w^{m+2}\} \\
 P_{1,0} &= P_{0,0}vw / (1-w), P_{0,1} = P_{0,0}v / \{(1-v)(1-w)\} \\
 P_{1,j+1} &= P_{0,0}w^{j+1}v^{j+1} / \{(1-w)^{j+2}(1-v)^{j+1}\} \\
 P_{0,j+2} &= P_{0,0}w^{j+1}v^{j+2} / \{(1-w)^{j+2}(1-v)^{j+2}\} \\
 &\quad (j=0 \sim m-3)
 \end{aligned}$$

$$\begin{bmatrix} P_{1,m-1} \\ P'_{1,m-1} \\ P_{0,m} \\ P_{1,m} \\ P'_{1,m} \end{bmatrix} = P_{0,0}w^{m-1}v^{m-1} / \{(1-w)^m(1-v)^{m+2}\}$$

$$\times \begin{bmatrix} (1-v)^2(vw + 1-v) \\ (1-v)vw^2 \\ (1-v)^2v(1-w) \\ (1-v)vw \\ v^2w^2 \end{bmatrix}$$

式(2. c) m > 2 の場合, ただし v+w=1 は除く。

これから、次式によって諸々の指標を得る。

$$\begin{aligned}
 \text{実アクセス確率 (w')} &= P_{1,0} + \sum_{j=0}^{m-2} P_{1,j+1} + P'_{1,m-1} \\
 \text{バッファ中の平均停留深さ (d)} &= \sum_{j=1}^m j(P_{0,j} + P_{1,j}) \\
 &\quad + (m-1)P'_{1,m-1} + mP'_{1,m}
 \end{aligned}$$

$$\begin{aligned}
 \text{バッファ中の平均停留時間 (st)} &= d/v \\
 \text{フリーズ確率 (f)} &= P'_{1,m-1} + P'_{1,m}
 \end{aligned}$$

その結果が次の公式(3. a~c)である。

$$\begin{aligned}
 w' &= \{(1-v)^2w + (1-v)vw^2\} / \\
 &\quad \{vw^2 + (1-v)vw + (1-v)^2\} \\
 d &= v, st = 1, f = vw^2 / \{vw^2 + (1-v)vw + (1-v)^2\} \\
 \text{公式(3. a)} \quad m=1 \text{ の場合.}
 \end{aligned}$$

$$\begin{aligned}
 w' &= w \{ (1-v)v^2w^2 + (1-v)^2(2v-1)w \\
 &\quad + (1-v)^3 \} / \{ v^2w^3 + (1-v)v^2w^2 \\
 &\quad + (1-v)^2(2v-1)w + (1-v)^3 \} \\
 d &= \{ (1+v)v^2w^3 + (1-v^2)v^2w^2 + 2(1-v)v^2v^2w \\
 &\quad + (1-v)^3v \} / \{ v^2w^3 + (1-v)v^2w^2 \\
 &\quad + (1-v)^2(2v-1)w + (1-v)^3 \} \\
 st &= d/v, f = v^2w^3 / \{ v^2w^3 + (1-v)v^2w^2 \\
 &\quad + (1-v)^2(2v-1)w + (1-v)^3 \} \\
 \text{公式(3. b)} \quad m=2 \text{ の場合.}
 \end{aligned}$$

$$w' = (1-v) \{ (1-v)^{m+1} (1-w)^m w - v^m w^{m+2} \} / \{ (1-v)^{m+2} (1-w)^m - v^m w^{m+2} \}$$

$$d = [(1-v)^{m+2} (1-w)^m (1-v-w) / \{ (1-v)^{m+2} (1-w)^m - v^m w^{m+2} \}] \times [x/w + x^{m-1} (m-1+v) \{ v w^2 + (1-v) v w + (1-v)^2 \} / \{ (1-v)^3 (1-w) \} + \{ (m-2)x^m - (m-1)x^{m-1} + x \} / \{ (1-w)(x-1)^2 \} + \{ (m-1)x^{m+1} - m x^m - x^3 + 2x \} / \{ w(x-1)^2 \}]$$

ここで、 $x = v w / \{ (1-w)(1-v) \}$ である。
 $st = d/v$, $f = v^m w^{m+1} (1-v-w) / \{ (1-v)^{m+2} (1-w)^m - v^m w^{m+2} \}$
 公式(3. c) $m > 2$ の場合、ただし $v+w=1$ は除く。

以上の公式を使って求めた例を図6に示す。実線は w' が w の99% よりも大きいという条件で各パラメータの関係を求めたものである。例えば、 $w=0.2$

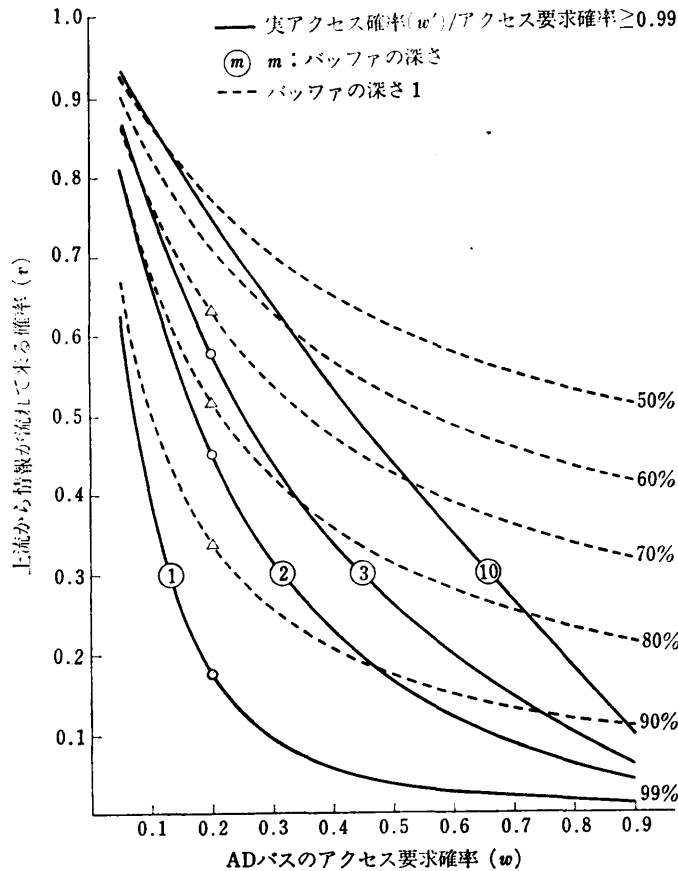


図6 ADバス・ノードの各パラメータの例
 Fig. 6 An example of each parameter of AD bus node.

とした場合 (○印), v が 0.175 まではバッファの深さが1, v が 0.175~0.45の間はバッファの深さが2, 等であればよいことを示している。破線はバッファの深さが1の場合に, 上流からの流れがアクセス要求をどの程度抑圧するかを示している。例えば $w=0.2$ の場合 (△印), $v=0.34$ になると w の90% が w' となること等を示している。

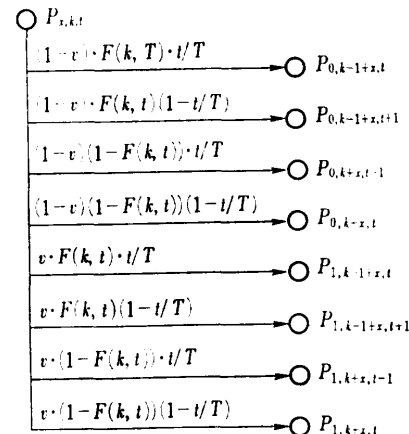
4. コモン・メモリの理論的考察

コモン・メモリのパラメータは図4に示すように, v, l, s, T およびアクセスするPUの台数 n である。3章と同じ手法に従って, コモン・メモリの状態確率を次のように定義する。

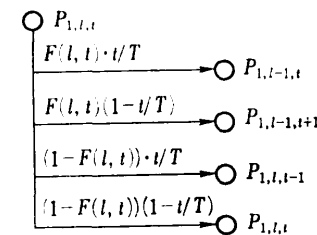
$P_{0,k,t}$: バッファは深さ k までスタックされており, t 個のメモリ・バンクが動作中で, 入口ノードに情報がない状態の確率。

$P_{1,k,t}$: 入口ノードに情報があること以外は上記と同じ状態にある確率。

これらの確率を求めるためには入口ノード



(a) $x=0, 1$ $k=0 \sim (l-x)$ $t=0 \sim \min[s, T]$



(b) フリーズ状態 $t=0 \sim \min[s, T]$

図7 コモン・メモリの状態遷移図と遷移確率
 Fig. 7 State transition diagram and probabilities of common memory.

からバッファへ転送される確率, バッファからバンクに転送される確率, バンクから出口ノードに転送される確率が必要である.

入口ノードに情報があって, バッファに空きがあれば, 次のクロックでその情報は転送されるが, 空きがなければADバスの流れをフリーズする.

バッファからバンクに転送が起こる確率は次式で与えられる.

$$F(k, t) = 1 - \sum_{u=1}^k ({}_n C_u) ({}_s H_u) n^{-k} (t/s)^u$$

(付録参照)

ここで, ${}_s H_u$ は u 個の PU 番号を重複を許して深さ k のバッファに並べる順列の数である.

(付録参照)

バンクから出口ノードに転送される確率は, 1 個のバンクが動作に入ってから T クロック後に出口ノードに情報が出て来るのであるから, t 個のバンクが動作中であれば, 次のクロックで情報が送り出される確率は t/T となる. 情報の流れは 1 クロックにつき高々 1 個であるから, 動作中のバンク数は高々 T 個である. したがって t の最大値は $\min[s, T]$ である.

以上の各転送確率をもとに状態遷移図と遷移確率を示したのが図 7 である. この遷移図から 3 章と同様にして, 定常状態における各確率 P に対する連立方程式を解くことによって P を求めることができる. しかし, 3 章のように公式を得ることはできなかった.

各 P が計算されれば, 諸々の指標は次式によって計算できる.

実読み出し確率

$$(v') = \sum_{t=1}^T (t/T) \sum_{k=0}^l (P_{0,k,t} + P_{1,k,t})$$

バッファの平均停留深さ

$$(D) = \sum_{k=1}^l k \sum_{t=0}^T (P_{0,k,t} + P_{1,k,t})$$

バッファ中の平均停留時間 $(ST) = D/v'$

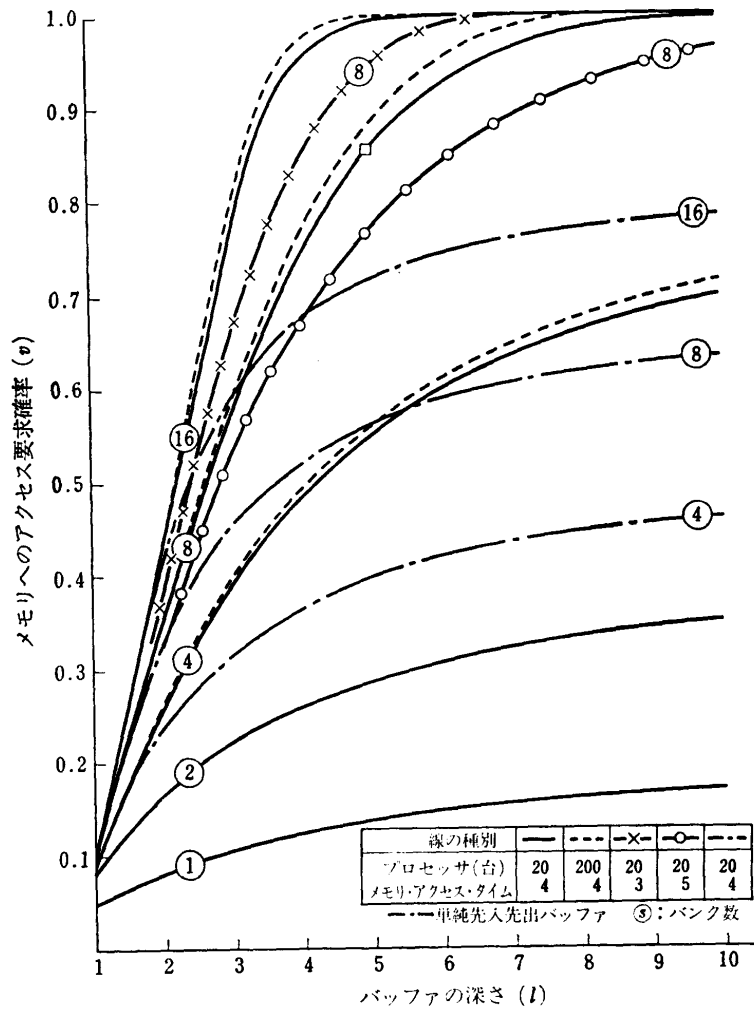


図 8 コモン・メモリの各パラメータの例 (条件 $v'/v \geq 0.99$)
Fig. 8 An example of each parameter of common memory.

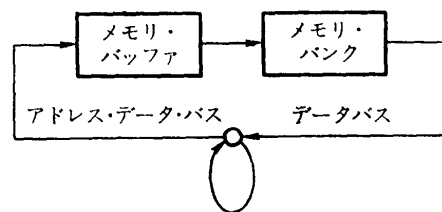


図 9 1つのプロセッサの情報の経路
Fig. 9 Information flow pass of a processor.

ADバスのフリーズ確率 $(F) = \sum_{t=0}^T P_{1,t,t}$

1つの計算例を図 8 に示す. これは v に対する v' の割合が 99% 以上という条件で l, s, v の関係を示し

たものである。その他のパラメータは図中に示した。図8の意味するところは、例えば、バンク数8、バッファの深さ5の場合(口印)、 $v < 0.85$ であれば $v'/v > 0.99$ であることを示している。破線はPU台数を200にした場合であるが、この例ではPUの増加はスループットを増す方向に作用するが、あまり差がないといえる。一点鎖線は比較のために通常の先入先出バッファを使った場合を計算したものである。これは $F(k, s) = 1 - s/s$ とおくことによって計算される。この例ではバンク数が16でも $v > 0.80$ を得るのが困難であることがわかる。また、メモリ・アクセス・タイムを変化させた結果も示している。これで見ると、メモリ・アクセス・タイムが小さいほどスループットを増すのが容易である。また、メモリ・アクセス・タイムが大きくなっても、バッファの深さを増すことによって所望のスループットに近づけることができる。

5. モデルの性能評価

システムの性能を評価するためには、システムの状態を所定のパラメータのもとに矛盾なく決めなければならない。まず、メモリ・システムはバッファの深さ(l)、メモリ・バンクの数(s)、メモリ・アクセスタイム(T)、アクセス要求確率(v)、PUの台数(n)を与えることによって、第4章の方法で各指標を計算できる。次に、メモリのアクセス要求確率はノード(1)の流出確率であるから、これと、バッファの深さ(m)、PU₁のアクセス要求確率(w)が与えられれば、式(3.a~c)を使ってノード(1)への流入確率が逆算できる。このようにノード(2, 3, ...)と逆算し、ノード(n)で流入確率が0になればシステムの状態が矛盾なく決まったことになる。

5.1 パラメータについて

5.1.1 PUのADバスへのアクセス要求確率(w)

w の妥当な値の選択は難しいが、ここでは次のように考えた。

図9は1つのPUについて、情報の流れを示したものであるが、これから、PUがADバスにアクセスして、再びアクセス要求が起こるまでの間隔は次式で与えられる。

$$\begin{aligned} & \text{ADバスへのアクセス要求間隔(マイナサイクル)} \\ & = \text{ADバス上の転送時間(下流の } \Sigma st) \\ & + \text{バッファ中の平均停留時間}(ST) \\ & + \text{バンクのアクセス・タイム}(T) \\ & + \text{PUの処理時間} \end{aligned}$$

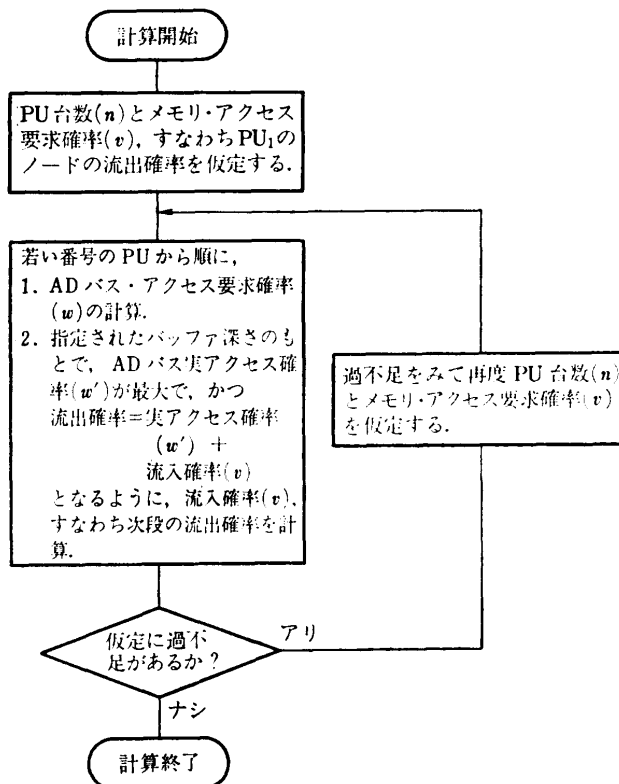


図10 モデルの性能評価アルゴリズム
Fig. 10 Performance estimation algorithm of model.

したがって、1マイナサイクルにつきPUがADバスにアクセス要求を出す確率は次式で与えられる。

$$\begin{aligned} & \text{PUのADバスへのアクセス要求確率}(w) \\ & = 1/(\text{PUのADバスへのアクセス要求間隔}) \end{aligned}$$

5.1.2 メモリ・アクセス・タイムとPUの処理時間

本モデルの時間単位、1マイナサイクルは図4のスイッチの処理時間でおさえられ、62nsを想定している。これは、市販のICを使って設計試算したものである。これを基準にして、メモリ・アクセス・タイム(T)は4、PUの処理時間は5を標準とした。

5.2 性能評価の計算法

計算は図10に示すアルゴリズムによってPU台数(n)とメモリへのアクセス要求確率(v)を与えながら、繰り返し計算を行って収束する値を求めた。

5.3 上流からの流れが下流のPUのアクセス要求を抑制する様子

図11はメモリへのアクセス要求確率が99%に近くなるまでPUの台数を増加させた場合の性能を示すものである。ADバスのバッファ効果がない場合に若い

番号のPUのアクセス要求が抑えられる様子を
示している。また、PU番号が大きくなる
に従って、抑圧される割合が急速に小さくなり、
PU番号8以上のところでは要求の99%
以上の割合で実アクセスしていることも示し
ている。図11で、処理速度の向上およびPU
の利用度の意味は次のとおりである。

処理速度の向上=メモリの実アクセス確
率/PUが1台の時のメモリの実アク
セス確率

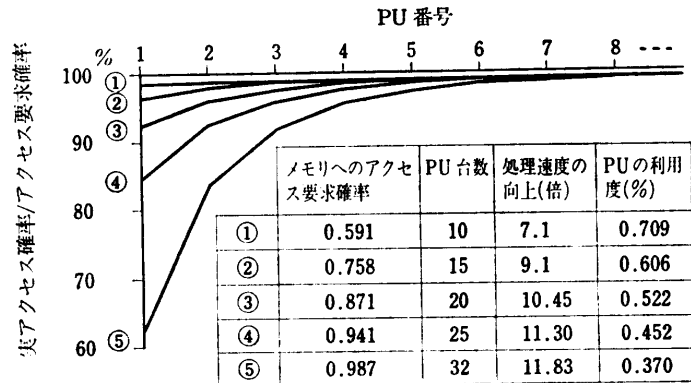
PUの利用度=処理速度の向上/
PUの接続台数

5.4 ADバスのノードのバッファ効果

図12はADバスのバッファの深さ以外は
5.3節と同じ条件で、各PUのw'がwの
99%以上になるようにバッファの深さを設
計した場合の性能を示すものである。PU₁の
バッファが特に深くなることが目立っている。
また図11と比較して、同じPU台数で
若干性能が悪くなっている。これは下流のバ
ッファ中での停留時間の影響で上流のPUの
メモリ・アクセス時間が大きくなり、性能の
低下が大きいためである。したがって、本モ
デルのように各PUが均一で、下流のPU
のアクセスが抑えられても差し支えがなけれ
ば、バッファの深さはすべて1としてよい。

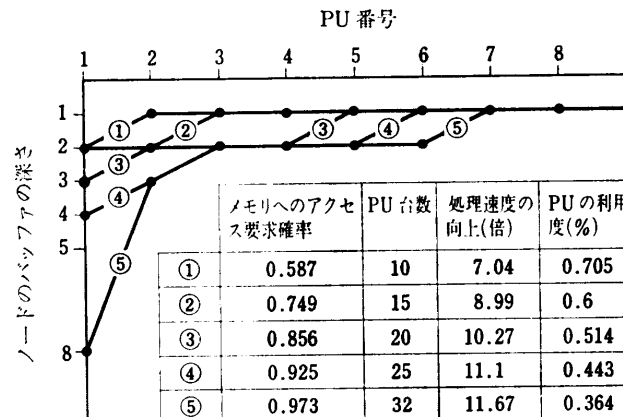
5.5 PUの処理時間の評価

PUの処理時間の標準を5としたが、浮動
小数点演算その他初等関数の演算を考えると
処理時間は大きくなる。表1はPUの処理時
間を変化させて評価した結果である。処理時



条件 メモリ・アクセス・タイム: 4, メモリ・バッファ深さ: 10,
プロセッサの処理時間: 5, メモリ・バンク数: 8,
ADバスのバッファの深さ: すべて1

図11 モデルの性能(1)
Fig. 11 Performance of model (1).



条件 メモリ・アクセス・タイム: 4, メモリ・バッファ深さ: 10,
プロセッサの処理時間: 5, メモリ・バンク数: 8,
各PUの実アクセス確率/アクセス要求確率 ≥ 0.99

図12 モデルの性能(2)
Fig. 12 Performance of model (2).

表1 PUの処理時間とモデルの性能
Table 1 Processing time of a processor and performance of model.

PUの処理時間	接続PUの台数	処理速度の向上	PUの利用度	メモリ・アクセス 要求の確率	第1PUの 実アクセス確率	最後のPUの 実アクセス確率
5	32	11.83	0.370	0.986	0.0335	0.0201
10	40	16.77	0.419	0.986	0.0282	0.0160
20	56	26.61	0.475	0.986	0.0220	0.0113
30	73	36.55	0.501	0.988	0.0175	0.0087
40	90	46.47	0.516	0.989	0.0145	0.0070
50	106	56.27	0.531	0.987	0.0129	0.0059
100	190	105.72	0.556	0.988	0.0078	0.0033
150	275	155.36	0.565	0.99	0.0056	0.0023

条件 メモリ・アクセス・タイム: 4, メモリ・バッファの深さ: 10, メモリ・バンク数: 8, ADバスのバッファの深さはすべ
て1

表 2 メモリのアクセス・タイムとモデルの性能
Table 2 Memory access time and performance of model.

メモリ・アクセス・タイム	メモリ・バッファの深さ	メモリ・バンクの数	接続 PU の台数	処理速度の向上	PU の利用率	メモリ・アクセス要求の確率
1	10	8	19	8.85	0.466	0.984
2	10	8	23	9.87	0.429	0.987
3	10	8	27	10.85	0.4018	0.986
4	10	8	32	11.83	0.370	0.986
5	11	8	36	12.68	0.3523	0.981
6	6	16	31	13.75	0.4434	0.989
7	7	16	34	14.73	0.4334	0.988

条件 PU の処理時間: 5, AD バスのバッファの深さはすべて 1

間 150 は決して大きすぎる値ではないが⁴⁾, 275 台接続して 155 倍の処理速度の向上が得られることを示している。なお, PU₁ と PU₂₇₅ の性能比は 56 : 23 であった。

5.6 メモリ・アクセス・タイムの評価

表 2 はメモリ・アクセス・タイムを変化させて評価した結果である。アクセス・タイムが変化しても、それに相当する PU 台数, バンク数, バッファの深さを与えることによって同程度の性能 (メモリ・アクセス要求の確率) を得ることができる。

6. ま と め

MIMD 型複合計算機を指向した 1 つのモデルを提案し, その中心となる ADバスとコモン・メモリについて解析理論と公式を示すことができた。そして, それを用いてモデルの評価を行った結果, 次のことが明らかになった。

(1) 分散型調停方式のバスはノードのバッファの深さを適切に設計すれば各 PU に所望のアクセスを与えることができる。

(2) インタリーブ方式のメモリに多重先入先出バッファを導入することによって, アクセス要求に十分近いスループットを得ることができる。

(3) PU もしくはメモリの処理速度が変化しても, 適当な PU 台数, バッファの深さ, バンク数を適当に設計すると全体として同等の性能を得ることができる。

(4) 処理速度の向上の例として, 275 台の PU が同時に働いて 155 倍の処理速度が得られた。

次の問題として, より具体的な評価を行うため, シミュレーションによって, 本モデル上でいくつかの特徴あるプログラムを実行したので, その結果を論文 4) に報告する。

謝辞 本研究をすすめるに当たって, 萩原研究室の方々から数々のコメントをいただいた。ここに改めて謝意を表します。

参 考 文 献

- 1) Fuller, S. H., Osterhout, J. K., Raskin, L., Rubinfeld, P. I., Sindhu, P. J. and Swan, R. J.: Multi-Microprocessors: An Overview and Working Example, *Proc. of the IEEE*, Vol. 66, pp. 216-228 (1978).
- 2) 村岡洋一: 並列処理概論 (2), 情報処理, Vol. 16, No. 2, pp. 137-144 (1975).
- 3) Haynes, L. S., Lau, R. L., Stewiorek, D. P. and Mizell, D. W.: A Survey of Highly Parallel Computing, *Computer*, Vol. 15, No. 1, pp. 9-24 (1982).
- 4) 宮脇富士夫, 佐藤邦弘, 福井和久海: MIMD 型汎用複合計算機の一方式について (シミュレーションによる評価), 情報処理学会論文誌, Vol. 28, No. 8, pp. 839-850 (1987).
- 5) 古谷立美: バス結合マルチプロセッサシステムの解析モデルと解析, 情報処理, Vol. 17, No. 5, pp. 394-401 (1976).
- 6) 池原 悟: マルチプロセッサ方式における共用メモリ・アクセス競合の解析, 電子通信学会論文誌, Vol. J63-D, No. 4, pp. 334-341 (1980).
- 7) Reams, C. C. and Liu, M. T.: A Loop Network for Simultaneous Transmission of Variable-Length Message, *Proc. 2nd Symp. on Computer Architecture*, pp. 7-12 (Jan. 1975).

付 録

バッファが深さ k までスタックされており, かつ, t 個のバンクが動作中である時, 次のマイナサイクルで新たなバンクが動作に入る確率 $F(k, t)$ は次のようにして求めた。

- a. バッファの k 個の要求が u 台の PU によるものである確率は, $({}^u C_k)({}^u H_u)n^{-k}$ である。

ただし, n : PU の総数

${}_i H_u$: u 個の PU 番号を, 重複を許して深さ k のバッファに並べる順列の数

n^k : n 台の PU から重複を許して深さ k のバッファに並べる順列の数

b. u 台の PU による要求がすべて, 動作中の t 個のバンクのいずれかに当たる確率は $(t/s)^u$ である.

ただし, s : バンク数

そして, バンクに当たらない時に転送が可能であるから

$$F(k, t) = 1 - \sum_{u=1}^k ({}_i C_u) ({}_i H_u) n^{-k} (t/s)^u$$

となる.

なお, ${}_i H_u$ については,

$${}_i H_u = 0 \quad (k < u), \quad {}_i H_1 = 1, \quad {}_i H_u = u({}_{i-1} H_{u-1} + {}_{i-1} H_u)$$

の関係から計算するが, 次の公式にまとめることもできる.

$${}_i H_u = \sum_{q=0}^{u-1} (-1)^q {}_i C_q (u-q)^i$$

(昭和 60 年 12 月 11 日受付)

(昭和 62 年 5 月 13 日採録)



宮脇 富士夫 (正会員)

昭和 10 年生. 昭和 37 年姫路工業大学電気工学科卒業. 同研究生を経て, 昭和 41 年姫路工業大学電気工学教室助手, 昭和 53 年同講師, 昭和 56 年同助教授, 現在に至る. 高級言語処理機械, 複合計算機, アプリケーション・システムの研究に従事. 京都大学工学博士. 訳書「ICES 概説」, 「ICES システム内部論理構造の解説」(共訳, 北尾書籍). 電子情報通信学会, 電気学会, 日本シミュレーション学会各会員.



富田 眞治 (正会員)

昭和 20 年生. 昭和 43 年京都大学工学部電子工学科卒業. 昭和 48 年同大学院博士課程修了. この間, 零交さ波による音声合成の研究に従事. 工学博士. 同年京都大学工学部情報工学教室助手. 昭和 53 年同助教授. 昭和 61 年九州大学大学院総合理工学研究科教授, 現在に至る. 計算機アーキテクチャ, 並列処理システムなどに興味を持つ. 著書「並列計算機構成論」, 「VLSI コンピュータ I」など. 電子情報通信学会, IEEE, ACM 各会員.



萩原 宏 (正会員)

大正 15 年生. 昭和 25 年京都大学工学部電気工学科卒業. NHK を経て, 昭和 32 年京都大学工学部助教授, 昭和 36 年同教授, 現在に至る. 工学博士. 情報理論, パルス通信, 電子計算機などの研究に従事. 昭和 31 年度稲田賞受賞. 昭和 50 年本学会論文賞受賞. 昭和 56~58 年度本学会副会長. 著書「電子計算機通論 1~3」, 「マイクロプログラミング」など. 電子情報通信学会, ACM, IEEE 各会員.