C-032

リコンフィギャラブル・ロジックの画像処理への応用

Application of Reconfigurable Logics to Image Processing

斎藤友彦†　玉真昭男‡

Tomohiko SAITO　Teruo TAMAMA

１．まえがき

ソフトウェアの柔軟性とハードウェアの高速性を同時に達成する技術としてリコンフィギャラブル・ロジック（Reconfigurable Logic、動的再構成可能論理）の研究を進めている。これは、回路の書換えが可能な LSI である FPGA(Field Programmable Gate Array)を利用し、あらかじめ複数の回路プログラムを用意しておき、機器の動作中にプログラムを動的に書換えながら複数の処理を１チップで実現するものである。FPGA の大規模化・高性能化のスピードは目覚しく、最近ではゲート数 200 万、搭載メモリ 9M ビット、外部クロック 250MHz(内部クロック 500MHz)動作、というものまで現れている。

リコンフィギャラブル・ロジックの画像処理分野への応用を検討してきた[1),2)]。今回、約 10 万ゲート、240 ピンの FPGA(FPGA1)と約 20 万ゲート、672 ピンの FPGA(FPGA2)を各一個搭載した PCI バス I/F 付き画像処理ボートを試作した。FPGA1 に搭載したリコンフィギュレーション制御回路で FPGA2 の回路をダイナミックに書き換えることにより、原画像に対し、コントラスト強調、ノイズ除去、輪郭抽出の３つの画像処理を連続的に行うことにが出来た。FPGA2 上の画像処理回路の書換えに要する時間は回路規模に寄らず約 36ms であった。FPGA 用の回路は VHDL(VHSIC Hardware Description Language)で設計した。

２．画像処理回路[3)]

画像処理には輪郭抽出、特徴抽出、ノイズ除去、二値化、細線化、拡大・縮小、フィルタ処理、幾何学変換、コントラスト強調、目標物抽出など、多くの項目がある。一般に、画像処理とは、これらの項目を組み合わせて、対象画像に合った処理ルーチンを決定し、実行するものである。従って、処理目的や対象画像の性質により、処理ルーチンはいろいろと変わってくる。処理ルーチンを固定できないのが画像処理の特徴であるため、「画像処理システム」はハードであれ、ソフトであれ、多くの処理メニューを装備し、これらを組み合わせて使うようになっている。FPGA の規模が増加していると言っても、これら全ての回路を１個の FPAG 内に格納することは出来ないし、また不経済である。

†　静岡理工科大学　大学院　システム工学専攻

‡　静岡理工科大学　理工学部　情報システム学科

筆者らはリコンフィギャラブル・ロジックの高速画像処理への応用を目指しているが、そのためには多数の画像処理回路をあらかじめ用意しておき、その回路ファイルを DIMM 等の大容量メモリに格納しておく。処理ルーチンが決まったら、それに応じて必要な回路ファイルを DIMM から読み出し、順次回路を書換えながら動作していくシステムの実現を目指している。

（１）輪郭抽出回路

今回、処理する画像データとしてはビットマップファイル形式、サイズ 256×256、１画素はカラー256 階調(8bit)のものを用いた。一次微分の Roberts オペレータ、二次微分 Laplacian オペレータ、テンプレート・マッチングによる Prewitt オペレータに基づく輪郭抽出回路 ３種類を作成した。例えば、二次微分法で、注目する画素の新しい値を計算するとき、自分と周りの８点、計９点の全ての値を使う。Laplacian にはいくつかのオペレータがあるが、ここでは次の値を使った。(k はレベル調整用の係数)

$$z = 4*P(i,j) - P(i-1,j-1) - 2*P(i-1,j) - P(i-1,j+1) - 2*P(i,j-1) - 2*P(i,j+1) - P(i+1,j-1) - 2*P(i+1,j) - P(i+1,j+1)$$

$$P'(i,j) = k \times |z|$$

（２）ノイズ除去回路

画像のノイズ（雑音）は、本来の画像の上に乗った乱れ、撮影環境が悪かったために撮影されてしまった、本来は存在しないはずの画素の集合である。ここでは、ランダムノイズ、つまり乗る位置や大きさが不規則なノイズを除去の対象とする。ノイズ除去のアルゴリズムとしては移動平均法とメディアン・フィルタの２つを用い、回路化した。

移動平均法は、ある画素とその周辺 3×3 の９つの画素の平均値をその画素の値と置換する手法である。画像をぼかすことにより、細かいノイズを見えなく出来るという考えに基づいている。計算は容易だが、ノイズと一緒に本来の画像もぼけるという欠点がある。

メディアン・フィルタは、周辺 3×3 の９つの画素の濃度を小さい順に並べ、その中央値（メディアン）を求める画素の濃度とする。ノイズは周りと極端に濃度が違うので、大きさの順に並べると最小か最大になり、中央値として選択されないことが多い。この性質を利用した手法である。

エッジ部分も保存されるため、多くの場合、移動平均法よりもノイズ除去能力に優れている

（３） コントラスト強調回路

露出不足の写真のような、コントラストの少ない画像からコントラストの多い、見易い画像を生成する画像処理である。カラー256 階調(8bit)を横軸として、原画像のヒストグラム分布を求める。このヒストグラムを平坦化処理することにより、効率の良いコントラスト強調が出来る。

３．コンフィギュレーション回路[4)]

試作した画像処理ボードを Fig.1 に示す。使用した FPGA は Altera 社の Cyclone (EP1C6Q240C6, FPGA1)と Stratix (EP1S10B672C6, FPGA2)と呼ばれるもので、いずれも SRAM タイプのものであるため、システムの電源オン時にコンフィギュレーション ROM から、またはダウンロードケーブル経由で回路ファイルを読込む必要がある。FPGA1 のコンフィギュレーションは、後者の方法、すなわち制御 PC とつないだダウンロードケーブル（Altera 社 ByteBlaster）を介して回路ファイルをダウンロードすることにより行った。

FPGA2 のコンフィギュレーションは、FPGA1 内に設計・配置したリコンフィギュレーション回路により行う。Fig.2 に FPGA1 と FPGA2 の接続図を示す。コンフィギュレーション用のクロック DCLK は Fig.1 ボード上のメインクロック CKO (50MHz)を４分周して作り、12.5MHz、周期 80ns である。Stratix (EP1S10B672C6, FPGA2)の場合、コンフィギュレーションデータは約 450KB であるので、１回のコンフィギュレーションに要する時間は 80ns×450KB＝36ms であった。

４．処理の流れ

Visual C++ 6.0 を用いて、次の一連の処理を行うプログラムを作成した。なお、電源オン直後の初期化状態では、FPGA1 に PCI I/F 回路とリコンフィギュレーション回路を書き込んでおく。

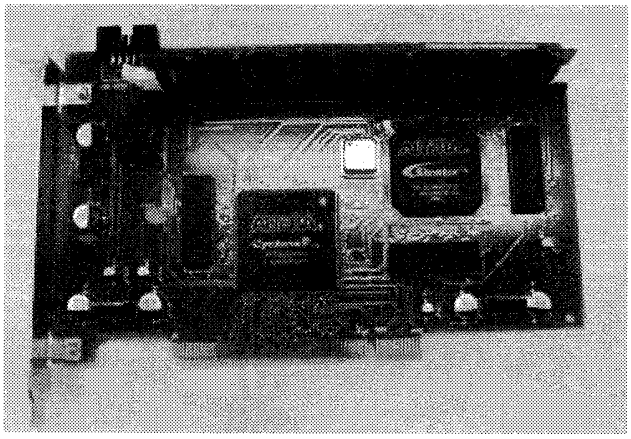

Fig.1 試作した画像処理ボード

（１） PCI I/F 回路を使い、PC から FPGA1 のローカルメモリ(SRAM)に３つの画像処理回路ファイルを転送
（２） FPGA1 のリコンフィギュレーション回路で FPGA2 にコントラスト強調回路を書込み
（３） 原画像データを PC のメインメモリから PCI I/F 経由で FPGA2 のローカルメモリに書込み
（４） コントラスト強調処理
（５） FPGA1 のリコンフィギュレーション回路で FPGA2 にノイズ除去回路を書込み
（６） ノイズ除去処理
（７） FPGA1 のリコンフィギュレーション回路で FPGA2 に輪郭抽出回路を書込み
（８） 輪郭抽出処理
（９） FPGA2 のローカルメモリ上の処理済画像データを PCI I/F 経由で PC のメインメモリに読込み

５．まとめ

FPGA を２個搭載した画像処理ボートで、一方の FPGA で他方の FPGA のコンフィギュレーションを制御し、後者上の画像処理回路をダイナミックに書き換えることにより、原画像に対し、コントラスト強調、ノイズ除去、輪郭抽出の３つの画像処理を連続的に行うことができた。今後は、リコンフィギャラブル・ロジックの考え方を発展させ、画像処理メニューの拡充、高速化のため各回路の最適化等を行っていく。

参考文献

1) 玉真昭男他, "リコンフィギャラブル・ロジックを用いたリアルタイム画像処理ボードの試作", 静岡理工科大学紀要, 6 (1997), 103－117.
2) 玉真昭男他, " 画像処理回路ボードの試作と動的再構成実験" , 静岡理工科大学紀要, 8(2000), 99-109.
3) 八木伸行他, 「C原語で学ぶ実践画像処理」, 1996, オーム社.
4) 「Stratix デバイスハンドブック」, 2004, アルテラ社

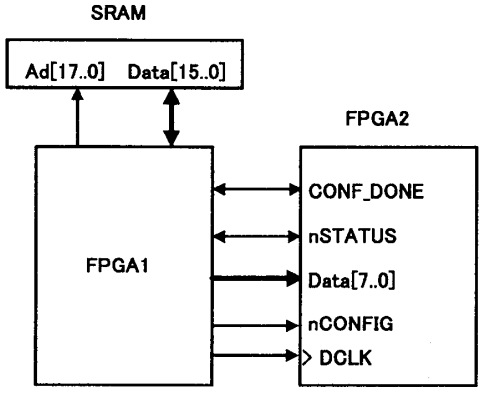

Fig.2 FPGA1 と FPGA2 の接続図