

デジタルLSIの製造後クロック調整におけるタイミング余裕度の検証 Investigation of timing margins in post-fabrication clock adjustment of digital LSIs

諏佐 達也[†] 村川 正宏[‡] 高橋 栄一[†] 古谷 立美[†] 樋口 哲也[‡]
Tatsuya Susa Masahiro Murakawa Eiichi Takahashi Tatsumi Furuya Tetsuya Higuchi

1. はじめに

半導体 MIRAI プロジェクトでは、デジタル LSI のクロックスキュー (クロック信号の伝播時間のずれ) 問題を解決するために、LSI のクロックラインにタイミングを微調整可能にする素子を複数挿入し、製造後にそれらを遺伝的アルゴリズムを用いて調整する方式を提案している [?]. 中規模回路での調整実験の結果、歩留を大幅向上することに成功しているが、調整後の LSI の一部で動作が不安定になることが観察されている。そこで本稿では、調整後の LSI で、どの程度タイミング余裕が存在するかの検証結果を報告する。シミュレーションによる調整実験の結果、従来の調整法で調整をかけた場合、十分な余裕が確保されていない場合が多いことがわかった。そこで、我々はこの余裕を確保する新しい調整方法を提案する。

2. デジタル LSI の製造後クロック調整

デジタル LSI には、クロックスキューによる動作歩留 (設計通りのスペックで動作できる LSI の比率) の低下の問題がある。そこで、LSI の製造後調整によりクロックスキューを補正する方式が提案されている [図??]. この方式では、LSI の設計段階でクロックの余裕が少ないことがわかっていない場合、その部分にあらかじめタイミングを微調整することができる素子を複数挿入した上で LSI を製造する。そして LSI の製造後に、遺伝的アルゴリズム [?] を用いて、挿入したタイミング調整素子を最適に調整 (クロック調整) する [図??]. この方式を用いることにより、中規模回路において動作歩留の向上のみならず、クロック周波数の向上、低消費電力化が実現されている [?]. しかし、クロック調整後の LSI の一部では動作が不安定になることが観察されている。この原因としては、調整後の回路が十分なタイミング余裕を持って調整されていない場合に、動作電源電圧・温度などに変動が生じた結果、調整が成功したにもかかわらず動作が不安定になっていることが推定される。

3. タイミング余裕度の検証

クロック調整後の LSI は、どの程度の大きさのタイミング変動ならば許容できるのか (余裕度) をシミュレーションによって検査した。シミュレーションでは、1GHz (typ.) 設計のメモリー・テスト・パターン生成器 (ALU を含む中規模回路) と乗算器を対象とした [図??]. これらの回路に対し、動作周波数を 100MHz きざみで変更し、それぞれ 100 回路について調整後の余裕度を測定し、その分布を調べた。図??に、メモリー・テスト・パターン生成器での検査の結果を示す。横軸には動作周波数を設定し、調整が必要な回路の総数をグラフの縦軸にとり、調整を行なって得られた

余裕度別に表示してある。調整後の回路において、動作周波数の 10%以上の余裕が存在する場合に、余裕の確保された出荷可能な回路であると仮定すると、1100~1500MHz の動作周波数において出荷可能な回路を観測することができた。しかし、余裕の確保された回路を最も多く観測できた 1300MHz の動作周波数においてさえ、その割合は全回路の 1 割にも満たなかった。次に、図??に乗算器での検査の結果を示す。この回路では、調整後の回路において、余裕度が動作周波数の 6%以上となる回路が存在しなかった。以上二つの検査結果により、従来の調整方法では余裕を十分確保した調整を行なうことは難しいことが検証できた。

4. 余裕を確保する調整方法の提案

調整時に十分な余裕を確保する手法を提案する [図??]. この手法は、図示したように、調整時の動作周波数 (f_2) を動作想定周波数 (f_1) より大きく設定して調整をかけることで余裕を確保する手法である。これにより、回路の調整に成功すると設計時の動作周波数 (f_0) よりも大きい動作想定周波数 (f_1) において、調整された回路は正常に動作することになる。上記検証結果から、従来の調整法では余裕度が考慮されていないため、大部分の回路は環境変動に対して動作が保証されず出荷できないことになる。一方、本手法を用いることにより、余裕度を確保し調整後の回路の頑健性を高めつつ、歩留を向上させることができる。必要な余裕度の確保を動作想定周波数 (f_1) の 10%以上とした場合、提案手法による調整後の歩留は図??、図??の調整結果において、動作想定周波数 (f_1) を 10%高めた周波数での歩留に等しいことから、本手法の有効性が確認できた。

5. おわりに

本研究では、従来の遺伝的アルゴリズムを用いたクロック調整手法において、調整後にタイミング余裕が十分に確保されていないということをシミュレーションにより検証した。この問題を解決するために、余裕を確保しつつ、動作歩留を向上できる新しい調整手法を提案した。今後は、本手法の有効性を実機で検証することを目指して研究を進めていく予定である。

本研究は半導体 MIRAI プロジェクトの一部として、NEDO (新エネルギー・産業技術総合開発機構) からの委託により実施している。

参考文献

- [1] E. Takahashi, Y. Kasai, M. Murakawa, and T. Higuchi, "Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithms", *IEEE Journal on Solid-State Circuits*, vol.39, no.4, pp.643-650, 2004.
- [2] D. E. Goldberg, "Genetic Algorithms in Search, Optimization, and Machine Learning", Addison Wesley, 1989.

[†]東邦大学大学院 理学研究科

[‡]半導体 MIRAI プロジェクト, 産業技術総合研究所次世代半導体研究センター

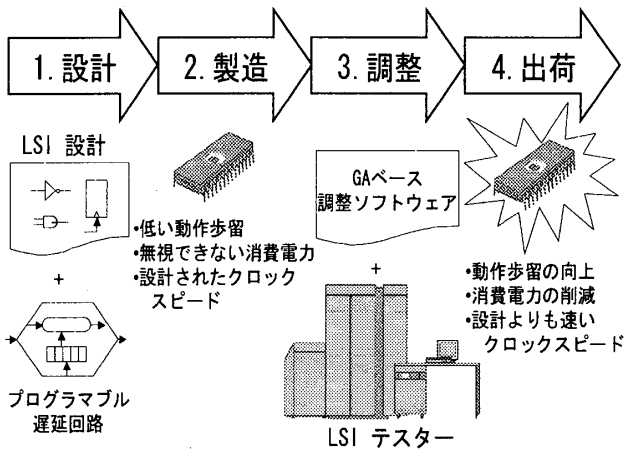


図1: LSIの製造後調整

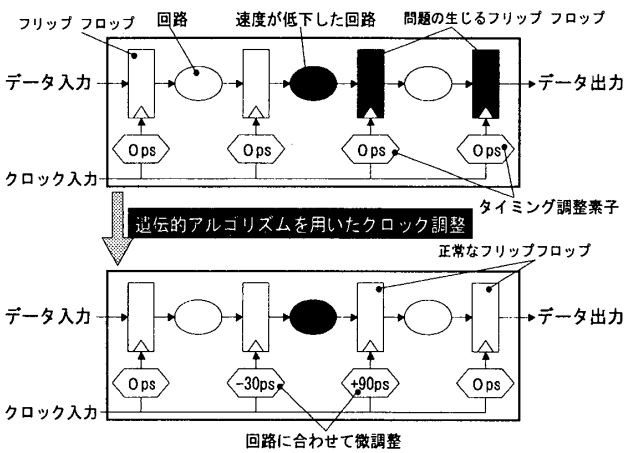


図2: 遺伝的アルゴリズムを用いたクロック調整手法

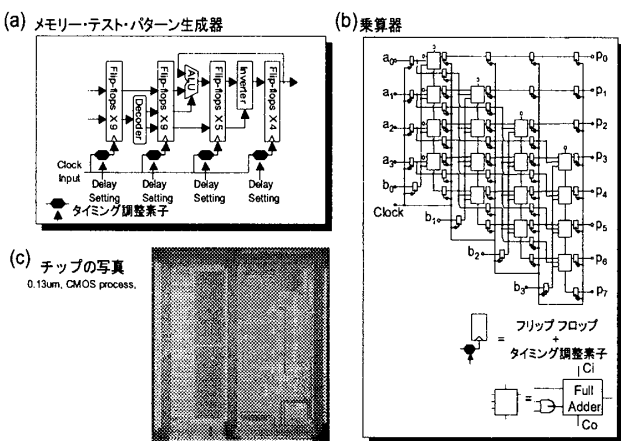


図3: シミュレーションに用いた回路とチップの写真

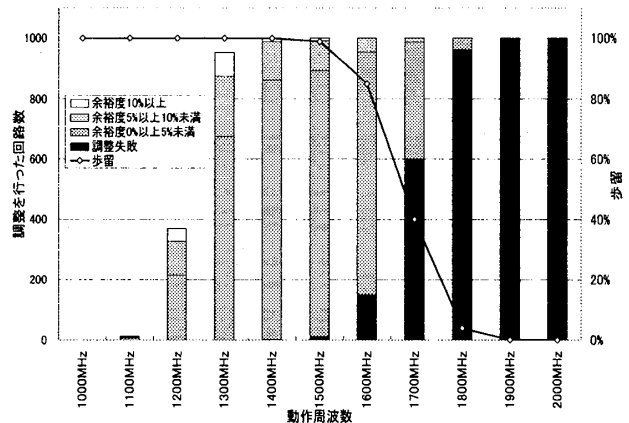


図4: メモリー・テスト・パターン生成器での調整後の余裕度の分布と歩留

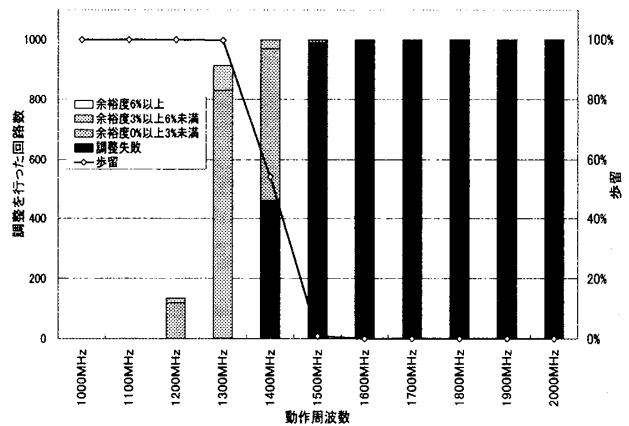


図5: 乗算器での調整後の余裕度の分布と歩留

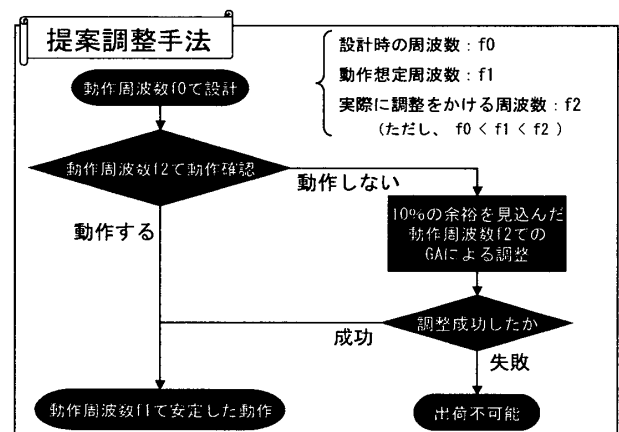


図6: 余裕を確保する提案調整手法