

C-003

遺传的アルゴリズムによるアナログ IC 自動レイアウトシステム

Analog IC Layout System based on Genetic Algorithm

吉田 和生†
Kazuki Yoshida山田 亮†
Yamada Ryo吉川 雅弥†
Yoshikawa Masaya藤野 毅†
Fujino Takeshi寺井 秀一†
Terai Hidekazu

1. はじめに

近年 LSI の開発において、要求される開発期間が短くなるにともない、アナログ部分の設計がボトルネックとなっている。デジタル回路の設計は多くの部分が自動化され生産性が向上しているのに対して、アナログ回路の設計は未だに人手に頼る部分が多い事がある。そこで本研究では、遺传的アルゴリズムによるアナログ IC のレイアウト手法を提案する。

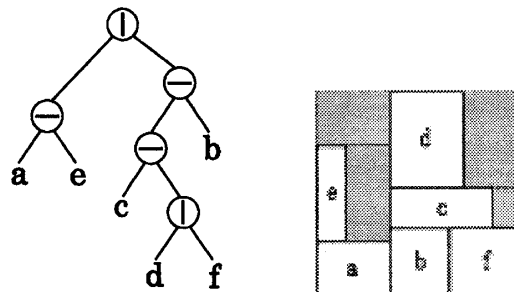


図1 スライシング構造

2. 準備

2.1 配置制約

デジタル回路におけるレイアウト設計での評価関数は主にチップ面積・配線遅延などであり、これらが最小化されるようなレイアウトが求められる。アナログ回路ではこれに加え以下の点を考慮しなければならない。

①素子の相対精度の保障

差動増幅回路などを構成するペア/グループ素子は高い精度での対象性を必要とするため、製造段階において生じる誤差やばらつきの影響を受けてしまう。このためパラメータの変動を最小限に抑える必要がある。

②相互干渉の影響

アナログ回路はデジタル回路に比べ、ノイズの影響を受けやすいため、素子間における信号の干渉が問題になる。これらの電氣的制約を考慮しつつレイアウト設計を行うため、以下の幾何学的制約を設ける。

①近接配置制約、②離反配置制約、

③対称配置制約、④外接配置制約、

⑤密着配置制約、⑥方向一致制約、

回路設計者により、必要な素子に対してこれらの制約を設定する。この制約を定量的に扱うことで目的関数に取り入れ、遺传的アルゴリズムを用いて最適なレイアウトを求める。

2.2 スライシング木

本稿では、配置モデルとして、配置領域を水平、垂直の線分で再帰的に分割して得られるスライシング構造を採用し、スライシング構造の表現としてスライシング木を用いる。スライシング構造はコーディングが簡潔でチップ面積とも素子の座標を容易に求めることが出来るという特徴を持つ。図1にスライス木とそれに対応するレイアウトの例を示す。

3. 提案レイアウト手法

3.1 配置制約による評価

レイアウト面積・仮装配線長最小化に加えて①～④の制約を評価に用いる。

<近接配置制約・離反配置制約>

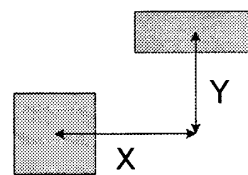


図2 近接・離反制約

近接配置制約の場合は制約対象である素子間のマンハッタン距離 $X+Y$ が小さいほど、離反配置制約の場合は $X+Y$ が大きいほど、良い評価をあたえる。

<対称配置制約>

対称配置制約の対象素子には、同時に方向一致制約を課す事を前提とし、その一致させた向きの距離が小さいほど良い評価をあたえる。

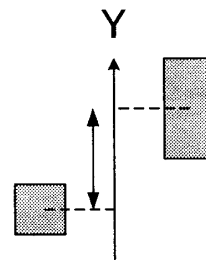


図3 対称制約

<外接配置制約>

外接配置制約は対象の素子とチップの外枠との距離が小さいほど良い評価をあたえる。

† 立命館大学

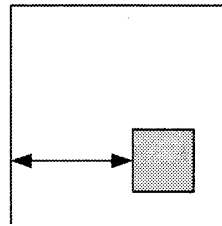


図4 外接制約

<密着配置制約・方向一致制約>

密着配置制約と方向一致制約は評価には用いない。密着配置制約に関しては前処理で制約対象となる素子を結合し、これを一つの素子として配置することで制約を遵守する。方向一致制約に関しては、制約対象素子の回転に制限を加えることで制約を遵守する。

3.2 機能単位の指定

回路図において、共通の機能(増幅など)を実現する素子の集合は、配線などを容易にするために近くに配置するのが望ましい。また、近接制約や対象制約は、通常この集合内の素子に課される事が多いと考えられる。したがって、回路設計者が、明らかに近くに配置するのが望ましいと判断する素子の集合を指定できるようにし、効率的な解探索を実現する。

各集合ごとに、その集合に属する素子によって構成されるスライシング木を作成する。こうして出来た矩形を、一つの素子とみなし、どの集合にも属さない残りの素子とともにスライシング木を作る事で(図5)指定された素子の集合が近くに配置されたレイアウトを得る。

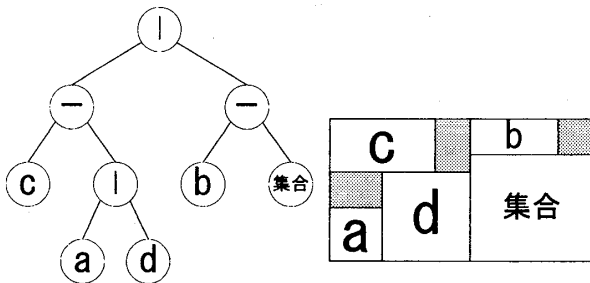


図5 機能単位を考慮したレイアウト

しかし、この方法では集合として指定された素子の形状によって多くの空き領域を生じてしまう上に、集合には含まれていないが、近づけた方がよい素子(配線長や近接制約などの観点から)が近くに配置できなくなってしまう。そこで、各集合には制限範囲内の割合でどの集合にも属していない素子を含めることを許容し、空き領域を埋める。

3.3 提案アルゴリズム

本稿では、以上の方針で最適なレイアウトを求めるための階層型遺伝的アルゴリズムを提案する。各階層での最適化項目は次の通りである。(1)各集合にどの素子を幾つ追加するか決定する。(2)各集合内のスライシング木を決定しブロックを作る。(3)“各集合”と“どの集合にも属していない素子”によるスライシング木を決定する。

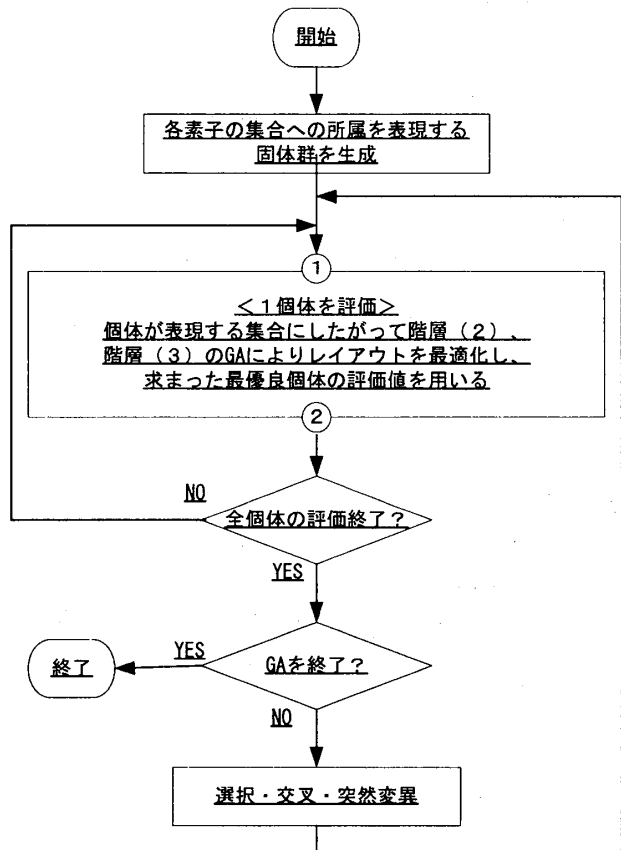


図6 最上階層のフローチャート

図6にトップレベルのフローチャートを示す。この階層(1)のGAの個体評価部分に、次の階層(2)のGAが組み込まれている。さらに階層(2)の個体評価部分に階層(3)のGAが組み込まれている。最下層の個体の評価は、得られたレイアウトの面積、仮想配線長、各配置制約により求め、上の階層の個体の評価値には、一つ下の階層で得られたエリート個体の評価値を用いる。

4. まとめ

近年、デジアナ混載 LSI の普及に伴いアナログ部分の自動化に対する要求は高まっている。本稿では、レイアウト設計に着目し、階層型遺伝的アルゴリズムによる最適化手法を提案した。今後は、実データを用いた試行実験を行い、商用ツールとの比較を行う予定である。

5. 参考文献

- [1]伊庭斎士, “遺伝的アルゴリズム”, 医学出版,2002
- [2]伊庭斎士, “遺伝的プログラミング”, 東京電気大学出版,1996
- [3]Behzad Razavi, “アナログ CMOS 集積回路の設計”, 丸善株式会社,2003
- [4]野島隆志, “アナログ IC レイアウト設計における回路図クラスタ情報に基づくマルチレベル配置手法の提案”, 情報処理学会 研究報告 2003-SLDM-112